

基于三维气密陶瓷封装的毫米波射频前端 SiP 设计

王志轩, 周丽, 李志友

(中国电子科技集团公司第二十九研究所, 成都 610036)

摘要: 基于三维气密陶瓷封装技术, 以提升集成密度与信号传输性能, 实现射频前端系统级封装 (SiP) 小型化为目的, 开展了一项毫米波射频前端 SiP 的设计与实现研究; 采用三维直接镀铜 (DPC) 陶瓷基板与单片微波集成电路 (MMIC) 进行三维堆叠设计, 并使用陶瓷通孔与铜柱构建类同轴传输结构, 实现了射频信号的垂直互连, 显著提升了射频前端 SiP 的集成密度和信号传输效率; 通过详细的射频性能分析与关键参数计算, 验证了该结构在毫米波频段的有效性; 测试结果显示, 在工作频段内, 发射输出功率为 21~22 dBm, 接收增益为 25~26 dB, 接收噪声系数小于 3.2 dB, 电压驻波比小于 2.3, 拥有 6 bit 移相功能 (步进 5.625°) 和 6 bit 衰减功能 (步进 0.5 dB), 射频前端 SiP 尺寸仅 12 mm×12 mm×4 mm。

关键词: 三维气密封装; DPC 陶瓷基板; 射频前端 SiP; 陶瓷通孔; 类同轴传输

Design of Millimeter Wave RF Front-End SiP Based on 3D Hermetic Ceramic Packaging

WANG Zhixuan, ZHOU Li, LI Zhiyou

(The 29th Research Institute of Chinese Electronics Technology Group Corporation, Chengdu 610036, China)

Abstract: For a 3D hermetic ceramic packaging technology, to enhance its integration density and signal transmission performance, and minimize the radio frequency (RF) front-end system-in-package (SiP), a millimeter-wave RF front-end SiP is designed and implemented, which utilizes the 3D direct plated copper (DPC) ceramic substrates and monolithic microwave integrated circuits (MMIC) for 3D stacking design. A quasi-coaxial transmission structure formed by ceramic vias and copper pillars is employed to achieve vertical interconnection of RF signals, significantly improving the integration density and signal transmission efficiency of the RF front-end SiP. The RF performance is analyzed in detail and key parameters are calculated to verify the effectiveness of this structure in the millimeter-wave frequency band. Test results show that within the operating frequency band, the transmit output power is 21~22 dBm, with a receive gain of 25~26 dB, a reception noise coefficient of less than 3.2 dB, and a voltage standing wave ratio of less than 2.3. For a 6-bit phase shifter with a step of 5.625° and a 6-bit attenuator with a step of 0.5 dB, the size of the RF front-end SiP is only 12 mm×12 mm×4 mm.

Keywords: 3D hermetic packaging; DPC ceramic substrate; RF front-end SiP; ceramic via; quasi-coaxial transmission

0 引言

近年来, 随着科学技术的迅猛发展, 射频电路系统在军用、民用等电子设备上得到了广泛应用, 已成为现代社会发展和人们日常生活的重要支撑, 并推动了相关领域技术的持续创新。作为现代电子设备的核心组成部分, 射频电路系统在通信、雷达、导航、遥感等领域发

挥着不可替代的作用, 然而随着电子系统复杂度的不断提升, 对系统小型化、轻量化、低功耗以及高可靠性的要求也日益严苛。为应对这一挑战, 系统级封装 (SiP, system in package) 技术凭借其在集成化和小型化方面的显著优势, 逐渐成为射频电路系统的重要解决方案^[1-4]。

SiP 是一种先进的电路封装技术, 它将多种功能各

收稿日期:2025-12-01; 修回日期:2026-01-08。

作者简介:王志轩(2000-),男,硕士研究生。

引用格式:王志轩,周丽,李志友. 基于三维气密陶瓷封装的毫米波射频前端 SiP 设计[J]. 计算机测量与控制, 2026, 34(3): 223-230, 241.

异的芯片与器件高密度地集成在一个封装外壳内,从而形成一个功能完整、高性能、小体积的电子系统。通过三维集成工艺, SiP 技术突破了传统平面集成的空间利用率限制,为电子系统的高性能与小型化提供了重要支持^[5]。SiP 系统的实现高度依赖于其集成工艺与基板材料,当前主流的 SiP 集成技术路线主要围绕以下几类基板材料展开,包括硅基板^[6-8]、有机基板^[9-13]、高温共烧陶瓷 (HTCC, high temperature co-fired ceramic) 基板^[14-18]、低温共烧陶瓷 (LTCC, low temperature co-fired ceramic) 基板^[19-22]以及直接镀铜 (DPC, direct plated copper) 陶瓷基板等。这些技术路线在集成能力、电学性能和适用场景上各有侧重。

为了满足高密度集成、高信号完整性传输以及高可靠性封装的综合性需求,本研究对不同技术路线进行了详细评估。首先是硅基板与硅通孔工艺,该方案利用硅较高的热导率和成熟的半导体工艺,可以实现较高的垂直互连密度与优异的信号传输速度,然而其机械强度不足,实现气密性封装的难度与成本较高,这限制了其在要求高可靠性的场景中的应用;其次是有机基板,该技术路线具备加工灵活、成本较低的优势,有机基板的低介电常数特性有利于高速信号的传输,但有机基板的热导率普遍偏低,散热能力不足,且其热膨胀系数较大,易在芯片焊点处产生热疲劳,影响 SiP 的长期寿命;接下来是陶瓷基板,HTCC/LTCC 技术通过多层陶瓷片共烧实现射频信号的三维互连,具备优异的机械强度、化学稳定性和高温可靠性,并能自然形成气密封装体,但 HTCC 因烧结温度高,较难使用金、银等低熔点高导金属,电性能较差,LTCC 制程则较为复杂,成本相对较高,这使其在需要兼顾性能与成本的大批量应用中面临挑战^[23-25]。

综上所述,现有主流工艺在同时满足高密度布线、高质量高频电性能、高可靠性封装以及低生产成本等方面均存在不同程度的妥协。鉴于本系统对上述性能的综合要求,本研究采用以 DPC 陶瓷基板为核心,结合陶瓷通孔的三维气密陶瓷封装工艺。首先以高热导、高绝缘的氧化铝陶瓷为基底,为 SiP 系统提供了优异的热管理和电隔离屏障;其次采用薄膜工艺与电镀工艺,能够在陶瓷表面实现高精度的铜布线,兼具低损耗和高频性能优势;另外采用陶瓷通孔实现射频信号的高质量垂直传输,进一步提高 SiP 的布线密度;此外,通过在 DPC 基板上集成铜质围框,可构建出完整的气密封装腔体,为 SiP 内部的芯片与器件提供长期稳定的工作环境。因此,基于 DPC 陶瓷基板的三维气密陶瓷封装工艺,是本研究实现高性能、高可靠性、小型化的 SiP 系统的理想方案^[26]。

尽管 DPC 陶瓷基板具有诸多优异特性,但在 SiP

领域中,关于其应用的研究报道仍然较少。本研究针对基于 DPC 陶瓷基板的 SiP 射频特性展开研究,设计了一种毫米波射频前端 SiP。该 SiP 采用两层三维 DPC 陶瓷基板与一层 DPC 陶瓷基板的垂直堆叠结构,封装了小型化单片微波集成电路 (MMIC, monolithic microwave integrated circuit),通过陶瓷通孔和射频铜柱实现射频信号的垂直互连,成功实现了器件的高密度集成以及射频前端 SiP 的气密封装。这一设计不仅充分利用了三维封装技术的优势,还为射频前端系统的高性能与小型化提供了重要支持。

1 射频前端 SiP 的电路方案

射频前端 SiP 的技术指标要求如表 1 所示,该 SiP 工作于 K 波段,其中发射通道要求输出功率大于 20 dBm;接收通道需满足增益大于 20 dB,噪声系数小于 4 dB;电压驻波比 (VSWR, voltage standing wave ratio) 小于 2.5;移相功能 6 bit,步进 5.625°,衰减功能 6 bit,步进 0.5 dB;SiP 尺寸小于 12 mm×12 mm×5 mm。

表 1 射频前端 SiP 技术指标要求

指标	数值
工作频段	K 波段
发射功率/dBm	≥20
接收增益/dB	≥20
噪声系数/dB	≤4
VSWR	≤2.5
移相功能/bit	6,步进 5.625°
衰减功能/bit	6,步进 0.5 dB
尺寸/mm	≤12×12×5

射频前端 SiP 的射频电路结构如图 1 所示。该射频前端 SiP 由一个多功能收发芯片和 4 个双向放大器芯片组成,共有 5 个收发端口,分别是负责接收输出、发射输入的公共射频口和 4 个负责接收输入、发射输出的收发端口;共包含 4 个通道,为了实现射频前端 SiP 的移相衰减功能,每个通道均集成独立的移相器和衰减器,接收链路和发射链路分别配置低噪声放大器和功率放大器,通过单刀双掷开关实现收发功能选择,最终由功分合路器将射频信号合成一路输出。

基于技术指标要求,在射频前端 SiP 的接收链路中,在射频信号进入 SiP 后,首先经过低噪声放大器进行低噪声放大,以降低 SiP 的接收噪声系数并提供一定的接收增益,随后依次通过放大器、移相器和衰减器进行幅相调节,最后经功分合路器将四路射频信号合成一路完成输出。

接收链路的增益计算公式为:

$$G_R = G_{LNA} + G_{Amp} - L_{PS} - L_{ATT} - L_{PC} \quad (1)$$

式中, G_R 为接收通道的增益, G_{LNA} 为低噪声放大器的增

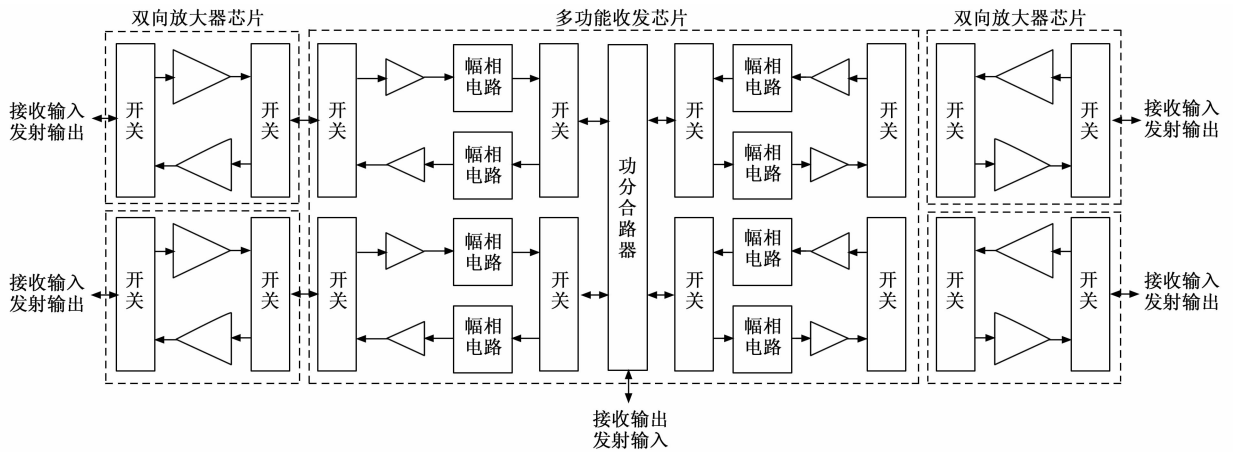


图 1 射频前端 SiP 的电路结构

益, G_{Amp} 为放大器的增益, L_{PS} 为移相器的插入损耗, L_{ATT} 为衰减器的插入损耗, L_{PC} 为功分合路器的插入损耗。根据公式可计算出单通道接收链路的增益约为 24 dB。

接收链路的噪声系数计算公式为:

$$F = F_1 + \frac{F_2 - 1}{G_1} + \dots + \frac{F_i - 1}{G_1 G_2 \dots G_{i-1}} \quad (2)$$

$$NF = 10 \lg F \quad (3)$$

式中, F 为总链路的噪声系数线性值; F_i 为第 i 级器件的噪声系数线性值; G_i 为第 i 级器件的增益; NF 为总链路的噪声系数。根据公式可计算出接收链路的噪声系数约为 3.1 dB。

射频前端 SiP 的单通道发射链路中, 射频信号进入 SiP 后, 首先经过功分合路器将一路射频信号分为四路, 随后依次通过衰减器、放大器和移相器进行调节, 最后经功率放大器输出, 以使 SiP 能够达到预期的发射输出功率。

发射链路的增益计算公式为:

$$G_T = -L_{\text{PC}} - L_{\text{ATT}} + G_{\text{Amp}} - L_{\text{PS}} + G_{\text{PA}} \quad (4)$$

式中, 各变量含义与接收链路的基本相同, 此外 G_T 为发射通道的增益, G_{PA} 为功率放大器的增益。根据公式可计算出发射链路的增益约为 34 dB。在输入功率为 -5 dBm 且功率放大器的 $P_{1\text{dB}}$ 约为 22 dBm 的条件下, 射频前端 SiP 发射链路的输出功率约为 22 dBm。

综上所述, 射频前端 SiP 的各项射频链路设计指标如表 2 所示, 各项指标均满足技术指标要求。

表 2 射频前端 SiP 链路设计指标

指标	链路数值	指标要求
工作频段	K 波段	K 波段
发射功率/dBm	22	≥ 20
接收增益/dB	24	≥ 20
噪声系数/dB	3.1	≤ 4

该射频前端 SiP 内部的电路器件主要分为有源器件和无源器件两类。有源器件如低噪声放大器和功率放大器, 主要负责射频信号的放大工作, 对低噪声放大器的增益、噪声系数以及功率放大器的输出功率等指标有较高要求。由于砷化镓工艺具有较高的电子迁移率, 更适用于制造低噪声、高线性度的器件, 因此选用砷化镓工艺制造集成了低噪声放大器与功率放大器的双向放大器芯片。无源器件如移相器、衰减器与功分合路器等, 它们对损耗和噪声的要求相对较低, 但对控制精度与一致性有较高要求。硅基工艺经过数十年的发展, 工艺成熟, 具有较高的稳定性和较低的成本, 因此选用硅基工艺制造集成了四路移相器、衰减器和功分合路器的多功能收发芯片。

综上所述, 射频前端 SiP 基于所选用芯片工艺的不同, 将低噪声放大器与功率放大器集成为基于砷化镓工艺的双向放大器芯片, 将四路移相器、衰减器和功分合路器集成为基于硅基工艺的多功能收发芯片。为了满足射频前端 SiP 的小型化需求, 针对现有商用器件在集成度和性能方面的局限性, 对双向放大器芯片和多功能收发芯片进行了定制开发。

参考图 1 所示的射频前端 SiP 射频电路结构, 将低噪声放大器、功率放大器以及两个单刀双掷开关集成到一片双向放大器芯片中。该双向放大器芯片有两个射频信号端口, 分别为接收输入、发射输出端口和接收输出、发射输入端口。接收与发射通道通过分时共用这两个端口, 并借助两侧的单刀双掷开关实现收发通道的选择。

在接收状态下, 信号从接收输入端口进入芯片, 依次经过左侧单刀双掷开关、低噪声放大器进行低噪声放大, 随后通过右侧单刀双掷开关, 最终从接收输出端口输出。而在发射状态下, 信号从发射输入端口进入芯片, 依次经过右侧单刀双掷开关、功率放大器进行功率

放大, 随后通过左侧单刀双掷开关, 最后从发射输出端口输出。

该双向放大器芯片通过两个射频信号端口和单刀双掷开关的切换, 芯片能够灵活选择接收或发射模式。这种集成设计不仅提高了电路的集成度, 还优化了系统性能, 为射频前端 SiP 的小型化和高性能提供了重要支持。

基于砷化镓工艺的双向放大器芯片, 主要实现射频信号的收发放大功能。该双向放大器芯片在接收状态下, 接收增益约 24 dB, 接收噪声系数约 2 dB; 在发射状态下, 发射功率增益约 25 dB, 发射输出饱和功率大于 23.5 dBm; VSWR 小于 2, 芯片尺寸约为 $2 \times 2.2 \times 0.1 \text{ mm}^3$ 。芯片各技术指标基本符合预期。

图 1 所示的射频前端 SiP 射频电路结构中, 为降低多功能收发芯片的接收噪声系数, 并补偿移相器、衰减器、单刀双掷开关及功分合路器带来的插入损耗, 在每个通道内配置了两个放大器, 并且为了降低接收噪声系数, 其中接收输入端口后的第一个放大器为低噪声放大器。该芯片集成了共 16 个放大器、8 个移相器、8 个衰减器和 8 个单刀双掷开关, 具有 5 个射频信号端口, 其中 4 个接收输入、发射输出端口位于左右两侧, 1 个接收输出、发射输入端口 (公共端口) 位于芯片下方。通过控制单刀双掷开关可实现收发通道的选择。

在接收状态下, 射频信号从接收输入端口进入芯片, 依次通过单刀双掷开关、低噪声放大器、移相器、放大器和衰减器进行幅相调节, 随后经单刀双掷开关进入功分合路器合成一路信号, 最终从公共端口输出。在发射状态下, 射频信号从公共端口进入芯片, 经功分合路器分成四路后, 通过单刀双掷开关进入各通道, 依次经过衰减器、放大器、移相器和第二级放大器进行幅相调节, 最后从发射输出端口离开芯片。

该多功能收发芯片在系统中承担着核心的射频信号处理功能, 其设计目标是实现高效的信号收发、幅相调节与多通道管理。通过集成多种射频元件, 该芯片能够支持接收和发射状态下的信号处理, 实现对信号的增益控制、幅度调节与相位校准, 从而满足通信系统对信号质量的高要求。其设计不仅提升了系统的集成度和性能, 还为后续的三维气密陶瓷封装提供了硬件基础。

基于硅基工艺的多功能收发芯片, 主要实现射频信号的移相衰减功能和波束控制功能。该多功能收发芯片提供 5.625° 步进, 354.375° 移相范围和 0.5 dB 步进, 31.5 dB 衰减范围; 在接收状态下, 该芯片的接收增益约 0.8 dB , 接收噪声系数小于 13 dB ; 在发射状态下, 发射增益约 9 dB , 发射 P_{1dB} 约为 5 dBm ; VSWR 小于 2.5; 尺寸约为 $4.2 \text{ mm} \times 4.8 \text{ mm} \times 0.1 \text{ mm}$ 。芯片各技术指标基本符合预期。

除了双向放大器芯片和多功能收发芯片外, 射频前端 SiP 还需要对射频芯片进行电源管理的调制电路, 为适应 SiP 的小型化封装, 选用了业内成熟的芯片式电源调制器件实现其功能, 电路原理图如图 2 所示。

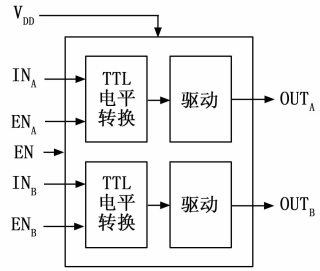


图 2 电源调制芯片电路原理图

该电源调制芯片主要由 TTL 电平转换电路和驱动电路组成, 实现 TTL 电平到 CMOS 电平的转换, 提供独立的两路输入输出。其中一路可提供较小量级 ($\leq 1 \text{ A}$) 的输出电流, 另一路可提供较大量级 ($\geq 2 \text{ A}$) 的输出电流。电源调制芯片使能控制真值表见表 3, 为 V_{DD} 供电 $+5 \text{ V}$ 后, 通过控制 EN 、 EN_A 和 EN_B 来完成 A、B 路的选择。

表 3 电源调制芯片真值表

EN/V	EN_A/V	EN_B/V	A 路状态	B 路状态
0	-5/0	-5/0	禁用	禁用
-5	-5	-5	禁用	禁用
-5	0	-5	使能	禁用
-5	-5	0	禁用	使能
-5	0	0	使能	使能

射频前端 SiP 中, 单通道的芯片信号图如图 3 所示。实线表示射频信号线, 射频信号依次通过双向放大器芯片和多功能收发芯片后输出。虚线表示电源线, 为电源调制芯片供电 $\pm 5 \text{ V}$, 为双向放大器芯片供电 -5 V , 为多功能收发芯片供电。点线表示控制信号线, EN_A 和 EN_B 分别用于控制发射和接收状态, 经电源调制芯片调制输出为 VD_A 与 VD_B 信号, 用于控制双向放大器芯片, 而 CLK 等信号和 EN_B 则用于控制多功能收发芯片。

2 射频前端 SiP 的集成工艺方案

为了提升射频前端 SiP 的集成度并满足当前对射频前端 SiP 低剖面、小型化的需求, 本文采用了多种 SiP 集成工艺。

MMIC 是在单个基板或芯片上集成多个晶体管、电容、电感等电子元器件, 从而形成的集成电路, 实现了模块的小型化和高集成度。工作在微波和毫米波频率上的 MMIC, 在设计过程中需要将传输线作为电路元件进行建模和仿真, 同时必须仔细考虑传输线的过渡设

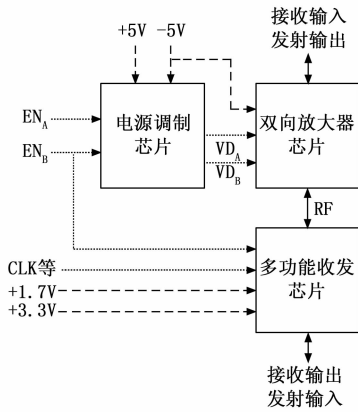


图 3 射频前端 SiP 的单通道芯片信号图

计。采用 MMIC 可以进一步简化射频前端 SiP 的制造流程并降低成本。

陶瓷通孔技术是一种应用于高密度三维封装的新型互连技术。其核心在于利用激光或蚀刻工艺，在陶瓷基板上形成微小通孔并完成金属化处理，从而实现电路层间高效的垂直连接。与此同时，结合高精度薄膜多层布线工艺，将电路布局在三维空间内扩展。这两种方式的协同作用，使得电子器件能够在有限面积内实现结构密度的最大化。具体而言，通过通孔互连与薄膜线路的再分布，使得原本只能在平面上部署的高精度、大功率电路得以纵向延伸。这种三维集成方式不仅显著减小了器件的整体尺寸，更为将多种异构元件（如薄膜多层电路、无源器件、倒装芯片乃至硅通孔模块）封装成独立 IP 核并集成于多层母板表面提供了可能。因此，该技术能够有效应对射频信号垂直传输、高精度器件与无源元件一体化集成等挑战，为复杂微系统的小型化与功能集成提供了关键技术支撑。相较于传统的二维封装，采用陶瓷通孔技术的器件能够在同等尺寸下实现更高的功能密度。更重要的是，由于信号可通过通孔直接纵向传输，通过合理布置有源器件位置可大幅缩短微波信号的传输路径，这一特性使其在结构优势之外兼具优异的高频性能，适用于对传输损耗、信号完整性与集成密度有严格要求的微系统电源电路、多功能射频前端等应用场景^[27]。

球栅阵列 (BGA, ball grid array) 技术是在芯片端口或基板表面植上球状导体（如焊锡球或金球），按照一定间距以阵列方式排布，再通过焊接或热压等方式实现芯片与基板间，或基板与基板间的连接及信号传输。BGA 植球技术及 BGA 封装结构是目前芯片封装和三维集成领域常用的关键技术。采用 BGA 技术实现垂直互连有许多优点。能够提高输入输出端口数量，节约占用的空间；成品率高，潜在的降低了成本；在一定程度上可以提高芯片或集成系统的散热性能；信号路径变

短，传输损耗降低，同时可以减小垂直互连产生的寄生参数，改善传输性能；在三维集成封装应用 BGA 进行基板堆叠时，接地的焊球能够起到类似隔离腔体的作用，进行良好的信号屏蔽，提高抗干扰能力^[28-29]。

在 SiP 中通常使用引线键合工艺将芯片焊盘与 SiP 电路进行互连。通常有两种引线键合类型，第一种是球键合，这种键合方法的特点是键合的一端有一个球，另一端有一个引线。球键合通常用于低频、控制和直流互连，因为球键合比大多数竞争性的互连方式成本更低。第二种引线键合方式是楔形键合，因为楔形键合金丝与集成电路的表面平行，这使得楔形键合可以水平而不是垂直地离开芯片。线长的减少使得楔形焊接在高频率的电子器件中被广泛应用^[28]。

综合以上工艺特性，本研究在射频前端 SiP 的实现中，采用基于 DPC 的陶瓷通孔技术实现高密度三维互连与集成，利用 BGA 技术完成 SiP 的对外连接，并通过引线键合工艺实现芯片与基板间的精细互连。

3 射频前端 SiP 的实施方案

通过射频前端 SiP 的射频链路方案和工艺方案的确定，考虑到芯片封装尺寸与制造工艺的约束，最终设计的射频前端 SiP 物理集成结构如图 4 所示。其中的三层基板，从下到上分别是 L_1 、 L_2 和 L_3 ， L_1 与 L_2 为在 DPC 陶瓷基板上生长金属围框的三维 DPC 陶瓷基板， L_3 为 DPC 陶瓷基板。

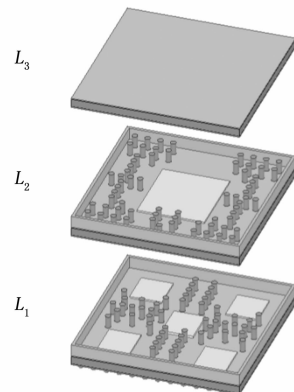


图 4 射频前端 SiP 的物理结构示意图

在芯片布局规划方面，射频前端 SiP 的双层布局设计需要综合考虑散热和传输损耗。首先是散热方面，由于双向放大器芯片功率较大、发热严重，将其与电源调制芯片共同放置于 L_1 ，并通过与 BGA 相连的射频母板实现散热。传输损耗方面，将多功能收发芯片放置于 L_2 ，尽可能缩短射频信号的传输路径。 L_1 布局以电源调制芯片和双向放大器芯片为核心，构成功率层； L_2 则以多功能收发芯片为核心，构成幅相层。这种堆叠式设计充分利用射频前端 SiP 的纵向空间，突破了传统平

面布局的限制。显著减小了 SiP 的尺寸，满足了现代对 SiP 低剖面 and 小型化的需求。

在射频前端 SiP 的实现过程中，其内部层与层之间的垂直互连是关键难题。基板间采用陶瓷通孔和铜柱结合，实现信号垂直传输，既保证了信号传输的完整性，又增强了射频前端 SiP 的结构稳定性。射频前端 SiP 通过 L_1 背面的 BGA 焊球与母板完成信号传输。基板四周的金属围框不仅能够隔离 SiP 内部的射频信号，还在激光封焊后提升 SiP 的气密性。

针对多通道间的串扰问题，本文研究了多种信号传输结构。在射频电路中，微带线、带状线以及同轴线是常用的几种传输结构，但它们在毫米波段的高密度 SiP 应用中各有局限性。微带线结构简单，但其开放的场分布导致辐射损耗大、串扰敏感；带状线具备良好的屏蔽性能，却难以实现垂直方向的信号集成；同轴线虽然传输性能优异，但其三维尺寸过大，无法满足高密度集成的需求。针对上述问题，本文最终选择了类同轴传输结构与微带线结合作为射频前端 SiP 内部的射频信号传输方案。如图 5 所示，类同轴传输结构在射频传输线的周围使用金属接地孔与铜柱替代传统同轴线的导体，中心射频通孔替代传统同轴线的内导体。具体而言，图 5 中的接地铜柱、接地通孔与射频通孔共同构成了类同轴传输结构。这种设计能够有效降低不同通道间射频信号的串扰，提升信号传输的稳定性和完整性。

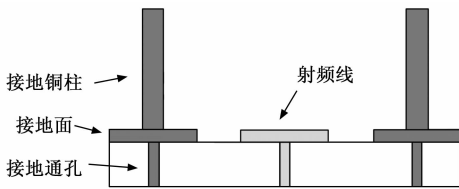


图 5 射频前端 SiP 的类同轴传输结构示意图

在设计类同轴传输结构的过程中，关键挑战之一是如何在有限空间内实现射频传输线的阻抗匹配。为此，本文采用理论与仿真相结合的方法展开研究。理论部分主要依据 1/4 波长变换器原理，该结构是射频电路中实现阻抗匹配的常用手段，其工作原理如下：在已知负载电阻 R_L 和馈线特征阻抗 Z_0 的情况下，通过一段特征阻抗为 Z_1 、长度为 $\lambda/4$ 的无耗传输线连接这两个元件，此时输入阻抗 Z_{in} 为：

$$Z_{in} = Z_1 \frac{R_L + jZ_1 \tan\beta l}{Z_1 + jR_L \tan\beta l} \quad (5)$$

其中：取 $\beta l \rightarrow \pi/2$ 时的极限，得到：

$$Z_{in} = \frac{Z_1^2}{R_L} \quad (6)$$

为了使得向着 $\lambda/4$ 匹配段看去的 $\Gamma=0$ ，必须有 $Z_{in} = Z_0$ ，此时的特征阻抗为：

$$Z_1 = \sqrt{Z_0 R_L} \quad (7)$$

因此为了使驻波系数最低，需要一个特征阻抗为 Z_1 、长度为 $\lambda/4$ 的阻抗匹配结完成阻抗匹配。考虑到射频传输线的一侧是空气，另一侧是 DPC 陶瓷基板，并非理想情况，因此阻抗匹配结沿电流方向的长度 L 实际为：

$$L = \frac{c}{4f\sqrt{\epsilon}} \quad (8)$$

其中： c 为光速， f 为传输线的工作频率， ϵ 为有效介电常数。

最后，由于矩形传输线的阻抗 R 为：

$$R = \rho \frac{L}{A} \quad (9)$$

其中： ρ 为材料的电阻率， A 为阻抗匹配节沿电流方向的横截面积。在已知 R 、 L 、 ρ 等参数的情况下，可通过上述公式计算出阻抗匹配节的横截面积 A ，从而确定阻抗匹配节的尺寸，解决传输线的阻抗匹配问题。

在本文中，类同轴传输结构分为 3 个部分，分别是 BGA 至 L_1 类同轴传输结构 (BGA- L_1)、BGA 至 L_2 类同轴传输结构 (BGA- L_2) 和 L_1 至 L_2 类同轴传输结构 (L_1 - L_2)，3 种类同轴传输结构的模型如图 6 所示。

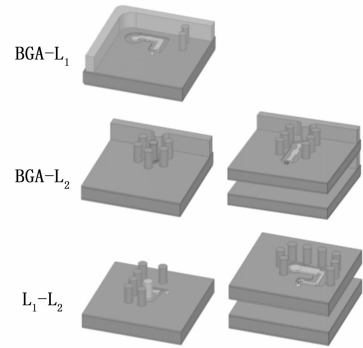


图 6 类同轴传输结构模型

基于理论模型初步计算出阻抗匹配节的大致尺寸后，利用高频仿真软件 Ansys Electronics Desktop 2020 R1 对类同轴传输结构的各项参数进行精细优化，旨在降低其驻波系数，从而实现良好的阻抗匹配效果。在类同轴传输结构中，陶瓷基板为氧化铝 99 瓷，其介电常数为 10，厚度为 0.32 mm。基于 HFSS 仿真分析平台，3 个类同轴传输结构的 S_{11} 仿真结果如图 7 (a) 所示。可以看到，3 个类同轴传输结构的 S_{11} 在工作频段内均保持在 -20 dB 以下，且最低点位于工作频段中点附近。由此可计算出 VSWR 为：

$$VSWR = \frac{1 + 10^{S_{11}(\text{dB})/20}}{1 - 10^{S_{11}(\text{dB})/20}} \quad (10)$$

由于 S_{11} 在工作频段内保持在 -20 dB 以下，因此计算出的 VSWR 在工作频段内小于 1.22，满足课题需求。

3 个类同轴传输结构的 S_{21} 仿真结果如图 7 (b) 所示。结果显示, BGA- L_1 和 BGA- L_2 的损耗在工作频段内均保持在 0.2 dB 以下, 而 L_1 - L_2 的损耗略高, 保持在 0.3 dB 以下。分析表明, L_1 - L_2 传输线长度略长于其他两个结构, 因此插入损耗偏高。整体而言, 仿真结果验证了类同轴传输结构设计的有效性。

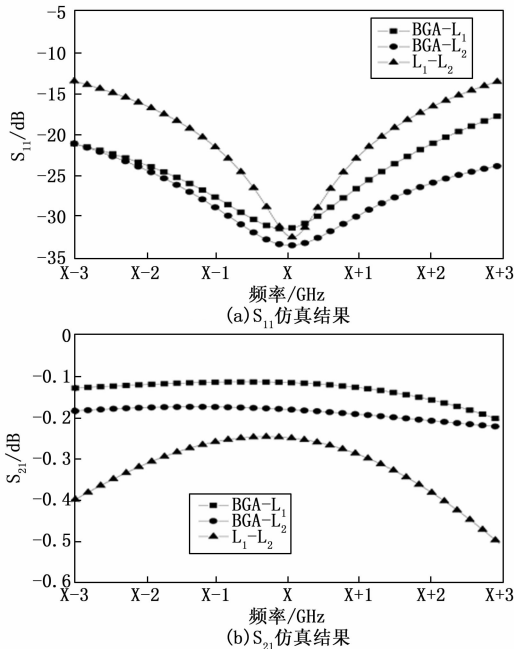


图 7 类同轴传输结构的 S 参数仿真结果

4 射频前端 SiP 的实验结果与分析

射频前端 SiP 相关物料齐套后, 进行微组装, 此时射频前端 SiP 还未植 BGA 球, 整体尺寸控制在约 $12\text{ mm} \times 12\text{ mm} \times 4\text{ mm}$ 。为了全面验证射频前端 SiP 的射频性能, 搭建了以矢量网络分析仪 (Agilent N5230A) 和噪声系数分析仪 (惠普 HP8970B) 为核心的测试平台, 仪器能够覆盖待测 SiP 的工作频率范围, 且可满足各项技术指标的测试要求, 以确保测试的有效性。

进行 S 参数测试前, 使用矢量网络分析仪的配套校准件进行校准, 校准完成后, 矢量网络分析仪输入端接衰减器, 并将 S_{21} 幅度进行归一化, 随后开始测试。测试时, 将待测 SiP 放置于专用测试夹具内, 合上盖板后, 压紧盖板并拧紧旋钮, 将 SiP 固定在预期位置, SiP 底部的焊盘与夹具相连, 通过测试夹具上预留的五个射频端口与测试仪器相连, 未使用的射频端口接 $50\ \Omega$ 负载, 打开直流电源并使用自动测试程序对待测 SiP 下发控制信号, 测试并记录对应通道的测试曲线。在测量噪声系数时, 使用噪声系数分析仪替换矢量网络分析仪接入测试链路, 使用直流电源为待测 SiP 供电并下发控制信号, 测试并记录对应通道的测试曲线。

最终射频前端 SiP 的测试结果汇总于表 4 和图 8。从数据来看, 射频前端 SiP 在工作频段内表现稳定, 发射输出功率维持在 $21\sim 22\text{ dBm}$, 波动不超过 1 dB, 接收增益达到 $25\sim 26\text{ dB}$, 波动不超过 1 dB, 接收噪声系

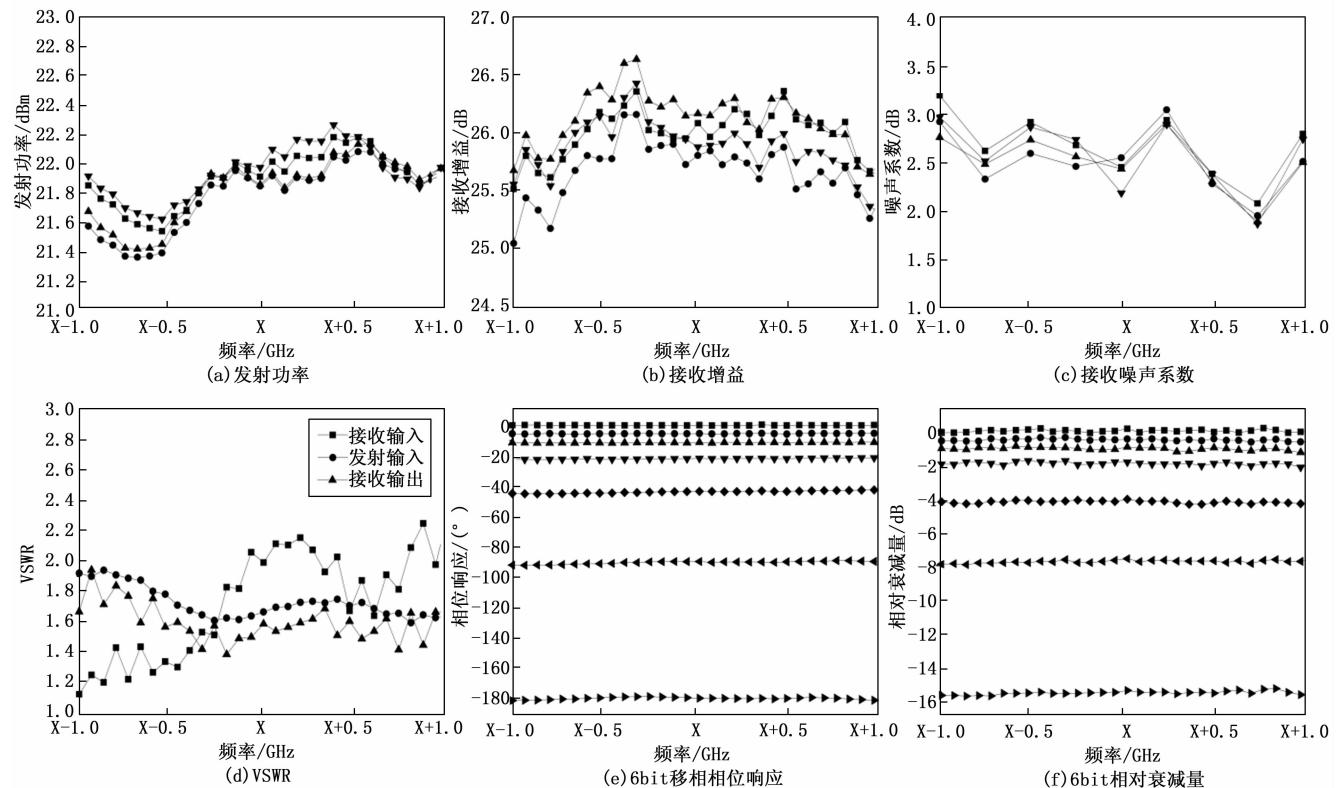


图 8 射频前端 SiP 的实测结果

数控制在 3.2 dB 以内, 输入输出 VSWR 均小于 2.3, 6 bit 移相功能与 6 bit 衰减功能均正常工作, 以上测试内容均符合前文的技术指标要求。

表 4 射频前端 SiP 实测结果表

指标	实测数据	指标要求
工作频段	K 波段	K 波段
发射功率/dBm	21~22	≥ 20
接收增益/dB	25~26	≥ 20
噪声系数/dB	≤ 3.2	≤ 4
VSWR	≤ 2.3	≤ 2.5
移相功能/bit	6, 步进 5.625°	6, 步进 5.625°
衰减功能/bit	6, 步进 0.5 dB	6, 步进 0.5 dB
尺寸/mm	12×12×4	$\leq 12 \times 12 \times 5$

为了验证基于三维气密陶瓷封装的射频前端 SiP 气密性, 参考 GJB548C-2021, 使用氦质谱检漏仪对其进行了气密性检测。将待测 SiP 用酒精清洗后, 置入仪器内并使用氦气对其进行加压, 腔内约 400 kPa 后持续 2 小时, 随后排出氦气并抽真空后, 检测氦气漏率。实验共测试了五件样品, 其最高漏率为 $4.6 \times 10^{-5} \text{ Pa} \cdot \text{cm}^3/\text{s}$, 小于 GJB548C-2021 中拒收极限值 $5 \times 10^{-4} \text{ Pa} \cdot \text{cm}^3/\text{s}$ 约一个量级, 明确了三维气密陶瓷封装对于 SiP 气密性的有效提升。

整体而言, 此次基于 DPC 陶瓷基板开发的射频前端 SiP, 在多项关键射频性能和气密性上均呈现出良好的表现, 验证了该集成方案在小型化与高性能之间的有效平衡, 这为后续进一步的应用与优化奠定了扎实的基础。

5 结束语

本文基于三维气密陶瓷封装技术, 成功设计并实现了一款毫米波射频前端 SiP 模块。通过系统级架构的优化设计、关键射频功能的高度集成以及垂直传输结构的相关优化, 该方案突破了传统封装在密度与性能上的局限, 不仅实现了器件的高密度集成与低剖面布局, 更在工作频段内展现出优良的射频传输特性。经过实物加工与严格的测试验证, 该射频前端 SiP 在输出功率、接收增益、接收噪声系数、输入输出 VSWR 等关键指标上均达到预期水平, 性能稳定可靠。

本研究所提出的小型化气密封装 SiP 方案, 具有较强的平台适应性与扩展潜力, 可灵活适配于现代射频领域的多种应用场景。它不仅为当前毫米波系统的小型化提供了一条切实可行的技术路径, 也为未来射频前端向更高集成度、更丰富功能、更低成本方向的发展提供支撑。

参考文献:

[1] 张光义, 赵玉洁. 相控阵雷达技术 [M]. 北京: 电子工

业出版社, 2006.

- [2] ZHOU J, YANG J P, SHEN Y. 3D heterogeneous integration technology using hot via MMIC and silicon interposer with millimeter wave application [C] //Honolulu, HI, USA: 2017 IEEE/MTT-S International Microwave Symposium, 2017: 499-503.
- [3] AL-SARAWI S F, DEREK A, PAUL D F. A review of 3-D packaging technology [J]. IEEE Transactions on Components, Packaging, and Manufacturing Technology, 2002, 21 (1): 2-14.
- [4] 高尚通, 杨克武. 新型微电子封装技术 [J]. 电子与封装, 2004 (1): 10-15.
- [5] 李扬. 基于 SiP 技术的微系统 [M]. 北京: 电子工业出版社, 2021.
- [6] 张先荣. 毫米波硅基 SiP 模块设计 [J]. 电讯技术, 2023, 63 (5): 741-747.
- [7] 刘卫强, 万涛, 吕苗, 等. 基于硅基堆叠 SiP 技术的超宽带 T/R 组件 [J]. 微波学报, 2024, 40 (2): 74-78.
- [8] 陆宇. 一种超宽带硅基 MEMS 射频收发组件 [J]. 固体电子学研究与进展, 2023, 43 (6): 480-485.
- [9] CHEN S, WU Y, LIU X, et al. Design of RF front-end system-in-package module based on organic substrate process [J]. Discover Applied Sciences, 2025, 7 (6): 522.
- [10] 高钟澜, 王鹏毅, 王新. K 频段新型相控阵双波束接收组件研究 [J]. 计算机测量与控制, 2025, 33 (4): 200-208.
- [11] 姚剑平, 李庆东, 管慧娟, 等. 基于 SiP 应用的多层有机复合基板的三维堆叠 [J]. 电子与封装, 2025, 25 (4): 52-55.
- [12] 李庆东, 辜霄, 姚剑平, 等. 基于多层有机复合基板的射频 SiP 研究 [J]. 微波学报, 2024, 40 (s1): 244-247.
- [13] 李佳津, 王鹏毅, 王新. X 频段八波束接收组件的设计与实现 [J]. 计算机测量与控制, 2024, 32 (2): 309-316.
- [14] YANG F, ZHANG B, SONG L. A Ku-Band miniaturized System-in-Package using HTCC for radar transceiver module application [J]. Micromachines, 2022, 13 (11): 1817.
- [15] YU B, WANG Z, LI O, et al. A 200-GHz Four-Element Phased-Array receiver System-in-Package using HTCC technology for Sub-Terahertz communications [J]. IEEE Transactions on Microwave Theory and Techniques, 2023, 72 (7): 3920-3934.
- [16] 傅祥雨. 4 通道 S 波段硅基 SiP 模块的设计与实现 [J]. 电子与封装, 2025, 25 (4): 61-66.

(下转第 241 页)