

基于 CICQ 交换结构的低功耗研究与设计

李伟康, 张卜方, 李斌

(中国电子科技集团公司 第五十四研究所, 石家庄 050081)

摘要: 针对高性能交换芯片在先进工艺下面临的功耗问题, 基于 CICQ 交换结构开展低功耗技术研究; 分析 CMOS 集成电路中动态功耗与静态功耗的来源, 明确优化方向; 采用改进的输出总线缓存设计与流控反馈机制, 解决多端口数据突发场景下的队头阻塞问题; 通过实施门控时钟、门控电源与多电压域技术, 建立覆盖端口组、存储单元及 SerDes 接口的精细化功耗管理方案, 并基于 UPF 标准构建从逻辑综合到物理实现的完整低功耗设计流程; 实验结果表明, 在 12 端口 \times 4 工作模式及 12.5 Gbps 单通道速率条件下, 该方案使芯片总功耗由 9.345 W 降至 5.520 W, 降幅达 40.9%, 其中内部功耗降低 48.2%, 开关功耗降低 46.5%, 静态功耗降低 33.4%。该方法能够满足高性能交换芯片的功耗控制需求, 为同类型通信芯片的低功耗设计提供有效解决方案。

关键词: 低功耗; CICQ; 门控时钟; 门控电源; UPF

Research and Design of Low-Power Techniques Based on CICQ Switching Fabric

LI Weikang, ZHANG Bufang, LI Bin

(The 54th Research Institute of CETC, Shijiazhuang 050081, China)

Abstract: To address the power consumption challenges faced by high-performance switch chips in advanced process technologies, research on the low-power techniques based on the combined input and crosspoint queued (CICQ) switch architecture is conducted. The sources of dynamic and static power consumption in the CMOS integrated circuits are analyzed to identify optimization directions. An enhanced output bus buffer design and a flow control feedback mechanism are used to resolve the issue of head-of-line blocking in multi-port data burst scenarios. By completing the clock gating, power gating, and multi-voltage domain techniques, a refined power management scheme for covering the port groups, memory units, and SerDes interfaces is established. Additionally, from logic synthesis to physical implementation, a complete low-power design flow based on the unified power format (UPF) standard is constructed. Experimental results show that with a configuration of 12 ports \times 4 operating mode and a single-channel data rate of 12.5 Gbps, this approach reduces the chip's total power consumption from 9.345 W to 5.520 W, achieving a reduction of 40.9%. Specifically, the internal power consumption is reduced by 48.2%, the switching power consumption by 46.5%, and the static power consumption by 33.4%. This method effectively meets the power control requirements of high-performance switch chips and provides a viable low-power solution for similar communication chips.

Keywords: low-power; CICQ; clock gating; power gating; UPF

0 引言

随着云计算、人工智能及物联网技术的飞速发展, 数据交换需求呈爆炸式增长, 对数据中心的交换能力提出了前所未有的要求。作为交换机的核心枢纽, 交换芯片的性能直接决定了整个系统的工作效率。然而, 在先进半导体工艺演进至纳米级阶段后, 芯片功耗密度急剧

上升, 热管理与供电成本成为制约交换设备性能提升的关键因素。功耗问题不仅影响芯片运行的能效比, 也对系统的散热设计与运营成本构成严峻挑战。

交换芯片具有端口并行架构多、时钟网络频率高与片上缓存规模大等结构特点。这些特征决定了其功耗特性与通用处理器及常规通信芯片之间存在巨大差异。本文研究的交换芯片采用输入-交叉节点联合排

收稿日期: 2025-11-03; 修回日期: 2025-12-05。

作者简介: 李伟康(2000-), 男, 硕士研究生。

引用格式: 李伟康, 张卜方, 李斌. 基于 CICQ 交换结构的低功耗研究与设计[J]. 计算机测量与控制, 2026, 34(1): 196-204, 213.

队 (CICQ, combined input-crosspoint queued) 架构, 通过分布式缓存与流控反馈机制, 在高吞吐量交换场景中具有明显优势, 但是其密集分布的存储单元和并行控制逻辑也导致功耗问题尤为突出。传统的粗粒度低功耗技术难以直接适用于此类复杂架构, 如何在保障交换性能与服务质量的条件下, 实现对电路的精细化功耗管理, 已经成为当前高性能交换芯片设计面临的核心问题。

低功耗集成电路技术历经数十年的发展, 形成了多层次、多维度的技术体系。其中, 门控时钟作为抑制动态功耗的核心技术在学术界和工业界被广泛应用: 文献 [1] 通过对大规模工业设计的分析揭示了门控时钟技术对存储密集型架构的显著优化效果, 文献 [2] 与文献 [3] 分别在不同计算架构中实现了高达 50% 的功耗降幅, 文献 [4] 则通过将门控时钟与系统级功耗管理策略深度融合, 构建了完整的片上低功耗系统。在门控电源技术领域, 文献 [5] 创新性地集成数据保持机制, 解决了睡眠模式下电路状态保存的难题, 文献 [6] 开发的图形处理器 (GPU, graphics processing unit) 精确功耗模型与文献 [7] 在物联网片上系统 (SoC, system on chip) 中实现的 $10.6 \mu\text{W}$ 超低功耗, 共同推动了该技术向智能化、场景化方向发展。同时, 基于统一功耗标准 (UPF, unified power format) 的低功耗设计流程已经成为实现多电压域技术的基石。文献 [8] 和文献 [9] 的系统研究验证了多电压域设计的卓越效果, 文献 [10] 和文献 [11] 应用 UPF 技术实现了 SoC 和大型 GPU 的全链路功耗管控, 文献 [12] 则通过电压域划分与物理实现的深度协同, 为低功耗集成电路设计提供了可行的实现路径。此外, 面向特定架构的创新技术不断涌现, 文献 [13] 和文献 [14] 在片上网络中引入的智能功耗管理方法为并行架构的能效优化开辟了新路径。

然而, 现有的研究工作大多集中于通用处理器、GPU 或规模有限的 SoC。对于高性能交换芯片这类具有高度并行、多端口、大缓存特征的复杂专用架构, 如何系统性地应用现有低功耗技术, 并建立一套贯穿设计始终的标准化流程, 仍是一个有待深入探索的重要问题。

本文面向 CICQ 交换架构, 开展系统级低功耗技术研究。通过基于寄存器控制的精细化门控时钟技术, 实现对空闲电路时钟的动态关断; 提出融合门控电源与多电压域的协同功耗管理方案, 完成对交换芯片的分区供电与关断控制; 基于 UPF 标准, 构建了从 RTL 到物理实现的完整流程, 确保低功耗设计在全流程中的一致性。通过仿真验证, 对所提方案进行了全面的功耗评估, 证明了其良好的优化效果。

1 功耗来源及分析

在研究低功耗设计方法之前, 首先需要明确集成电路中功耗的来源。本节将重点分析互补金属氧化物半导体 (CMOS, complementary metal oxide semiconductor) 工艺下集成电路的功耗构成^[15], 主要包括电路在开关活动时产生的动态功耗, 以及由泄漏电流引起的静态功耗两部分。

1.1 动态功耗

动态功耗主要由两部分构成: 开关功耗和内部功耗。其中, 开关功耗是指 CMOS 逻辑门在输出状态发生翻转时, 对负载电容进行充放电所消耗的能量, 构成动态功耗的主要部分, 图 1 为 CMOS 电路中的开关功耗示意图。

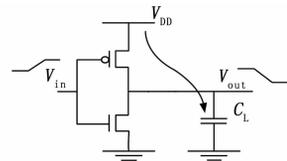


图 1 CMOS 电路中的开关功耗

当输入信号 V_{in} 为低电平时, 输出端 V_{out} 与电源之间形成直流通路, 电源开始对负载电容进行充电, 使其电压逐渐上升至 V_{DD} 。在此过程中, 一部分能量存储在电容中, 另一部分能量则在 P 沟道金属氧化物半导体 (PMOS, p-channel metal oxide semiconductor) 中耗散为热量。当输入信号 V_{in} 变为高电平时, 输出端 V_{out} 与地连通, 负载电容通过 N 沟道金属氧化物半导体 (NMOS, n-channel metal oxide semiconductor) 放电, 储存的能量在 NMOS 管中全部耗散为热量。

通过计算, 每次对负载电容进行充放电所消耗的能量为:

$$E = V_{DD}^2 \cdot C_L \quad (1)$$

式中, V_{DD} 是电源的工作电压, C_L 是电路的负载电容。

进而可以得到开关功耗的计算公式为:

$$P_{\text{switch}} = E \cdot f = V_{DD}^2 \cdot C_L \cdot f_{\text{clk}} \cdot P_o \quad (2)$$

式中, f 表示负载电容的充放电频率, 即能量消耗的频率。由于在复杂的数字电路或系统中直接计算 f 较为困难, 为此引入了系统时钟频率 f_{clk} 和翻转概率 P_o , 用于表示当时钟翻转时, 门电路输出状态发生转换的可能性。因此, 负载电容的充放电频率 $f = f_{\text{clk}} \cdot P_o$ 。

若定义等效电容 $C_{\text{eff}} = C_L \cdot P_o$ 为每个时钟周期内参与充放电过程的平均电容值, 则可得如下关系式:

$$P_{\text{switch}} = C_{\text{eff}} \cdot V_{DD}^2 \cdot f_{\text{clk}} \quad (3)$$

通过上述分析可知, 开关功耗主要与工作频率、负载电容及电源电压呈正相关。

此外, 动态功耗的另一重要组成部分是内部功耗。

在实际电路中，输入信号并非是理想的阶跃信号，有一定的上升时间和下降时间。当输入信号跳变时，PMOS 和 NMOS 管会同时导通形成从电源到地的瞬态直流通路，这部分能量以热的形式被消耗。如图 2 所示为 CMOS 电路中短路电流示意图。

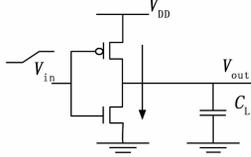


图 2 CMOS 电路中的短路电流

不难得出由短路电流引起的内部功耗如下：

$$P_{\text{internal}} = t_{\text{on}} \cdot V_{\text{DD}} \cdot I_{\text{peak}} \cdot f_{\text{clk}} \quad (4)$$

式中， t_{on} 表示 PMOS 管与 NMOS 管之间形成直流通路的时间， I_{peak} 表示电路内部电流。

进而，可以得到动态功耗为开关功耗与内部功耗之和：

$$P_{\text{dyn}} = P_{\text{switch}} + P_{\text{internal}} = C_{\text{eff}} \cdot V_{\text{DD}}^2 \cdot f_{\text{clk}} + t_{\text{on}} \cdot V_{\text{DD}} \cdot I_{\text{peak}} \cdot f_{\text{clk}} \quad (5)$$

根据上述分析可知，降低动态功耗可从电源电压 V_{DD} 、时钟频率 f_{clk} 和负载电容 C_L 等关键参数入手。

1.2 静态功耗

静态功耗是指电路在通电但处于稳态（无信号翻转）时，由晶体管的各种泄漏电流所产生的功耗。图 3 为 CMOS 电路中的泄漏电流示意图。

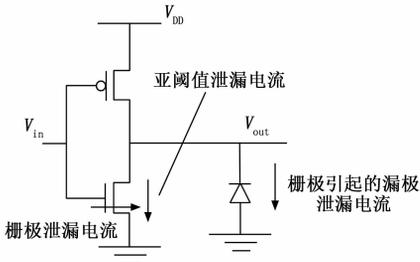


图 3 CMOS 电路中的泄漏电流

在当前的先进纳米级工艺中，泄漏电流 I_{leak} 主要包含以下三类：亚阈值泄漏电流 I_{SUB} 、栅极泄漏电流 I_{gate} 和栅极引起的漏极泄漏电流 I_{GIDL} 。

因此，静态功耗可近似表示为：

$$P_{\text{static}} = I_{\text{leak}} V_{\text{DD}} = (I_{\text{SUB}} + I_{\text{gate}} + I_{\text{GIDL}}) \cdot V_{\text{DD}} \quad (6)$$

下面将对这三类泄漏电流分别进行分析。

1) 亚阈值泄漏电流 I_{SUB} ：

当 MOS 管的栅源电压 V_{GS} 低于阈值电压 V_{th} 时，理论上晶体管应处于完全关断状态；然而在实际情况中，此时半导体表面会形成弱反型层，导致源极与漏极之间仍存在微小电流。这一电流称为亚阈值泄漏电流，是静态功耗的主要来源，其表达式可表示为：

$$I_{\text{SUB}} = \mu C_{\text{ox}} V_T^2 \frac{W}{L} \cdot e^{(V_{\text{GS}} - V_{\text{th}})/nV_T} \quad (7)$$

式中， μ 为载流子迁移率， C_{ox} 为栅氧化层的单位面积电容， $V_T = \frac{kT}{q}$ 为热电压，室温下约为 26 mV， W 和 L 分别表示晶体管的宽度与长度， n 为亚阈值摆幅（ n 值越小，表明晶体管的栅控能力越好，亚阈值泄漏越少）。

2) 栅极泄漏电流 I_{gate} ：

在纳米级栅氧厚度下，载流子因隧穿效应穿透绝缘层，形成栅极至沟道/源漏区的泄漏电流即为栅极泄漏电流。

自 90 nm 工艺节点起， SiO_2 栅氧厚度已缩减至约 1.2 nm（约 5 个原子层）。在此尺寸下，直接隧穿效应显著增强，引起栅极泄漏电流激增，甚至达到与亚阈值泄漏电流相当的量级，成为静态功耗不可忽视的组成部分。

为有效抑制栅极泄漏电流，目前最可行的解决方案是采用高 k 介质替代传统栅氧化层^[16]。

3) 栅极引起的漏极泄漏电流 I_{GIDL} ：

当 MOSFET 的栅极电压相对于漏极电压为强负压时，在漏极和衬底之间产生的泄漏电流。

综上所述，静态功耗主要受晶体管阈值电压 V_{th} 、栅源电压 V_{GS} 、温度 T 、器件尺寸（宽长比 W/L ）以及亚阈值摆幅 n 等因素的影响。为有效降低静态功耗，目前常采用的方法有：多阈值电压设计^[17]、门控电源以及可变阈值 CMOS 技术^[18]等。

以上 CMOS 功耗模型为分析提供了理论基础，而本文研究的 CICQ 交换芯片的架构特征决定了其功耗的构成。交换芯片具有大规模的时钟网络和高翻转率的并行数据路径，在满载交换业务下，数据包的持续调度与传输将导致几乎所有数据路径和大部分控制逻辑处于高频翻转状态，使动态功耗成为峰值功耗的主要来源。同时，海量的存储单元与晶体管使得静态功耗在总功耗中占据显著比例。

因此，要系统性优化交换芯片的功耗，必须采用精细化的门控时钟技术以抑制与活动性相关的动态功耗，并引入门控电源技术用于消除空闲模块的静态功耗。

2 低功耗设计方法

集成电路的低功耗设计是一项复杂的系统性工程，贯穿从系统架构、算法设计、电路综合、物理实现到封装测试的全流程。

为实现低功耗目标，需要在不同设计层级采用针对性方案，以此驱动系统级、行为级、寄存器传输级（RTL, register-transfer level）、逻辑级与物理级的设计决策，在保障性能与可靠性的同时，最大限度降低系统总功耗。各层级均有对应的优化方法，但其优化效果自

上而下逐级递减。

在系统级设计中, 芯片的架构规划与功能定义构成了整体功耗的基础。设计人员需要结合应用场景与性能需求, 确定合适的系统架构; 综合考虑功耗、性能、面积的平衡, 通过模块划分与电源管理策略降低系统总功耗。此阶段功耗优化潜力可达 70%。常见方法包括: 电源门控、动态电压与频率调节以及软硬件协同优化^[19]等。

行为级优化聚焦于数据流层面, 通过降低计算复杂度与信号活动强度实现功耗控制。主要方法包括采用低复杂度算法、优化数据编码^[20], 以及合理分配运算资源等。该阶段功耗优化效果依赖于算法特性与实现架构的匹配程度, 可以达到 40%~70%。

在 RTL 级, 硬件描述代码的结构设计会直接影响综合后电路的功耗表现。关键技术包括插入时钟门控电路、优化状态机编码和分区访问存储器等。其中门控时钟是 RTL 级应用最广泛的核心技术, 此阶段的优化效果可以达到 25%~40%。

逻辑级优化基于网表优化与单元选择来平衡功耗与性能。主要技术包括使用多阈值电压工艺库(关键路径使用低阈值单元, 非关键路径使用高阈值单元)、低功耗逻辑综合以及逻辑重组等。该阶段的关注重点是抑制静态功耗并实现电路活动性的局部优化, 功耗降幅可达 15%~25%。

在物理级, 通过版图实现和工艺选择完成功耗优化的最终环节。关键技术包括设计低阻抗电源网络、采用高 k 金属栅工艺以抑制泄漏电流、优化晶体管尺寸与布线电容以降低开关功耗, 以及使用衬底偏压技术实现阈值电压的动态调节。此阶段功耗优化效果受工艺特性与物理实现的制约, 可达 10%~15%。

3 基于 CICQ 交换结构的低功耗设计

本节将基于 CICQ 交换结构采用门控时钟、门控电源和多电压域技术对交换芯片进行低功耗设计。

3.1 CICQ 交换结构

本文研究的交换芯片采用 24 端口、48 通道架构, 每两个端口构成一个端口组并支持 $\times 4$ 工作模式。该芯片单通道传输速率达 12.5 Gbps, 总交换带宽达 600 Gbps, 对内部交换架构提出了严苛的性能要求。

在输入排队 (IQ, input queued) 架构中, 多路输入总线需要直接与输出总线进行交互, 易引发访问冲突; 输出排队 (OQ, output queued) 架构则要求输出总线同时接收四路输入数据, 需实现四倍加速比, 仅适用于小规模系统。而 CICQ 交换结构通过在交叉节点增设缓存^[21], 有效隔离了输入与输出总线的直接交互。

此外, 为了避免队头阻塞的问题, 本文在输入队列

中引入了虚拟输出队列 (VOQ, virtual output queuing) 机制。然而, 由于每条输出总线需承载多个业务端口, 当交叉节点采用线性排队方式时, 同一总线内各端口间仍会出现队头阻塞。

针对此矛盾, 本文在输出端口增设缓存模块, 解除输出端口对交叉节点的反压依赖, 转而从流控反馈机制调节输入总线向对应端口的数据流速。这一设计既确保输出缓存能够正常处理传输过程中的数据突发状况, 避免数据包丢失, 又有效防止因单通道异常掉线而阻塞整个共享总线的情况发生。

在此背景下, 具有缓存功能的 CICQ 结构凭借其分布式调度、高可扩展性及算法简洁等优势, 成为构建高性能大容量交换系统的理想解决方案。如图 4 所示为交叉点带缓存的 CICQ 交换结构。

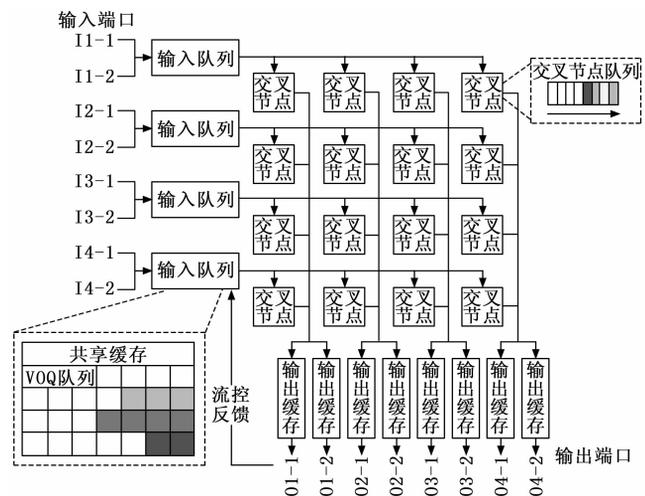


图 4 交叉点带缓存的 CICQ 交换结构

然而, 由于端口数量多和交换速率高带来的缓存资源开销、芯片面积和功耗问题, 成为设计中不可忽视的因素, 因此基于 CICQ 交换结构的低功耗设计显得至关重要。

3.2 门控时钟

门控时钟技术通过抑制时钟网络的冗余翻转, 成为降低动态功耗的核心手段^[21]。通过识别模块工作状态, 动态关断空闲电路的时钟信号, 可以直接降低电路的动态功耗。在 RTL 综合阶段, 设计工具可自动识别代码中的门控条件, 在关键路径插入时钟门控单元, 并采用时钟树综合与特殊布线策略实现功耗优化, 图 5 为门控时钟电路示意图。

交换芯片包含多个时钟域, 涵盖端口、串行器/解串器 (SerDes, serializer/deserializer)、交换结构, 以及控制逻辑, 如内部集成电路总线 (I2C, inter-integrated circuit) 等接口。在 CICQ 交换结构中, 由于各交叉点缓存独立运行, 即使端口处于空闲状态, 其对应

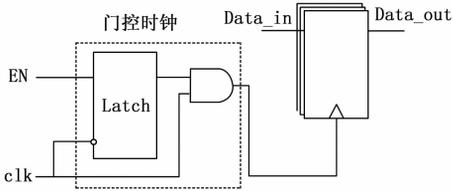


图 5 门控时钟电路

的寄存器与控制器逻辑仍会持续接收时钟驱动，引起不必要的电容充放电和短路电流，造成大量的功耗浪费。为解决这一问题，下面介绍交换结构中门控时钟技术的具体设计与实现方案。

交换结构的门控时钟功能由寄存器 CK_ON_S 和 GLBL_PORT_CGATE 联合控制。其中，CK_ON_S 为外部控制引脚，用于设定 GLBL_PORT_CGATE 的初始状态：当其置 1 时，GLBL_PORT_CGATE 各比特的复位值依据 PORT_SEL_S [23: 0] 自动配置；当其置 0 时，GLBL_PORT_CGATE 的复位值为全 0，默认开启所有端口时钟。

通过配置 GLBL_PORT_CGATE 寄存器，可实现对以下模块的时钟门控：端口、入口模块和输入输出端口对应的逻辑交叉点缓存，图 6 展示了部分交换结构的门控时钟架构。以端口 0 至端口 3 组成的两个端口组为例，当 PORT_SEL_S [3: 0] 引脚输入 4'b0101 时，GLBL_PORT_CGATE [23: 20] 的复位值为 4'b0111。此配置下，除端口 0 外，其余 3 个端口的时钟均被关断，其相关的控制器逻辑和缓存时钟也同步进入门控状态。

当后续需要使用已关断的端口时，可通过重新配置 GLBL_PORT_CGATE 寄存器实现，表 1 列出了门控时钟相关寄存器的定义。为实现安全、无数据丢失的时钟动态关断，本设计采用了一套基于状态机管理的精细化流程。其核心在于确保目标端口在时钟停止前完成所有业务静默、数据排空与状态收敛。首先，通过配置寄存器暂停所有流向目标端口的数据流与维护包流。其次，系统持续轮询一系列状态寄存器（如 VOQ_ACT、

COL_ACT 等），以确认与该端口相关的所有输入/输出缓存、队列及维护缓存均已完全清空。在确保数据路径全空后，若端口未处于复位状态则对其执行软复位。最后通过配置全局时钟门控寄存器 GLBL_PORT_CGATE 实现时钟关断。该流程通过硬件状态机自动执行，确保了关断操作在业务无损的前提下完成，并支持运行时根据负载动态重配置。

表 1 门控时钟寄存器

位宽	名称	描述
23:0	GLBL_PORT_CGATE	使能每个端口的门控时钟,0 不使能,1 使能
23:0	RT_EN	控制发往目的端口的数据包正常路由或丢弃,0 丢弃,1 路由
23:0	MTC_EN	控制发往维护控制模块的维护包正常路由或丢弃,0 丢弃,1 路由
23:0	PORT	标示数据包将被发往的端口号,bit23 对应端口 0,bit0 对应端口 23
23:0	VOQ_ACT	标示端口出口的 VOQs 是否为空,0 为空,1 不为空
23:0	MTC_VOQ_ACT	标示端口入口的维护包 VOQs 是否为空,0 为空,1 不为空
23:0	RIO_FAB_MBCOL_ACT	标示端口的维护包缓存是否为空,0 为空,1 不为空
23:0	RIO_FAB_MIG_ACT	标示端口出口的维护控制模块 VOQs 是否为空,0 为空,1 不为空
23:0	COL_ACT	标示逻辑列是否活动,0 不活动,1 活动
23:0	MB_ACT	标示逻辑列维护包缓存是否为空,0 为空,1 不为空
23:0	EG_MT	标示出口缓存是否为空,0 为空,1 不为空
23:0	SOFT_RST_PORT	控制端口的软复位,只复位逻辑,不复位配置寄存器

3.3 门控电源

门控电源技术通过在芯片内部引入电源管理机制，实现对空闲模块的电源关断。该技术可通过控制信号在保持正常工作模块供电的同时，切断空闲模块的电源，从而有效抑制由泄漏电流引起的静态功耗^[23]。

图 7 所示为门控电源技术的示意图：当模块处于非

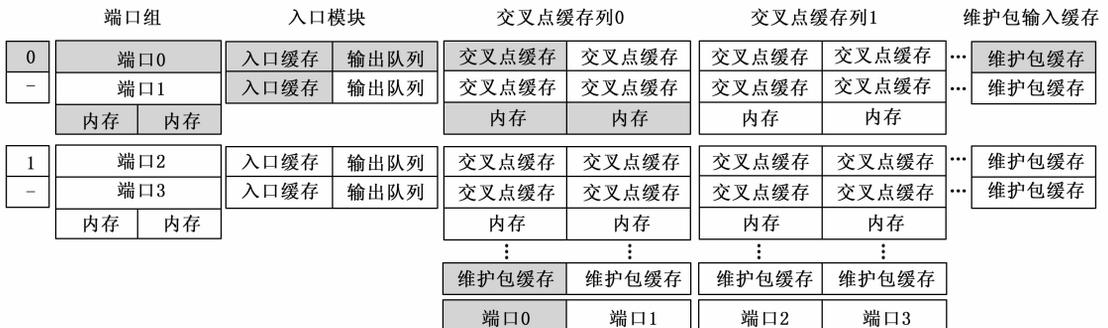


图 6 部分交换结构的门控时钟

工作状态时, 其电源被完全关断, 实现物理隔离; 同时维持活动模块正常供电, 确保系统功能正常运行。这种分区供电架构使得芯片能够在不同工作模式下动态调整功耗分布, 为高性能交换芯片提供了科学的功耗管理方案。

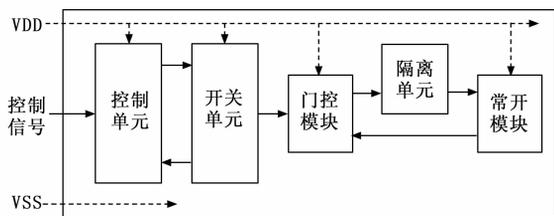


图 7 门控电源技术

交换芯片采用多端口阵列式交换架构, 各端口具有对称性与独立性。为有效抑制泄漏电流, 需要对空闲端口组及其控制逻辑进行电源关断, 其中包括: 队列管理逻辑、输出逻辑和调度器等。结合交换芯片的应用特性, 门控电源设计采用片上关断方案, 主要包括以下三个部分: 逻辑单元电源管理、存储器电源控制及 Ser-Des 接口电源关断。

3.3.1 逻辑单元电源管理

电源管理模块受双信号协同控制: PWR_ON_S 与 CB_COL_PGATE [11: 0]。其中, PWR_ON_S 为外部控制引脚, 用于设定 CB_COL_PGATE 的初始状态: 当其置 1 时, CB_COL_PGATE 各比特位的复位值依据 PORT_SEL_S [23: 0] 自动配置; 当其置 0 时, CB_COL_PGATE 复位为全 0, 默认开启所有端口电源。

CB_COL_PGATE 寄存器直接控制 12 个端口组的电源状态: 值为 1 表示关断对应端口组, 值为 0 则表示开启。该寄存器支持动态重配置, 可根据系统负载实时调整各端口组的供电状态。图 8 为交换芯片的门控电源架构, 当 CB_COL_PGATE = 12'h002 时, 端口组 1 即端口 2 和端口 3 的电源被关断。

芯片中 12 个端口组均支持独立片上电源关断功能,

其控制由内部寄存器 CB_COL_PGATE 实现。门控电源的关断操作遵循与门控时钟相似的安全前置流程, 即确保目标端口组业务静默与数据排空。在此之后, 需执行额外的电源关断预备操作, 包括清除端口粘滞状态和置位关断使能标志。最终, 通过配置电源控制寄存器 CB_COL_PGATE 实现对该端口组的供电切断。整个流程由硬件状态机顺序执行, 确保在关断电源前电路状态已妥善保存, 且无残余数据活动, 从而安全、可靠地实现静态功耗的消除。

此外, 为实现电源关断后电路的快速稳定启动与数据的正确传输, 本设计采用了一套受控唤醒与状态保障机制。具体流程如下: 首先, 电源管理单元控制电源开关以受控斜率开启, 使供电电压平稳爬升至额定值, 避免浪涌电流并确保电源稳定; 期间, 常开电源供电的状态保持寄存器持续保存关键逻辑配置。待电压稳定后, 系统按序执行: 解除输出隔离 (防止关断域信号干扰下游)、恢复时钟、加载保持状态至功能逻辑。最后, 该模块向交换调度模块上报 ready 信号。在数据层面, 通过关断前严格的缓存排空流程与恢复后配置的快速重建, 确保数据流在端口实现无缝衔接, 从而在实现低功耗目标的同时, 保障了系统性能与可靠性。

3.3.2 存储器电源控制

存储器仅在以下两种情况下执行关断操作: 一是包含的四个逻辑交叉点缓存均处于非活动状态, 二是芯片整体进入断电状态。

PWR_MODE 寄存器用于控制存储器关断功能的使能状态, 其复位值由 SLP_DIS_S 引脚信号决定: 当 SLP_DIS_S 为 0 时, PWR_MODE 复位为 0, 此时仅启用门控时钟技术 (方案与前述时钟门控保持一致); 当 SLP_DIS_S 为 1 时, PWR_MODE 复位为 1, 此时在门控时钟生效的同时, 将对相应存储器模块实施电源关断。总之, SLP_DIS_S 引脚直接决定了系统是否在时钟门控的基础上进一步启用存储器关断功能。

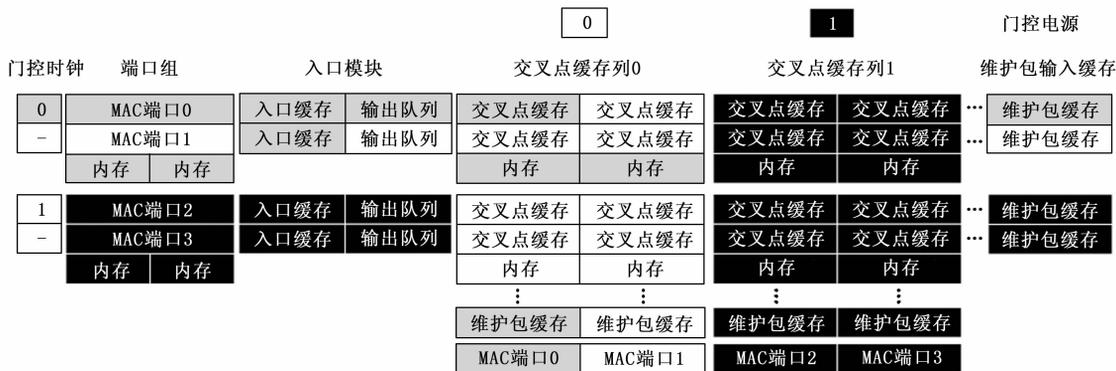


图 8 部分交换结构的门控电源

3.3.3 SerDes 接口电源关断

交换芯片的 12 组 PHY 模块支持动态电源关断功能, 该功能通过 SerDes 的 power down [47: 0] 信号进行控制。在此配置下, 每条 SerDes 链路的电源均可独立片上关断, 实现了对功耗的精细化管理。

需要注意的是, 当通过 CB_COL_PGATE 寄存器关断某个端口组的电源时, 其对应的 4 条 SerDes 链路均被关断, 这是由端口组与 SerDes 链路的映射关系决定的。

3.4 多电压域划分及 UPF 文件编写

3.4.1 UPF 低功耗设计流程

UPF 为芯片设计流程提供了一种统一的低功耗实现方案^[24], 涵盖逻辑综合、物理实现以及验证等环节。这种一致性使得低功耗设计意图能够在逻辑仿真、形式验证和物理实现等阶段得到有效贯彻。

UPF 专注于描述芯片的功耗管理需求, 包括各设计单元的电源连接方式、供电网络模型以及动态电压切换等功能。作为一种独立于 RTL 的设计输入文件, UPF 与 RTL 代码共同构成芯片设计的基础。

在每个设计阶段, EDA 工具都需要 UPF 文件作为输入。综合工具读取 RTL 代码和初始 UPF 文件, 在完成综合后输出网表和更新后的 UPF'。该 UPF' 文件既保留了原始 UPF 的功耗约束, 又新增了综合过程中插入的特殊单元(如隔离单元、电平转换器等)的电源连接信息。布局布线工具通过接收综合后的网表及 UPF' 文件, 实现电源网络规划, 生成包含完整电源连接的门级网表和进一步更新的 UPF'' 文件。此 UPF'' 在继承 UPF' 全部内容的基础上, 融入了该阶段实现的低功耗设计。

3.4.2 电压域划分及 UPF 实现

基于 UPF 标准的多电压域与门控电源技术, 需要在电路结构的合理位置插入电平转换单元、隔离单元及电源开关单元等特殊低功耗单元。在进行逻辑综合时, 工具将依据 UPF 文件中定义的功耗管理架构和电源网络信息, 自动完成这些特殊单元的插入与连接, 确保实现低功耗目标的同时保持正确的逻辑功能。

将交换芯片整体划分为 13 个独立电压域, 其中每个电压域分别对应一个端口组, 剩余 1 个电压域为交换芯片的核心逻辑, 保持电源常开状态。

如图 9 所示为交换芯片电压域各电压域及其电源管理策略如下: PD_chip_switch 为常开电压域, 工作电压 1.8 V; PD_port_group_top_0~PD_port_group_top_11 为 12 个可关断端口组电压域, 工作电压 0.9 V, 均采用片上电源开关控制, 默认开关状态由外部引脚配置, 并插入了隔离单元以确保关断时的信号完整性。

本设计严格遵循 UPF 标准构建完整的低功耗设计

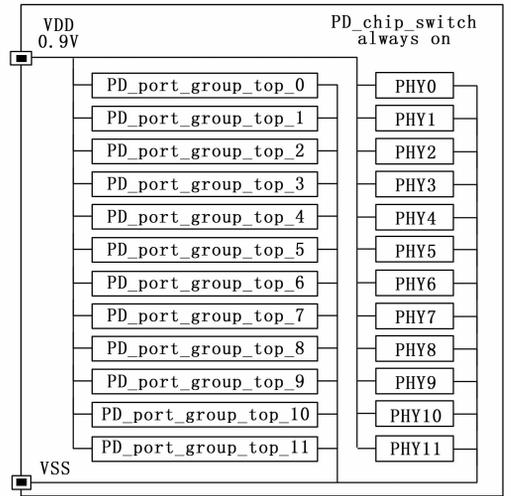


图 9 交换芯片电压域

流程, 其功耗管理架构通过以下核心步骤实现。

电压域划分: 芯片被划分为一个常开电压域(包含核心控制逻辑)和十二个独立可控的端口组电压域, 以此形成分区供电的物理基础。在 UPF 描述中, 使用 create_power_domain 命令明确界定每个电压域的包含范围及其主供电网络。

电源网络与关断控制: 基于划分的电压域, 建立了从顶层供电端口到各域内部电源网络的完整连接。为实现静态功耗管理, 在可控电压域中插入了电源开关单元。该开关由寄存器 CB_COL_PGATE 产生的控制信号 pg_cb_col 驱动, 可根据系统指令导通或关断对相应端口组的供电。

信号完整性保障: 为确保电源关断时系统的可靠性, 在可控电压域的输出边界统一插入了隔离单元。当电压域被关断时, 隔离单元由控制信号 pg_iso_ena 使能, 将输出钳位至安全逻辑电平, 防止不确定信号干扰其他电压域的正常工作。

功耗状态建模: 最终, 通过定义电源状态表来描述芯片在不同工作模式下各电源网络的标准电压值, 为整个低功耗流程的验证与实现提供明确的电气约束。

此套基于 UPF 的标准化描述, 确保了从架构意图到物理实现的精准传递, 为交换芯片系统级低功耗目标的实现提供了可靠保障。

4 功耗仿真及对比分析

4.1 功耗仿真

本文采用仿真方法对交换芯片进行功耗评估, 该功耗估算流程主要包含以下环节:

首先通过 RTL 仿真生成 VCD 格式文件, 在测试平台中加入特定的系统任务即可在仿真过程中记录翻转活动, 再将 VCD 格式文件转换为 SAIF 格式。

完成 SAIF 文件生成后, 即可进行功耗评估。通过

读取 SAIF 文件中记录的电路活动信息, 结合电路网表与工艺库数据, 实现对设计模块的功耗评估。

具体步骤如下。

1) 初始化设计环境: 配置工艺库、工作条件等基础变量, 为功耗分析建立准确的仿真环境。

2) 载入设计文件: 读取完整的 RTL 设计文件及对应的时序约束文件。

3) 加载功耗管理规范: 通过“load_upf”命令载入 UPF 文件, 明确芯片的电压域划分、电源开关及隔离单元等低功耗设计意图。

4) 设定电源网络电压: 使用“set_voltage”命令为各电源网络分配工作电压。综合工具将依据电压参数自动选择对应的器件模型进行电路优化。

5) 验证多电压设计一致性: 执行“check_mv_design”命令, 系统化验证电源连接、电平转换器及隔离单元的正确性。

6) 生成功耗报告与更新文件: 运行功耗分析模型, 生成详细的内部功耗、开关功耗及静态功耗分析报告。

4.2 功耗对比分析

将环境温度参数设置为 125°C, 在 12 端口×4 工作模式及 12.5 Gbps 单通道速率初始条件下, 本文对使能不同低功耗技术的交换芯片进行了功耗评估。初始未优化设计的功耗构成如表 2 所示, 芯片总功耗高达 9.345 W。其中, 静态功耗占比达 46.1%, 成为最主要的功耗来源, 这印证了在先进工艺节点下泄漏电流的严峻挑战。动态功耗中, 时钟网络与组合逻辑是两大热点, 共占总功耗的 89%, 这与 CICQ 架构中时钟树庞大、控制逻辑复杂的特征完全吻合, 为后续针对性优化指明了方向。

表 2 使能低功耗技术前的功耗报告 W

Power Group	Internal Power	Switching Power	Leakage Power	Total Power
io_pad	1.192×10^{-4}	2.177×10^{-5}	1.068×10^{-4}	2.478×10^{-4}
memory	0.095 9	3.579×10^{-3}	0.089 2	0.188 7
black_box	0.000 0	2.099×10^{-3}	0.000 0	2.099×10^{-3}
clock_network	1.807 1	1.811 6	0.132 3	3.751 0
register	0.195 5	0.075 1	0.532 3	0.802 9
sequential	2.393×10^{-4}	1.322×10^{-8}	1.129×10^{-3}	1.369×10^{-3}
combinational	0.299 5	0.746 8	3.552 4	4.598 6
Total	2.398 4	2.639 2	4.307 4	9.345 0

门控时钟技术的优化机理与效果分析如表 3 所示, 使能门控时钟后, 总功耗降至 7.134 5 W, 降低 23.7%。其优化效果集中体现在对动态功耗的抑制: 内部功耗降低 37.7%, 开关功耗降低 32.7%。其中, 时钟网络功耗大幅降低 47.1%, 这是最直接的优化成果。通过关断空闲端口的时钟, 不仅消除了该部分时钟树本

身的开关功耗, 也显著减少了时钟驱动寄存器产生的内部功耗。同时, 寄存器功耗降低 18.0%, 由于寄存器仅在时钟有效时发生翻转, 门控时钟直接降低了其活动因子。此外, 组合逻辑动态功耗降低 26.4%, 时钟关断后, 与之相关的数据路径活动随之停止, 从而减少了逻辑门的翻转和短路电流。该结果验证了门控时钟技术针对时钟网络及与之同步的动态电路进行功耗优化的高效性。

表 3 使能门控时钟技术后的功耗报告 W

Power Group	Internal Power	Switching Power	Leakage Power	Total Power
io_pad	1.174×10^{-4}	2.126×10^{-5}	1.049×10^{-4}	2.436×10^{-4}
memory	0.090 1	3.297×10^{-3}	0.084 0	0.177 4
black_box	0.000 0	2.084×10^{-3}	0.000 0	2.084×10^{-3}
clock_network	0.990 9	1.036 7	0.129 1	2.156 7
register	0.137 5	0.056 7	0.463 8	0.658 0
sequential	2.367×10^{-4}	1.311×10^{-8}	1.117×10^{-3}	1.354×10^{-3}
combinational	0.275 8	0.676 3	3.186 7	4.138 8
Total	1.494 7	1.775 1	3.864 8	7.134 5

表 4 为单独使能门控电源技术时的功耗报告。相较于初始设计, 总功耗进一步降至 6.669 2 W, 优化幅度达 28.6%。当端口组电源被切断后, 该域内所有晶体管的亚阈值泄漏和栅极泄漏被根本性消除。这在数据上体现为组合逻辑静态功耗大幅降低 24.9%, 存储器静态功耗降低 36.0%。同时连带降低动态功耗, 电源关断意味着该域内电路完全停止活动, 因此其动态功耗也同步归零。这导致存储器动态功耗降低 37.8%, 组合逻辑动态功耗降低 29.5%。值得注意的是, 时钟网络功耗的降低主要源于关断域对应的时钟分支停止活动, 但其优化比例低于门控时钟方案, 这是因为门控电源的关断粒度较粗, 且关断操作本身不针对时钟树进行精细控制。此结果凸显了门控电源从物理层面消除静态功耗的不可替代性。

表 4 使能门控电源技术后的功耗报告 W

Power Group	Internal Power	Switching Power	Leakage Power	Total Power
io_pad	1.173×10^{-4}	2.128×10^{-5}	1.049×10^{-4}	2.435×10^{-4}
memory	0.059 7	2.256×10^{-3}	0.057 1	0.119 1
black_box	0.000 0	2.076×10^{-3}	0.000 0	2.076×10^{-3}
clock_network	1.192 8	1.253 8	0.128 5	2.575 2
register	0.157 5	0.057 8	0.331 4	0.546 7
sequential	2.364×10^{-4}	1.319×10^{-8}	1.109×10^{-3}	1.346×10^{-3}
combinational	0.224 7	0.530 2	2.669 6	3.424 5
Total	1.635 0	1.846 2	3.187 9	6.669 2

表 5 为综合应用门控时钟、门控电源及多电压域低功耗技术后的最终结果。相较于初始设计, 内部功耗降低 48.2%, 开关功耗降低 46.5%, 静态功耗降低

33.4%，芯片总功耗降至 5.520 W，整体优化效果达 40.9%。这一结果验证了本文所采用低功耗设计的协同优化效果。

表 5 使能多种低功耗技术后的功耗报告 W

Power Group	Internal Power	Switching Power	Leakage Power	Total Power
io_pad	1.159×10^{-4}	2.103×10^{-5}	1.035×10^{-4}	2.405×10^{-4}
memory	0.058 6	2.164×10^{-3}	0.053 0	0.113 8
black_box	0.000 0	2.048×10^{-3}	0.000 0	2.048×10^{-3}
clock_network	0.856 6	0.871 6	0.122 1	1.850 4
register	0.123 2	0.046 0	0.310 5	0.479 7
sequential	2.328×10^{-4}	1.294×10^{-8}	1.097×10^{-3}	1.330×10^{-3}
combinational	0.203 2	0.489 0	2.380 4	3.072 6
Total	1.241 9	1.410 8	2.867 3	5.520 0

5 结束语

本文围绕 CICQ 交换结构的高性能交换芯片，系统性地研究了低功耗设计与实现方案。通过采用门控时钟、门控电源和多电压域等关键技术，结合 UPF 标准化流程，构建了一套完整的低功耗设计体系。实验结果表明，在 12.5 Gbps 单通道速率、12 端口×4 工作模式的满载工况下，综合应用各项低功耗技术后芯片总功耗从 9.345 W 降至 5.520 W，降幅达 40.9%，其中内部功耗降低 48.2%，开关功耗降低 46.5%，静态功耗降低 33.4%，验证了设计方案的有效性。综上，本文提出的基于 CICQ 结构的低功耗设计方案，具有良好的优化效果，可为同类大规模交换芯片的低功耗设计提供参考。

本研究仍存在需要完善之处，本文只进行了测试平台的仿真验证，目前交换芯片已完成流片，在封装工作结束后将对芯片进行系统性的板上测试。此外，随着工艺节点的持续进步，泄漏功耗的占比将进一步提升，需要探索更先进的功耗管理技术。

参考文献:

- [1] ATTAOUI Y, CHENTOUF M, ISMAILI Z E A A, et al. Clock gating efficiency and impact on power optimization during synthesis flow [C] //2021 International Conference on Microelectronics (ICM). New Cairo City, Egypt: IEEE, 2021: 13–16.
- [2] RAO R P, KRISHNA P B M, CHANDRA S S, et al. Reduction of power in general purpose processor through clock-gating technique [J]. International Journal of Recent Technology and Engineering, 2021, 10 (1): 273–279.
- [3] HAMEED M, MOGHEER H S, MANSOUR A. Power reduction using high speed with saving mode clock gating technique [C] //IOP Conference Series: Materials Sci-

ence and Engineering. IOP Publishing, 2021, 1076 (1): 012055.

- [4] SU H, LIU J, JIANG Y. A 40-nm low-power WiFi SoC with clock gating and power management strategy [J]. International Journal of Electronics, 2022, 110 (9): 1633–1651.
- [5] SAINI M, SHRINGI S, ASATI A. An improved power gating technique with data retention and clock gating [C] //2021 International Conference on Control, Automation, Power and Signal Processing (CAPS). Jabalpur, India: IEEE, 2021: 1–7.
- [6] KANDIAH A, PEVERELLE S, KHAIRY M, et al. AccelWatch: a power modeling framework for modern GPUs [C] //MICRO-54: 54th Annual IEEE/ACM International Symposium on Microarchitecture. New York, NY, USA: ACM, 2021: 738–753.
- [7] GIRALDO J S P, LAUWEREINS S, BADAMI K, et al. Vocell: a 65-nm speech-triggered wake-up SoC for 10-μW keyword spotting and speaker verification [J]. IEEE Journal of Solid-State Circuits, 2020, 55 (4): 868–878.
- [8] THAKUR A K, JATOTH R K, NAYAK R. Physical implementation of multi power domain SoC design [C] //2023 14th International Conference on Computing Communication and Networking Technologies (ICCCNT), Delhi, India: IEEE, 2023: 1–5.
- [9] SHARMA D, VIKRAM R. Multi-voltage design of RISC processor for low power application: a Survey [J]. International Journal of Computing and Digital Systems, 2023, 14 (1): 1019–1035.
- [10] SUN Y A, LIU H, YANG Y, et al. Design and implementation of ultra-low power consumption for high-performance SoC [C] //2022 7th International Conference on Integrated Circuits and Microsystems (ICIM), Xi'an, China: IEEE, 2022: 411–416.
- [11] WANG W, CHEN Q. Research on low-power schemes based on large GPU chip [C] //2023 3rd International Conference on Frontiers of Electronics, Information and Computation Technologies (ICFEICT), Yangzhou, China: IEEE, 2023: 301–309.
- [12] MA M, ZI F. Research on new low power integrated circuit design method [C] //2025 5th International Conference on Electronics, Circuits and Information Engineering (ECIE), Guangzhou, China: IEEE, 2025: 797–802.
- [13] ALIGHOLIPOUR R, BAHARLOO M, FARZANEH B, et al. TAMA: turn-aware mapping and architecture-a power-efficient network-on-chip approach [J]. ACM Transactions on Embedded Computing Systems (TECS), 2021, 20 (5): 1–24.

(下转第 213 页)