文章编号:1671-4598(2026)10-0025-07 DOI:10.16526/j.cnki.11-4762/tp.2026.10.004 中图分类号:TP274 文献标识码:A

一种边界扫描链路测试算法设计

赵辰雪，李 亚，于 勇，李继华，杨晓刚
（西安翔迅科技有限责任公司 测控仿真事业部，西安 710068）

摘要：针对复杂数字电路板边界扫描测试中，因扫描链自身故障导致网络测试无效的问题，文章设计并实现了一种前置链路测试算法；该算法基于 IEEE 1149.1 标准，通过分析边界扫描描述语言（BSDL）文件的关键属性，生成了针对指令寄存器、旁路寄存器、边界扫描寄存器和器件标识寄存器的系列测试向量；算法采用具有唯一性的全局唯一标识符（GUID）作为特征数据，通过测试访问端口（TAP）控制器进行串行移位操作，对扫描链的连通性、器件顺序、BSDL 文件准确性及器件兼容性进行综合验证；实验结果表明，该算法能有效地隔离链路故障与网络故障，准确定位如链路开路、器件设计缺陷、BSDL 文件不匹配等问题，显著提高了边界扫描测试的效率和可靠性。

关键词：边界扫描；链路测试；BSDL；TAP 控制器；测试算法；JTAG；故障诊断

Design of a Boundary Scan Chain Test Algorithm

ZHAO Chenxue，LI Ya，YU Yong，LI Jihua，YANG Xiaogang
（Measurement and Simulation Division，Xi'an Xiangxun Technology Co.，Ltd.，Xi'an 710068，China）

Abstract：Aiming at the issue of ineffective network testing caused by scan chain failures in complex digital circuit board boundary scan testing，this paper designs and implements a pre-chain test algorithm. Based on the IEEE 1149.1 standard，the algorithm analyzes key attributes of boundary-scan description language（BSDL）files，generates a series of test vectors targeting the instruction register，bypass register，boundary scan register，and device identification register，employs a globally unique identifier（GUID）with uniqueness as distinctive feature data，performs serial shift operations via a test access port（TAP）controller，and comprehensively verifies the universality of scan chains，device sequence，BSDL file accuracy，and device compatibility. Experimental results demonstrate that the algorithm effectively isolates chain faults from network faults，accurately identifies issues such as open circuits in chains，device design flaws，and mismatches of BSDL files，thereby significantly improving the efficiency and reliability of boundary scan testing.

Keywords：boundary-scan test；chain test；BSDL；TAP controller；test algorithm；joint test action group（JTAG）；fault diagnosis

0 引言

现代电子技术的高速发展，如系统级封装（SiP，system in packag）和晶圆级封装（WLP，wafer-level packaging）等先进封装技术的应用，使得集成电路引脚密度不断提高，导致电路节点的物理可访问性急剧降低。在此背景下，应用万用表、示波器、针床等传统测试工具已难以满足对高密度、高复杂度电路板的测试需求[1]。边界扫描测试技术，作为 IEEE 1149.1 标准定义的一种结构化测试方法，应运而生并成为解决此挑战的关键技术[2-3]。该技术通过集成在芯片内部的边界扫描单元，构成一根“虚拟探针”，能够在不影响电路板正常功能的情况下，对器件引脚状态进行设置和采集，从而实现高效的故障诊断[4]。近年来，国内外对边界扫描测试的研究更多聚焦于边界扫描的网络测试算法，旨在通过优化测试向量生成策略来提升互连故障的测试覆盖率和定位精度[5-7]。然而，这些网络测试算法的有效运行严重依赖于一个基本前提：扫描链本身必须是完整且可用的。

在实际工程应用中，扫描链常因多种原因失效：首先，部分声称支持边界扫描的商用或国产器件，其实现可能不完全符合标准，或提供的 BSDL（Boundary-Scan Description Language）文件存在错误；其次，在多器件串联的扫描链中，因印刷电路板（PCB，printed circuit

收稿日期:2025-10-10； **修回日期**:2025-12-09。
作者简介:赵辰雪(1985-),女,硕士,工程师。
引用格式:赵辰雪,李 亚,于 勇,等.一种边界扫描链路测试算法设计[J].计算机测量与控制,2026,34(10):25-31,70.

board）设计疏忽（如未正确连接测试数据输出（TDO，test data output）与测试数据输入（TDI，test data input）引脚导致链路开路；再者，电路设计时未充分考虑测试需求，可能使关键引脚（如 TAP 控制信号）处于非受控状态，致使无法进入测试模式。若在上述存在底层链路故障的情况下直接进行网络测试，其结果将毫无意义，且会误导故障定位。因此，本文的核心创新点在于：设计一种系统的、前置的链路测试算法，将链路完整性验证与后续的网络互连测试分离开来。该算法通过一组精心设计的测试序列，在开展实质性网络测试之前，全面诊断扫描链的健康状况，从而明确区分问题是源于链路本身还是互联网络，极大提升了整个测试流程的效率和准确性。

目前，专门针对完整链路系统性测试的算法研究相对较少，本文工作填补了这一实践空白。

1 边界扫描测试原理

边界扫描测试的硬件核心架构严格遵循 IEEE 1149.1 标准，其基本构成主要包括以下几个关键模块：测试访问端口（TAP，test access port）、TAP 控制器（TAP Controller）、指令寄存器（IR，instruction register）以及若干数据寄存器（DR，data register），如旁路寄存器、边界扫描寄存器、器件标识寄存器等。这些模块协同工作，共同实现对芯片或系统内部状态的可控访问与测试。

在该架构中，TAP 作为与外部测试设备通信的物理接口，负责接收测试指令与数据；TAP 控制器则根据 JTAG 协议时序，驱动内部状态机在测试逻辑状态间转换；IR 用于存放当前测试指令，以选择相应的测试数据通路；各个 DR 则根据指令执行具体的数据移位、捕获与更新操作，从而实现对引脚状态、器件标识等信息的读写与控制。

由于边界扫描测试主要通过标准的 JTAG 接口实施，因此在实际工程中，该测试方法也常被直接称为“JTAG 测试”。其引脚定义如下：

1）时钟信号（TCK，test clock）：提供同步时钟。

2）测试模式选择（TMS，test mode select）：控制 TAP 控制器状态转换。

3）测试数据输入（TDI）：串行数据输入。

4）测试数据输出（TDO）：串行数据输出。

5）复位信号（TRST，test reset）[9]：可选异步复位信号。

TAP 控制器是一个同步有限状态机，是整个边界扫描操作的控制核心。其状态转移由 TMS 信号在 TCK 上升沿的控制下完成，标准状态机包含 16 个状态，如图 1 所示。

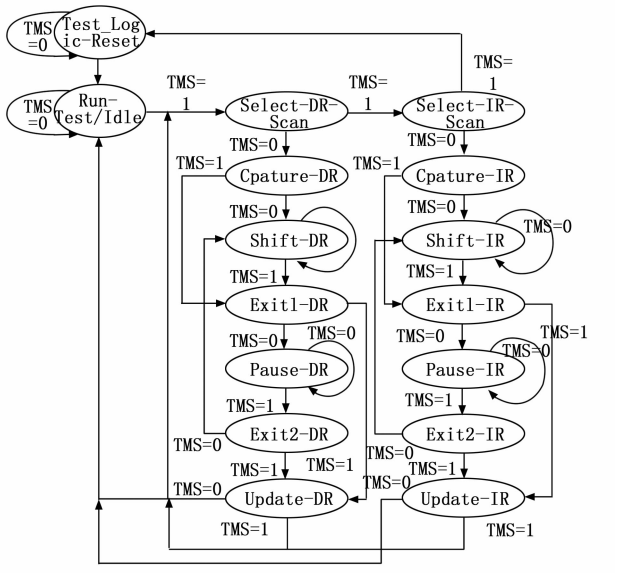


图 1 边界扫描器件结构

TAP 控制器的 16 位状态机主要涵盖测试逻辑复位（Test-Logic-Reset）、运行测试/空闲（Run-Test/Idle）、指令寄存器和数据寄存器的捕获（Capture）、移位（Shift）、退出（Exit）和更新（Update）等关键状态[10]。例如，在 Capture-DR 状态，会将特定数据并行加载到当前选通的数据寄存器中；在 Shift-DR 状态，寄存器内容通过 TDI 和 TDO 进行串行移位；在 Update-DR 状态，则将移位后的数据锁存到输出引脚。IR 的操作流程与 DR 类似。

十六位状态机看似复杂，其实动态变化的 0 和 1 指的是 TMS 引脚的状态，在每次 TCK 的上升沿通过改变 TMS 的高低来切换不同状态。其中 DR 是指数据寄存器，IR 是指指令寄存器。这个状态机的重点就是数据的位宽并不是通常 C 里面的 8 位、16 位数据，而是在 BSDL（Boundary Scan Description Language）文件即边界扫描描述语言中定义的。

边界扫描器件必须包含指令寄存器（IR）和两种基本数据寄存器：旁路寄存器（Bypass Register，1 bit）和边界扫描寄存器（BSR，boundary-scan register）。通常还会包含可选的器件标识寄存器（IDCODE Register）。多个边界扫描器件可通过 JTAG 接口串联形成一条扫描链。

当器件运行于边界扫描测试模式时，其内部功能逻辑电路与外部 I/O 引脚之间处于电气隔离状态。此时，TAP（Test Access Port）控制器严格依据 JTAG 协议时序，驱动内部状态机在测试/调试相关状态间转换，从而实现测试数据的串行移位与捕获。借助器件内部集成的边界扫描单元，系统能够实时采集外部引脚的实际电平状态，或向引脚施加预设的驱动信号。

多个支持边界扫描标准的器件可通过 JTAG 接口以串联方式构成一条统一的扫描链。通过向该扫描链有序地施加特定的测试激励向量，并捕获对应的测试响应，可以实现对整条链路上所有器件外部引脚状态的集中控制、并行设置与统一测试，从而显著提升对复杂数字电路板级互联故障的测试覆盖率与诊断效率。

2　硬件测试系统

本文构建的边界扫描测试系统基于 PC 的架构，由上位机（PC）、JTAG 控制器（本系统采用 J-Link ARM 仿真器）、JTAG 串链板和待测目标板组成，如图 2 所示。

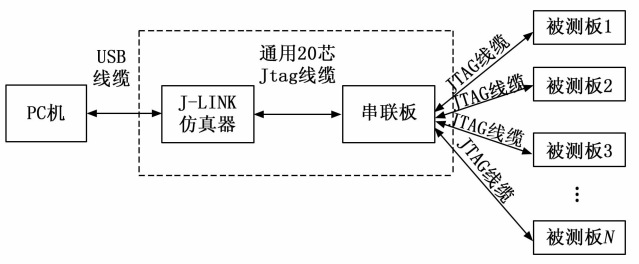


图 2　测试系统结构图

上位机测试软件负责整个测试流程的调度、核心算法的执行以及用户交互功能。JTAG 控制器作为关键的协议转换桥梁，通过 USB 接口接收上位机指令，并将其精准转换为符合 JTAG 协议规范的时序信号。JTAG 串链板承担链路管理任务，将多个边界扫描器件的 TDI 与 TDO 引脚依次串联，构建出完整的扫描链结构。该方案充分结合了 PC 平台的灵活性与专用控制器的可靠稳定，在实现低成本搭建的同时，保持了良好的扩展性和工程适应性。

3　链路测试算法设计与实现

链路测试旨在验证扫描链的完整性，是进行有效边界扫描测试的先决条件。算法的设计依据来源于器件厂商提供的 BSDL 文件，该文件描述了器件的边界扫描特性及 JTAG 在指定设备中的实现方式。文件内容包括：逻辑端口的定义、引脚封装的映射、支持的协议、JTAG 描述、边界扫描指令及寄存器描述。其中，文件中的关键属性包括 INSTRUCTION _ CAPTURE（指令捕获）、INSTRUCTION _ OPCODE（指令操作码）、IDCODE _ REGISTER（IDCODE 寄存器的具体的值）和 BOUNDARY _ LENGTH（边界扫描寄存器长度）、BOUNDARY _ REGISTER（边界扫描单元列表）等。

1）NSTRUCTION _ CAPTURE：指令捕获。这个属性规定当新指令装入指令寄存器后，会移出该属性规定的内容，称为 CAPTURE _ IR 返回值，比如 xqv300 _ bg352. bsd 中规定的值为“XXX01”，则前三位不需要校验，最后两位必须为 01，可以据此进行指令寄存器移位校验。

2）INSTRUCTION _ OPCODE：指令操作码。这个属性定义边界扫描测试指令，向指令寄存器移入不同指令，器件会选通不同的数据寄存器，实现不同的测试目的，例如输入 BYPASS 指令，选通旁路寄存器，使该器件不参与边界扫描测试；输入 IDCODE 指令，选通 IDCODE 寄存器，识别边界扫描器件的 ID。输入 SAMPLE 指令，选通边界扫描寄存器，可以对器件的引脚状态进行采样。

3）INSTRUCTION _ LENGTH：指令长度。这个属性定义指令码的长度。

4）IDCODE _ REGISTER：这个属性定义 IDCODE 寄存器的具体的值，可以作为判断器件与实物是否符合的依据。

5）BOUNDARY _ LENGTH：边界扫描寄存器长度。这个属性定义了边界扫描寄存器的长度，可以据此长度设置移入边界扫描寄存器数据的个数。

6）BOUNDARY _ REGISTER：边界扫描单元列表。这个属性定义了所有边界扫描单元的序号、类型、端口、功能、安全值以及信号控制描述。此属性是非常重要的边界扫描测试依据，所有引脚的输入输出控制都需要依据列表中的具体内容[11]。

3.1　测试算法总流程

本文设计的链路测试算法是一个序列测试，依次对扫描链的指令通路、旁路通路、边界扫描通路和器件标识通路进行验证。链路测试是一个层次化的过程，各测试通路之间环环相扣，共同确保测试的完整性和高效性。其整体流程如图 3 所示。

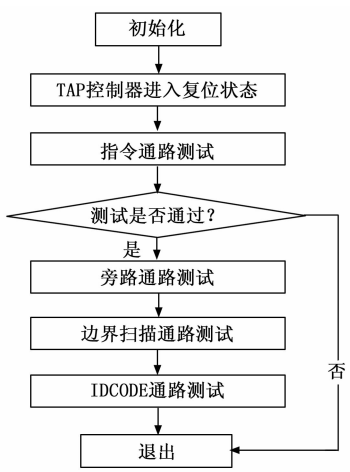


图 3　测试算法流程图

3.2　各子算法设计与故障分析

3.2.1　指令通路测试算法

指令通路测试是最基础、最先行的测试，其目的是验证测试访问端口（TAP）控制器和指令寄存器（IR）

能否正确响应。确保能够通过 TAP 控制器（TMS，TCK 信号）将正确的指令加载到指令寄存器中，验证测试控制逻辑的正确性以及边界扫描器件顺序的正确性。如果指令通路本身是失效的，我们将无法向器件发送任何有效的测试命令，后续的所有测试都将无法进行[12-13]。

具体算法如下：

首先，根据 TAP 控制器的十六位状态机运行流程，使 TAP 控制器进入 Shift-IR 状态，其时序如图 4 所示。

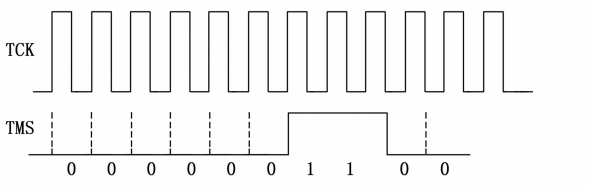


图 4 TAP 控制器进入 shift-IR 状态的时序图

然后，从 TDI 串行输入一个特定测试向量。该向量由高位部分的“全 1”序列（长度等于链上所有 IR 长度之和）和低位部分的 128 位随机特征值组成。即测试向量为：

{全 1 数据（长度＝ΣIR _ length)} ＋ {128 bit 随机数}。

在移位过程中，链上每个芯片 IR 的 CAPTURE 值会被依次移至 TDO。理论上，TDO 输出数据应由两部分组成：高位是移入的随机特征值（因经过移位），低位是各器件 INSTRUCTION _ CAPTURE 属性值的串联（顺序为从最靠近 TDO 的器件开始）。

在 TDO 输出的数据中，能正确检索到移入的 128 位随机特征值，并且其低位部分解析出的 CAPTURE—IR 序列与 BSDL 文件中定义的各器件值及顺序完全一致。

故障分析如下：

1）TDO 输出全 0/全 1：可能为电源故障或末端器件故障。

2）TDO 低位有少量跳变，高位固定：表明扫描链在中间某处开路，跳变位来自开路点下游的器件。

3）无法匹配特征值，但数据复杂：可能是 TCK 频率过高造成时序违例；若低位无 CAPTURE-IR 值而是特征值片段，则可能 TDI 与 TDO 短接，进入了环回状态。

3.2.2 旁路通路测试算法

旁路通路测试算法主要是验证 BYPASS 指令功能及旁路寄存器是否工作正常，间接可校验扫描链中器件的数量。当某个器件不需要被测试时，可以将其设置为旁路模式，以缩短整个扫描链的长度，提高测试效率。

具体算法如下：

同指令算法相同，先使 TAP 控制器进入 shift-IR 状态，然后，通过 TDI 向指令寄存器移入 BYPASS 指令，使所有器件处于旁路模式（每个器件仅占用 1 bit 旁路寄存器）。然后进入 Shift-DR 状态，通过 TDI 移入测试向量：高位为“全 0”序列（长度等于链中器件数），低位为 128 位随机特征值。

即测试向量为：

{全 0 数据（长度＝器件个数)} ＋ {128 bit 随机数}。

TDO 输出数据中，扫描链中有几个器件，则在最开始出现几个 0，随后出现 128 位随机数，即在 TDO 输出的数据中，128 位随机数出现的位偏移量恰好等于扫描链中的器件数量。

故障分析如下：

与指令通路测试结果交叉分析：若旁路通路测试通过，而指令通路测试结果失败，说明物理链路通畅，但 IR 指令或 CAPTURE 值有问题；反之，则可能是 BYPASS 指令码错误[14-15]。

3.2.3 边界扫描通路测试算法

边界扫描通路测试的关键在于验证边界扫描寄存器（BSR）的长度及移位功能。边界扫描寄存器作为后续边界扫描测试的核心寄存器，是整个测试流程的关键所在。所以，边界扫描通路测试极为重要，它为后续测试提供了可靠的基础。

具体算法如下：

依旧需要先使 TAP 控制器进入 shift-IR 状态，然后，通过 TDI 向指令寄存器移入 SAMPLE 指令，选通 BSR。进入 shift-DR 状态后，移入测试向量：高位为全 0 序列（长度等于链上所有 BSR 长度之和），低位为 128 位随机特征值。为增强测试的可靠性，128 位特征值还需要采用固定值作为补充。设计一种采用交替 10 模式，即 0xAAAA...共 128 位；另一种采用交替 01 的模式，即 05555...共 128 位。即测试向量为：

{全 0 数据（长度＝ΣBSR _ length)} ＋ {128 bit 随机数/0xAA/0x55}。

SAMPLE 测试数据移位 3 次，一次移入随机值，一次移入特征值为全 A 的值，一次移入特征值为全 5 的值，这样既可保证特征值的随机性，又能检测固定位固定值的情况，保证测试的完备性。

3 组测试数据中，TDO 输出的数据里均包含 128 位随机特征值，特征值的偏移量等于整个扫描链总 BSR 的长度。

采用 SAMPLE 指令，边界扫描器件工作状态不会受影响，且引脚不会输出信号，不会影响被测板安全，移入内容为全 0，即使后续切换到 EXTEST 状态，也不会输出高电平，是一种安全可靠测试方式。

故障分析如下：

边界扫描通路测试失败的问题比较复杂，有的是因为 BSDL 文件型号、版本与实际器件不符，有的是因为器件本身 BSR 设计有问题，有的是因为电路设计问题导致特定 BSR 单元不可访问等等，具体原因需要具体分析。

3.2.4　器件标识通路测试算法

器件标识通路的测试是为了验证器件型号是否正确，扫描链顺序是否与设计一致。

该算法包括两种测试算法，前提均需要将 TAP 控制器设置为复位状态。一种是 TAP 控制器复位后可直接选中 IDCODE 寄存器的情况，将 TAP 控制器的转换到 shift-DR 状态，可直接在 TDO 移出 32 位 ID 码；另一种是 TAP 控制器复位后，先使 TAP 控制器进入 shift-IR 状态，然后，从 TDI 向指令寄存器输入器件的 IDCODE 指令，切换到 IDCODE 寄存器，将 TAP 控制器的转换到 shift-DR 状态进行数据移位后，TDO 移出 32 位 ID 码。如果扫描链中包含多个器件，在输入 IDCODE 指令时，需要将指令按器件顺序进行组合移位输入，TDO 输出的是全部器件的 ID 码。在正常情况下，TDO 移出的 ID 码序列与 BSDL 文件中 IDCODE _ REGISTER 属性定义的值及顺序完全匹配。如果不匹配，则表明器件型号错误或链内顺序与软件配置不一致。

运用上述测试算法，可依次对链路的指令寄存器、旁路寄存器、边界扫描寄存器和 IDCODE 寄存器进行串行数据输入与输出操作[16-17]。该过程可检验链路的供电与连通状态、器件顺序，并验证 BSDL 文件的正确性及器件自身是否存在故障。该算法支持编程实现，便于工程化应用。

4　实验验证与分析

为了验证算法的有效性，我们搭建了第二节所述的测试平台，上位机测试软件使用 C＋＋代码开发，集成 J-link 驱动库控制硬件，实现该链路测试算法。

该算法可以显示链路测试结果，有效检验链路中存在的各种问题，下面将详细实验分析说明。

4.1　实验环境与配置

计算机配置为 Intel Core i5-4200U CPU，8 GB RAM。测试软件为自主开发的 JtagScan V1.0。JTAG 控制器为 J-Link 9.0。TCK 频率设置为 1 MHz。

选取多块含不同数量、不同类型边界扫描器件的实际工程电路板作为测试对象。对于每块电路板，依次执行第 3 章所述的四项链路测试算法。记录每次测试的原始输入/输出数据、测试结果（通过/失败）以及算法自动判断的故障类型。对于测试失败的案例，结合示波器观测、电路图检查和硬件排查等手段，对算法定位的故障原因进行验证。

4.2　实验案例分析

4.2.1　指令通路测试定位链路开路故障

该案例利用指令通路测试结果排查链路问题。首先选择某数据传输模块，其扫描链包含 4 个器件，依次为：D1（MPC8641）、D64（XCF32P）、D3（XC4VLX25）和 D2（MPC8641）。这 4 个器件通过串联板按顺序进行串联连接，每个器件的 JTAG 接口均用跳线帽短接，代表器件在位，可进行测试。

然后，运行测试软件读取每个器件的 BSDL 文件进行解析和记录。包括 BSR 长度、CAPTURE-IR 值，IDCODE 值、以及 SAMPLE 指令、BYPASS 指令以及 IDCODE 指令等。接着分别执行指令通路测试、旁路通路测试、边界扫描通路测试和器件标识通路测试。根据解析的关键信息与 TDO 输出的数据进行比对，进行结果判断。

1）指令通路测试：

通过分析各器件的 BSDL，得到 D2（MPC8641）的 CAPTURE-IR 值是 XXXXXX01，共 8 位；D3（XC4VLX25），CAPTURE-IR 值是 XXXXXXXX01，共 10 位；D64（XCF32P）的 CAPTUREIR 值是 XXXXXXXXXXXXXX01，共 16 位，D1 器件与 D2 器件一致，因此其 CAPTURE-IR 值也为 8 位。按测试算法整合 TDI 输入的测试向量为：1111111111111111111111111111111111111111111111111111111101101001110011011001110010011010110110100000001101011001001000101011111101010011001110010011010011010001101011101001111111。前 42 个 1 对应的是 4 个器件的 CAPTURE-IR 总长度，后面跟随 128 位随机数。

通过移位后，TDO 输出的数据为：1111111011010011100110110011100100110101101101000000011010110010010001010111111010100110011100100110100110100011101011101001111111000001010000000101010101111111010100000101。

数据低位对应最靠近 TDO 的 D2，依次向前。D2 对应的是低 8 位，00000001，与 BSDL 相符；D3 对应的是次低 10 位，1111110101，与 BSDL 相符，D64 对应的是次低 16 位 0000000101010101，与 BSDL 相符，D1 对应的是次低 8 位，00000001，与 BSDL 相符。剩余部分为 128 位特征值，经比对与输入值相符，因此指令通路测试通过，软件给出的测试结果详见表 1。

2）旁路通路测试：

通过分析各器件的 BSDL，得到 D2（MPC8641）的 BYPASS 指令是 11111111；D3（XC4VLX25）的 BYPASS 指令是 1111111111；D64（XCF32P）的 BYPASS 指令是 1111111111111111；D1 器件与 D2 器件一

表 1 正常测试结果表

测试项	测试结果
指令通路测试	在偏移 42 bit 处找到特征值串 D2 CAPTURE 测试通过 D3 CAPTURE 测试通过 D64 CAPTURE 测试通过 D1 CAPTURE 测试通过
旁路通路测试	在偏移 4 bit 处找到特征值串 BYPASS 测试通过
边界扫描通路测试	在偏移 3 647 bit 处找到特征值串 SAMPLE 测试通过
器件标识通路测试	D2 IDCODE 测试成功 D3 IDCODE 测试成功 D64 IDCODE 测试成功 D1 IDCODE 测试成功

致。当 TAP 控制器切换到 shift-IR 状态时，按顺序输入 4 个器件的 BYPASS 指令：11111111111111111111111111111111111111；然后再切换到 shift-DR 状态，TDI 移位整合后的测试向量：00001101001101100111001000010111001110111000010100001110111010110110010010000110000000111110000000010110001010001100111011011100100111。前 4 个 0 对应的是 4 个器件，后面跟随 128 位随机数。

通过移位后，TDO 输出的数据为：11010011011001110010000101110011101110000101000011101110101101100100100011000000011111000000001011000101000110001110111011100100111110000。数据最后 4 个 0 代表了串联中的 4 个器件。因此旁路通路测试通过，软件给出的测试结果详见表 1。

3）边界扫描通路测试：

通过分析各器件的 BSDL，得到 D2（MPC8641）的 SAMPLE 指令是 11110000，BSR 长度为 1124；D3（XC4VLX25）的 SAMPLE 指令是 1111000001，BSR 长度为 1 367；D64（XCF32P）的 SAMPLE 指令是 0000000000000001，BSR 长度为 32；D1 器件与 D2 器件一致。当 TAP 控制器切换到 shift-IR 状态时，按顺序输入四个器件的 SAMPLE 指令：11110000111100000100000000000000001111110000；然后再切换到 shift-DR 状态，当使用随机特征值为输入时，整合后的测试向量为 3 647 个 0＋128 位随机值。通过移位后，TDO 输出的数据在偏移量 3 647 的位置可以查到 128 位特征值。128 位特征值为 01 交替或 10 交替的结果是一样的。因此边界扫描通路测试通过，软件给出的测试结果详见表 2。

4）器件标识测试：

通过分析各器件的 BSDL，得到 IDCODE 信息如表 2 所示。

表 2 IDCODE 信息表

器件	指令	IDCODE
D2	11110011	00010000000010010000000000011101
D3	1111001001	XXXX00010110011111100000010010011
D64	0000000011111110	XXXX01010000010110010000010010011
D1	11110011	00010000000010010000000000011101

首先，将 TAP 控制器切换至复位状态，此时 TDO 可依次移位输出各器件的 IDCODE。输出数据按顺序依次对应 D2、D3、D64 和 D1，按 32 位分段解析，并与各芯片的 IDCODE 进行比对。结果符合预期，测试通过。接着，将 TAP 控制器切换至 shift-IR 状态，从 TDI 输入 IDCODE 测试指令，再切换至 shift-DR 状态进行输出移位。对 TDO 输出的数据同样按 32 位分段，与各芯片 IDCODE 进行比对，结果也符合预期，测试通过。相关数据记录如表 2 所示。

在串联测试板上设置模拟故障：原 D1 与 D64 之间设有一个未使用的 JTAG 接口，本实验通过跳线帽进行短接，代表逻辑链路中存在 5 个器件，但实际 TDI 与 TDO 并未相连。随后运行软件，依次执行指令通路、旁路通路、边界扫描通路及器件标识通路测试，结果所有测试均失败。

分析错误数据，发现指令通路测试的 TDO 输出数据为一长串“0”，尾部夹杂少量“01”跳变。数据分析如图 5 所示。

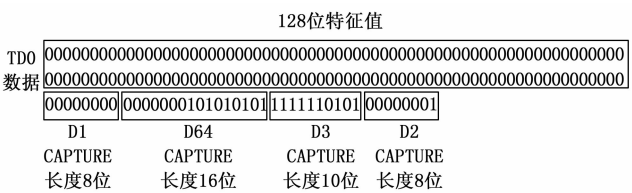


图 5 数据解析算法

由图 5 可见，TDO 输出的数据包括各个器件的 CAPTURE-IR 值和 128 位特征值。靠近 TDO 的先出，因此输出顺序为 D2、D3、D64 和 D1 的 CAPTURE-IR 值以及输入的 128 位特征值。按图 5 顺序分割 TDO 输出数据，数据低位对应最靠近 TDO 的 D2，依次向前。D2 对应的是低 8 位，00000001，与 BSDL 相符；D3 对应的是次低 10 位，1111110101，与 BSDL 相符，D64 对应的是次低 16 位 0000000101010101，与 BSDL 相符，D1 对应的是次低 8 位，00000000，与 BSDL 不相符。说明扫描链在 D1 这里断开，因此，故障定位到 D1 器件处。因 D1 与 D64 之间多了一个在位跳线，但 JTAG 口又未正确连接，导致 TDI 与 TDO 的通路信号在此中断，无法将 TDI 的传递至 D1 器件，所以捕获 D1 器件的值全为 0。

该测试结果验证了指令通路测试算法可以有效定位扫描链中的物理开路故障点。

4.2.2　边界扫描通路测试发现器件设计缺陷

本案例利用链路测试算法中的边界扫描通路测试结果排查器件自身故障。选择仅采用国产器件 HWD14288M 的电路板作为被测对象。通过软件依次执行指令通路测试、旁路通路测试、边界扫描通路测试及器件标识通路测试。

测试结果表明：指令通路、旁路通路及器件标识通路测试均正常通过，唯边界扫描通路测试结果不稳定。进一步分析发现，当移入特征值最低位为“0”时测试失败，为“1”时则通过。通过示波器抓取 TDO 信号波形观察到，在 TDI 输入位为“0”的情况下，TCK 上升沿后 TDO 对应位会出现一次从“0”到“1”的非正常跳变，导致无法准确捕获特征值，从而造成测试失败。对应波形如图 6 所示。

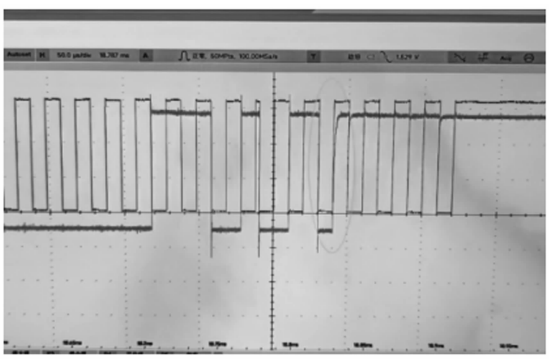


图 6　示波器显示 TDO 最低位特征值跳变

此现象表明，该器件边界扫描寄存器的最后一位（LSB）输出驱动在特定时刻被关闭，内部弱上拉电阻将电平拉高。这种行为不符合 IEEE 1149.1 标准对移位操作期间输出稳定性的要求。该问题已反馈至器件厂商并获得确认。

由此可见边界扫描通路测试算法对器件自身边界扫描设计的符合性具有检测能力。

4.3　应用效果

经过在百余块各类电路板上的实际测试验证，本文所提出的链路测试算法在扫描链连通性问题识别方面实现了 100％的检出率。应用该算法后，边界扫描测试的整体效率提升约 30％，这主要得益于其能够在测试前期精准定位链路故障，从而避免了在故障链路上进行后续无效网络测试所耗费的时间。

与仅依赖简单连通性检查（如仅验证器件 ID）的传统方法相比，本算法具备更全面的诊断能力。它不仅能够可靠检测物理连接异常，还能有效识别 BSDL 文件配置错误、器件间兼容性问题等更为隐蔽的缺陷，在实际应用中其综合误判率低于 1％。

目前，该测试算法已成功集成到公司内部多个测试平台中，并在多个实际项目中实现了规模化部署与应用，显著提升了测试流程的可靠性与工程实施的效率，取得了良好的实践效果。

5　结束语

边界扫描测试技术为数字电路提供了标准化、系统化的可测试性设计方法，有效弥补了传统测试的不足，具有广泛的应用前景[18-20]。

本文针对边界扫描测试中扫描链自身可靠性这一关键问题，提出了一套系统的前置链路测试算法。该算法通过指令通路测试、旁路通路测试、边界扫描通路测试和器件标识测试四个步骤，依次对指令寄存器、旁路寄存器、边界扫描寄存器和器件标识寄存器进行功能验证，并基于 128 位特征值实现精确匹配，可全面诊断扫描链的连通性、器件顺序、BSDL 文件准确性及器件兼容性。实验表明，该算法能够有效隔离链路故障，提升测试效率和准确性，具备良好的工程实用性。后续研究可将该算法与人工智能技术结合，实现故障的自动分类与精准定位。

参考文献：

[1] 程云波. 基于边界扫描技术的复杂数字电路板的可测性分析 [D]. 西安. 西安电子科技大学，2007.

[2] 邬子婴，步　鑫，熊智勇，等. 边界扫描 JTAG 控制器设计及实现 [J]. 航空电子技术，2016，47（1）：31－35.

[3] IEEE Std 1149.1-2013，IEEE standard for test access port and boundary-scan architecture [S]. 2013.

[4] 尹志刚，李华伟，李晓维. 一种遵循 IEEE 1149.1 标准的可测试性设计结构 [J]. 微电子学与计算机，2003，20（5）：23－27.

[5] 杜　炜，叶晓慧，张生磊. 基于边界扫描的电路板快速测试系统设计 [J]. 微计算机信息，2009，25（23）：238－239.

[6] 钟春丽，张　平，生拥宏，等. 基于边界扫描技术的抗混淆自适应测试算法 [J]. 信息工程大学学报术，2013，14（5）：600－606.

[7] 杨迪珂，颜学龙. 边界扫描测试算法的分析与优化 [J]. 计算机测量与控制，2017，25（5）：4－7.

[8] 刘　静. 边界扫描测试算法和 BIST 技术的研究与实现 [D]. 南京：南京航空航天大学，2011.

[9] 王鏖淯. 基于 JTAG 标准的边界扫描测试技术的分析与研究 [D]. 西安：西安电子科技大学，2014.

[10] 高礼忠. 边界扫描测试中 TAP 控制器设计 [J]. 电子测量技术，2002，25（6）：10－11.

（下转第 70 页）