

# 基于 ATE 的 FPGA 自动重配置系统设计

廖勇, 谢栋材, 白洋, 韦纯进, 张亭亭, 何莹莹  
(航天科工防御技术研究试验中心, 北京 100854)

**摘要:** 针对 FPGA 内各逻辑资源和电性能参数的自动批量配置测试问题, 提出了一种将自动重配置模块、ATE 测试平台和上位机软件相结合的应用程序自动重配置系统方案; 通过上位机软件在自动重配置模块中完成待测 FPGA 的应用程序加载, 实现软硬件结合; 基于 XC7A100T 型 FPGA 搭建自动重配置系统, 运用三段式状态式实现应用程序自动下载; 实验结果表明, 该系统可实现待测 FPGA 在多种配置模式下应用程序自动下载, 完成待测 FPGA 芯片的逻辑资源和电性能参数自动批量测试; 对于 XC6SLX16-2CSG324-T 型 FPGA, 从并模式下自动配置测试时间仅需 7 min, 极大节省了应用程序配置时间, 满足各类 FPGA 自动批量测试需求。

**关键词:** FPGA 测试; 自动重配置系统; 质量可靠性; 自动批量测试

## An Automatic Reconfiguration System for FPGA Based on ATE

LIAO Yong, XIE Dongcai, BAI Yang, WEI Chunjin, ZHANG Tingting, HE Yingying  
(China Aerospace Science & Industry Corp Defense Technology R&T Center, Beijing 100854, China)

**Abstract:** Aiming at the problem of automatic batch configuration test of logic resources and electrical performance parameters in FPGA, an application program automatic reconfiguration system scheme is proposed, which combines automatic reconfiguration module, ATE test platform and host software. The application program of FPGA to be tested is loaded in the automatic reconfiguration module by the upper computer software to realize the combination of software and hardware. The automatic reconfiguration system is built based on XC7A100T FPGA, and the application program is automatically downloaded by three-stage state machine. The experimental results show that the system can automatically download the application program of the FPGA under various configuration modes, and complete the automatic batch testing of the logic resources and electrical performance parameters of the FPGA chip under test. For XC6SLX16-2CSG324-T FPGA, the automatic configuration test time only needs 7 min in parallel mode, which greatly saves the application configuration time and meets the requirements of automatic batch testing of various FPGA automatic batch tests.

**Keywords:** FPGA testing; automatic reconfiguration system; quality reliability; automatic batch testing

## 0 引言

近年来, 集成电路技术飞速发展, 现场可编程逻辑门阵列器件 (FPGA, field programmable gate array) 因具有设计灵活性高、可重构性强和适应范围广等优势, 被广泛应用于网络通信与安全、医疗器械设计、视频图像处理与传输、航空航天及武器装备等多个重要领域<sup>[1-4]</sup>; 随着 FPGA 芯片应用领域的广泛拓展和资源复杂程度的迅速提高, FPGA 芯片的可靠性及稳定性越来越受到大众的广泛关注, 在应用前对 FPGA 芯片中的逻辑资源以及电性能参数进行测试对有效保证芯片质量的可靠性至关重要。当前, FPGA 测试领域尚未形成标准化的测试方法和测试规范, 这导致测试实践缺乏充足的理论支撑<sup>[5]</sup>。尤其是针对国内自主研发的测试系统, FPGA 测试方法研究尚处于初期阶段, 故基于自动测试设备 (ATE, automatic test equipment) 的 FPGA 测试方法展现出巨大的潜力和研究空间, 因此如何在保证测试覆盖率的基础上高效对 FPGA 进行测试变得尤

为迫切。

针对现有的 FPGA 测试技术, 文献 [6-7] 在芯片编程前, 采用内建测试电路, 在 ATE 测试系统上实现了反熔丝型 FPGA 的测试。文献 [8] 对 SRAM 型 FPGA 采用内建自测试方式对 CLB 模块的触发器、分布式 RAM、移位寄存器等进行了测试。文献 [9] 基于 BIST 思想, 对 FPGA 中的 CLB 资源和互联资源展开了检测故障和诊断故障研究, 实现通道延时、开/短路、查找表 0/1 等故障的测试。文献 [10] 通过自编向量重复脚本与 ATE 测试机相结合, 实现测试向量的压缩, 减少了 FPGA 的测试向量深度。文献 [11] 搭建了自动化仿真验证软件, 实现了 FPGA 测试激励的仿真验证, 提高了 FPGA 测试验证的可靠性。文献 [12] 通过分析 FPGA 的典型故障模式, 总结了 FPGA 内部各可编程资源的测试方法, 为 FPGA 测试工作提供了一定的参考依据。文献 [13] 通过分析 FLASH 型 FPGA 的结构和特点, 研究了 ACTEL 厂家的 ProASIC3 系列 FPGA 的 IOB、Tiles、BRAM、CCC、Flash ROM 等

收稿日期: 2024-05-23; 修回日期: 2024-07-16。

基金项目: 航天科工防御技术研究试验中心创新基金课题(220007243NN0306)。

作者简介: 廖勇(1995-), 男, 硕士, 工程师。

引用格式: 廖勇, 谢栋材, 白洋, 等. 基于 ATE 的 FPGA 自动重配置系统设计[J]. 计算机测量与控制, 2024, 32(12): 263-269.

五个主要模块的测试方法。文献 [14] 从静态测试方法、动态仿真测试方法和物理测试方法入手, 研究了 3 种不同测试方法的测试机理和适用范围, 归纳了一种实用的 FPGA 测试技术。

目前, 针对第三方检测机构而言, 在无法获取芯片设计厂家可测性设计方案的背景下, 基于 ATE 测试平台采用应用配置测试的“黑盒”测试是主流的测试方案。常规的 FPGA 芯片内部涵盖: IOB 资源、IOL 资源、CLB 资源、时钟资源、BRAM 资源、DRAM 资源、DSP 资源、SERDES 资源、模数转换资源等逻辑资源和布线资源<sup>[15-20]</sup>, 通过编写应用程序占用相应的逻辑资源结合 ATE 测试平台对各个逻辑资源的结果进行验证可以有效保证芯片的应用可靠性, 由于 FPGA 片内资源种类较多, 针对每一部分资源均需要编写对应的应用程序, 在测试时需要将多个应用程序依次下载到芯片中, 通过测试人员手动下载应用程序流程复杂、效率低下, 下载时发生错误的概率大大提高且无法实现芯片的批量测试<sup>[21-24]</sup>; 为解决这一难题, 有效提高 FPGA 芯片的测试效率, 本文提出一种基于 ATE 测试平台的 FPGA 自动重配置系统, 通过上位机软件、FPGA 自动重配置系统、测试子板和 ATE 测试平台 4 部分彼此关联, 最终形成一套配置回环系统。通过本文设计的自动重配置系统, 后续可对 FPGA 芯片实现量产测试, 为 FPGA 测试技术发展提供了广阔的前景, 具有较高的经济效益和社会价值。

## 1 系统方案设计

### 1.1 总体方案设计

系统总体方案如图 1 所示, 系统分为 4 个部分, 分别是上位机模块、基于 FPGA 的自动重配置系统、DUT 测试子板和 ATE 测试平台; 首先, 在 FPGA 对应的编程软件中针对芯片特定资源编写对应的应用程序并查看对应资源占用率, 通过行为仿真确认应用程序的逻辑功能是否正确, 生成对应的 .bit 和 .bin 文件, 将对应文件下载到待测 FPAG 的应用功能板中进行功能验证, 确认逻辑功能无误后, 保存文件到相应资源文件夹; 待全部资源应用程序的 .bit 和 .bin 文件生成完后, 在上位机软件中依次调用对应的 .bit 和 .bin 文件后, 点击上位机软件的开始发送按钮后, 上位机通过 USB 接口将文件保存到自动重配置系统的 eMMC 中; 当 ATE 测试平台运行至某一测试项并运行向量时, ATE 测试平台将通过  $m$  根 IO 接口向自动重配置系统发送二进制的应用程序调用指令; 随后, 自动重配置系统将解析调用指令并调用接口向 EMMC 中调取测试项对应应用程序的 .bit 和 .bin 文件并通过配置模式接口下载至被测 FPGA 芯片中; 当程序下载完成, ATE 测试平台进行测试, ATE 测试完毕后会通过信号线反馈此项测试完成的标识符, 自动重配置系统接收到标识符后, 重新接收 ATE 测试平台电平指令加载新的应用程序, 如此往复, 直到所有测试项完成测试, 从而实现辅助 ATE 测试平台完成被测 FPGA 芯片连续自动配置测试的目的。

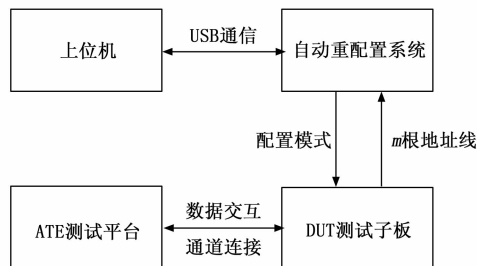


图 1 系统总体方案设计框图

### 1.2 系统硬件设计

在运用基于 ATE 平台的自动重配置系统进行 FPGA 自动测试时, 需要先完成自动重配置接口板对应外围电路的设计, 实现同一款 FPGA 芯片不同应用程序或多款 FPGA 芯片对应程序的自动循环配置, 系统硬件涉及 DUT 测试子板和自动重配置系统模块, DUT 测试子板包含指令下载接口的  $m$  根地址线与测试器件对应的外围电路, 下文主要介绍自动重配置系统硬件设计部分。自动重配置系统模块硬件设计总体如图 2 所示。

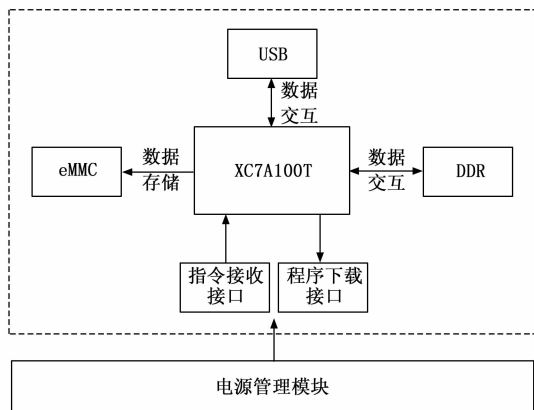


图 2 自动重配置系统模块框图

自动重配置系统基于 XC7A100T 型 FPGA 开发, 由 6 个部分的外设构成, 分别是电源管理模块、USB 驱动模块, eMMC 数据存储模块、DDR 数据缓冲模块、指令接收接口模块和程序下载接口模块; 上位机软件通过 PC 端 USB SLAVE 接口将数据发送 USB 驱动模块的数据 FIFO, 驱动模块数据 FIFO 写入到 FPGA 端 FIFO, 然后再写入到 eMMC 的内存中, 当 ATE 测试平台运行到某一向量时, ATE 测试平台通过设置  $m$  根地址线的指令接收接口到 FPGA 中, FPGA 根据指令读取 eMMC 中特定地址空间的 .bit 和 .bin 文件通过程序下载接口将数据发送到待测 FPGA 芯片中实现自动测试。

#### 1.2.1 电源管理模块

电源管理模块如图 3 所示, 220 V 市电输入通过 AC-DC 电源适配器将 220 V 交流电压转化为 +12 V 直流电压, 经过 TPS54627 同步降压转换器后输出 +5 V, +5 V 电压经过 TPS54821 同步降压转换器后输出 +1 V, 同时通过

DC-DC 降压稳压芯片 MP2143DJ 输出 +1.2、+1.5、+1.8 和 +3.3 V, 转换后的电压给 FPGA 各 BANK、内核电压和外部芯片供电。

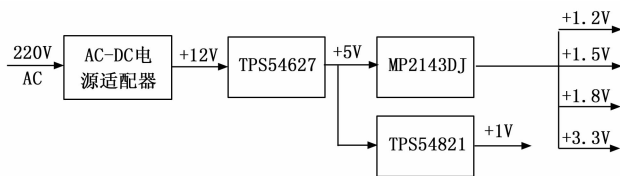


图 3 电源管理模块框图

1.2.2 eMMC 存储模块

本设计外挂 2 片 32G 的 eMMC, 可实现不同类型、不同逻辑资源 FPGA 应用程序对应的 .bit 和 .bin 文件加载存储, eMMC 存储模块选用 FEMDME032G, 该芯片数据可用 1 线、4 线或 8 线传输数据, 存储容量 32 GB, 数据写入速度可达 170 MB/s, 数据读出速度可达 300 MB/s, 最大工作电流仅 160 mA, 该芯片具有存储容量大, 读写速度快, 功耗较低等优点, 满足数据存储需求, 对应原理如图 4 所示。

1.2.3 USB 驱动模块

USB 驱动模块选用 FT232H, 该芯片是一款多功能 USB 接口桥接芯片, 可将 USB 接口数据转化为 UART、FIFO、JTAG、I2C 和 GPIO 多种串行接口, 同时该芯片集成了 USB 协议引擎, 不需要额外的 USB 主机或者控制器, 简化了系统设计, 本设计采用 USB 接口转同步 FIFO 模式, 最大可支持 12 Mbps 的串行数据率, USB 驱动模块原理如图 5 所示。

1.2.4 指令接收接口模块

指令接收接口模块通过 input0~8 共 9 根数据线进行控制, 其中控制使能位 1 位, 数据有效位 8 位, 接收 ATE 测试机台下发的应用程序调用指令。ATE 测试机台可调用 256 个应用程序对应的 .bit 和 .bin 文件, 当应用程序大于 256 时可通过增加数据控制地址线。同时, 指令接收接口与自动重配置系统通过隔离电路实现与机台的电气隔离, 有

效保护机台。

1.2.5 程序下载接口模块

FPGA 下载模式配置上有多种, 总体上可分为 3 种, 分别是主模式、从模式和 JTAG 模式。主模式是待测 FPGA 加载片外非易失性存储器的配置文件, 系统时钟需要被测 FPGA 内部产生; 从模式是外部处理器将数据下载到被测 FPGA 中, 在从模式下时钟由自动重配置系统模块提供; JTAG 模式基于 IEEE1149.1 和 IEEE1532 的下载配置模式, 仅需要 TDI、TDO、TMS 和 TCK 实现 FPGA 的下载配置。因为在主模式下的下载时序比从模式要求严格得多, 且不需要待测 FPGA 提供时钟, 结合测试需求, 本设计选用从串模式或从并模式进行电路配置。配置模式通过 M0、M1、M2 三个引脚进行模式配置, 当 M0、M1、M2 配置为 011 时则为从并下载模式, 当 M0、M1、M2 配置为 111 时则以从串模式下载, 当 M0、M1、M2 配置为 101 时则以边界扫描模式下载, 通过 ATE 测试机对 3 个引脚的电平进行配置就可实现下载方式的配置。为 SelectMAP 接口原理如图 7 所示。

2 系统软件设计

2.1 自动重配置模块软件设计

在完成硬件的设计后还需要进行设计自动重配置模块上位机软件, 从而实现自动重配置系统对被测 FPGA 的应用程序自动配置。自动重配置模块软件设计流程如图 8 所示, 当测试机完成某项测试后, 需要对 FPGA 下载新的应用程序, ATE 测试平台在新的测试开始之前将使能引脚拉高, 同时根据测试项要求配置指令接收接口的电平, 自动重配置系统接收到使能信号拉高后进入延迟 5 个时钟周期等待 ATE 测试平台指令接收接口电平稳定后, 判断发送接口的指令 (0x00~0xff) 确定解析后的数据是否符合前级写入 eMMC 中 .bit 和 .bin 的文件个数, 如果解析结果不合理, 自动重配置系统不做任何处理, 并等待下一次的指令; 如果解析结果正确, 自动重配置系统配置下载模式对应的 M0、M1 和 M2 脚的电平, 延迟 5 个时钟周期后, 启动数据流下载的配置工作, FPGA 根据解析后的结果读取 eMMC 对应存储空间的内核数据并下载, 下载完成以后等待 DONE 引脚拉高, 自动重配置系统完成程序配置, 同时 ATE 测试平台将使能引脚拉低。

下载模式有主并、从并、主串、从串、JTAG 等多种方式<sup>[25]</sup>, 本文以设计应用到的从并 (Slave SelectMAP) 下载方式为例, 对 FPGA 中配置程序进行介绍, 从并模式的下载时序如图 9 所示, 在程序配置过程中, 首先自动重配置系统拉低 PROGRAM\_B 信号, 被配置的 FPGA 检测到 PROGRAM 信号拉低后, 会将 INIT\_B 信号拉低, 此时重配置系统拉高 PROGRAM\_B 信号, 等待 INIT\_B 信号变高, 当 INIT\_B 信号变高后开始写入待下载数据, 下载完成后等待 DONE 信号拉高后下载过

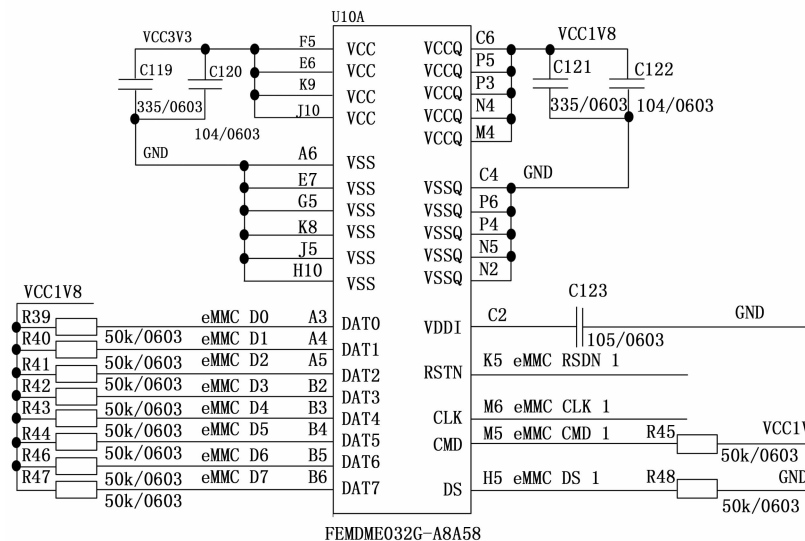


图 4 eMMC 存储芯片原理图

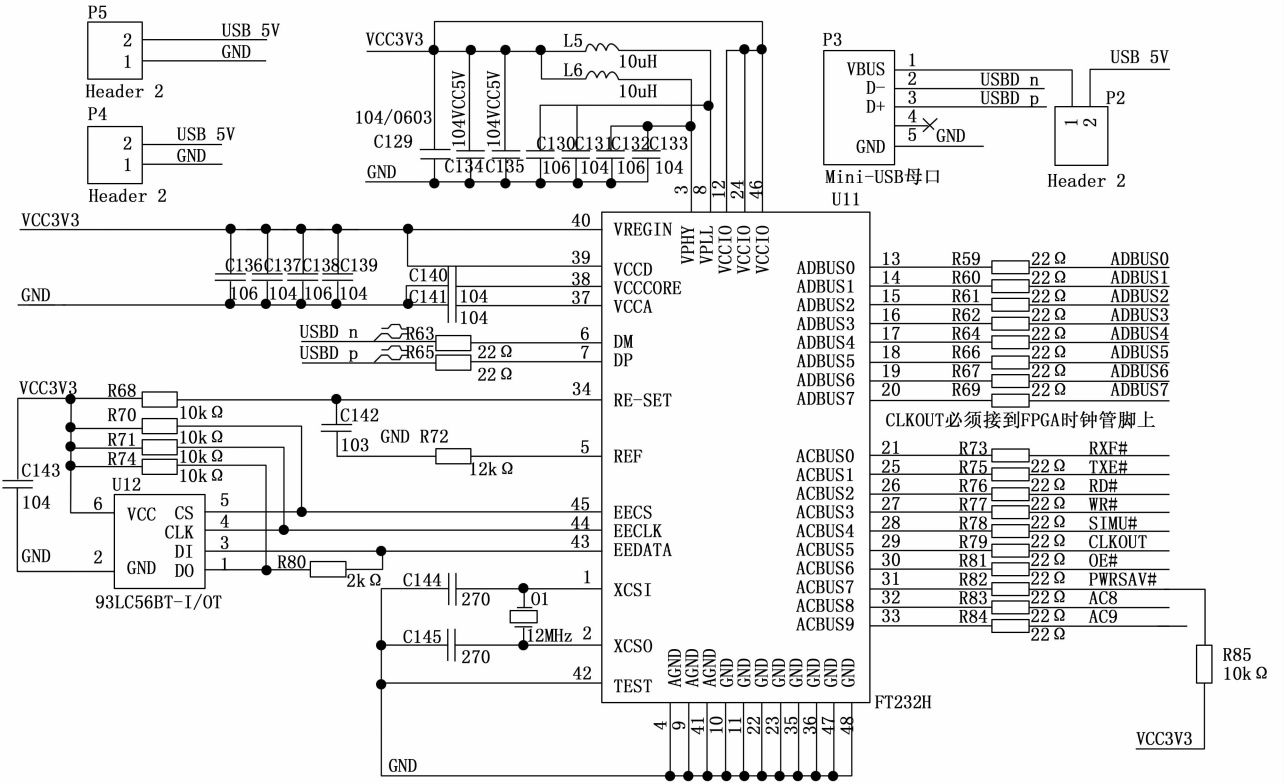


图 5 USB 驱动模块原理图

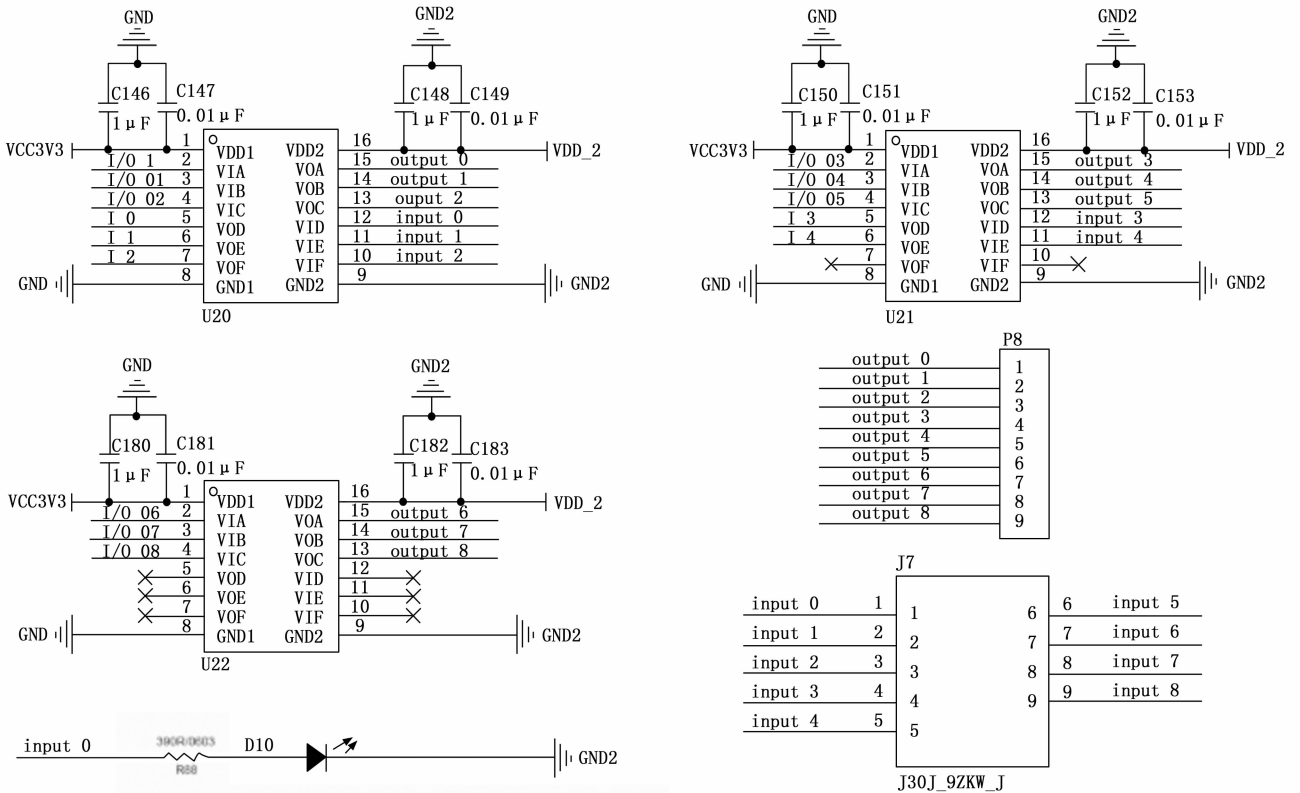


图 6 指令接收接口模块原理图

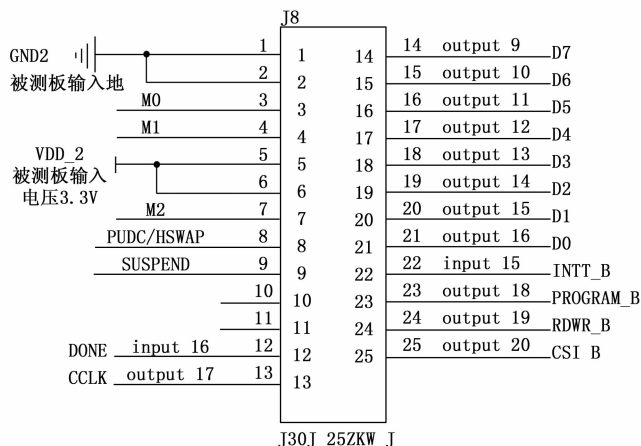


图 7 指令接收接口模块原理图

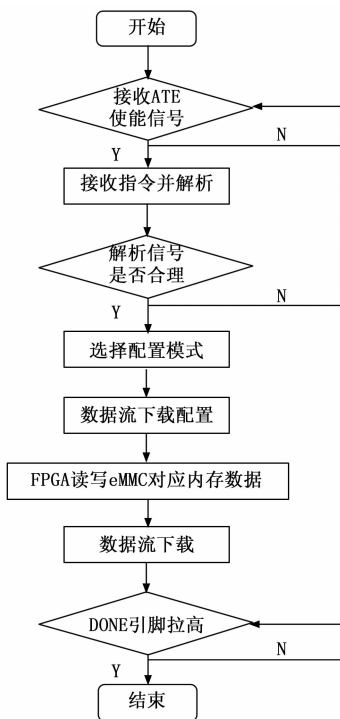


图 8 自动重配置模块软件设计流程图

程完成。

从并模式下载程序在 FPGA 中以状态机实现<sup>[26]</sup>，状态机首先处于 CFG\_IDLE 初始状态，当 ATE 测试平台发送使能信号后，CFG\_START\_VALID 有效，状态机进入 CFG\_START 状态；在该状态下将 PROGRAM\_B 信号拉低，延迟 400 个时钟周期以后将 PROGRAM\_B 信号拉高同时进入 WAIT\_INIT 状态；在该状态下等待 INIT\_B 信号拉高，将启动读取 eMMC 标志 START\_LOAD 拉高后进入到 CFG\_PREPARE 状态；在该状态下将 RDWR\_B 和 START\_LOAD 拉低后进入到 LOAD\_STREAM 状态；在该状态下判断 eMMC 读取一个字节数据的标志 READ\_DONE 是否为高，如果为高则进入到 SEND\_STREAM 状

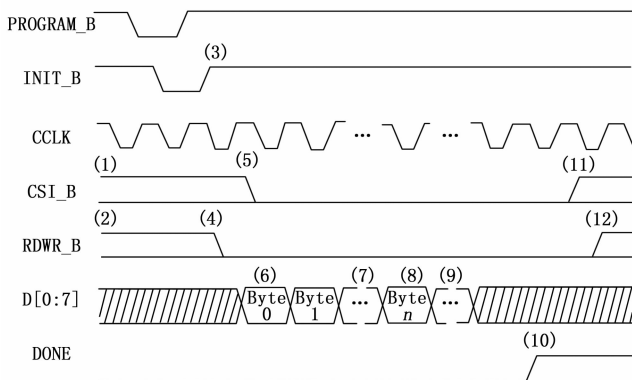


图 9 从并模式下载时序图

态，否则计数 200 000 个时钟周期后进入到 CFG\_FINISH 状态；在 SEND\_STREAM 判断读取的字节数 BYTE\_SIZE 是否达到写入的字节数 SET，如果达到则进入 WAIT\_DONE 状态，否则将读出的一个字节数据赋值给数据输入引脚 D [7 : 0]，更新数据后进入 LOAD\_STREAM 状态；在 WAIT\_DONE 状态下判断 DONE 信号是否拉高，拉高则进入 CFG\_FINISH 状态，否则保持此状态；在 CFG\_FINISH 状态将 CSI\_B 和 RDWR\_B 信号拉高，配置完成。配置的状态转换如图 10 所示。

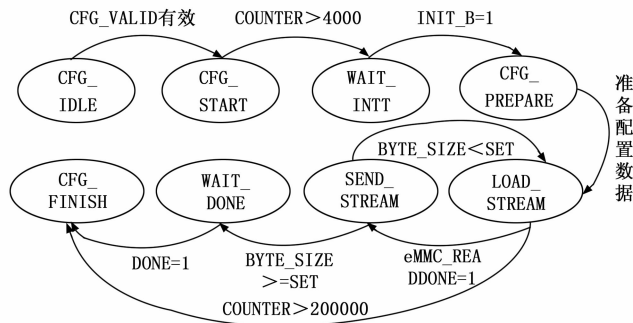


图 10 自动重配置系统 SelectMAP 下载状态转换图

### 2.2 上位机软件设计

上位机软件是人机交互的重要途径，自动重配置系统上位机软件基于 QT 开发平台，该软件可实现对 FPGA 器件的多重、自动、快速重配置，提高 FPGA 测试的效率，操作人员可对上位机界面中的“起始区间”和“配置文件路径”自定义填写；“配置总文件”自动更新该文件内所包含的配置文件区间，在文件配置过程中“当前配置区间”自动显示当前配置文件，“当前配置进度”自动显示当前区间配置时已发送字节数，系统规定一个区间配置时需发送 10 485 760 字节。

当进入自动重配置软件的时候，点击上位机软件中的连接设备按钮，软件会进行首次连接，上位机软件启动 FT\_ListDevices () 函数抓取外设的数量和描述，将对应的设备描述拷贝到 USB 设备连接函数 FT\_OpenEx () 中，而后发送 FT\_SetUSBParameters () 和 FT\_SetBitMode ()

配置 USB 传输的数据大小和 MPSSE 使能或者失能, 最终通过 FT232H USB 转 FIFO 芯片实现上位机软件与自动重配置系统的连接, 连接成功后上位机软件的设备状态右侧指示灯变成绿色表示连接成功。连接完成后, 需要在起始区间填写第一个配置文件对应的区间 (范围为 1~256), 在配置文件路径的右侧打开按照顺序排布好的 .bit 或者 .bin 文件对应的文件夹后确认, 点击开始发送按钮后, 上位机软件通过 connect () 函数将对应信号和槽函数连接起来, 随后启动子线程传递通信句柄、文件名、文件大小、文件路径和总文件数量并进行数据传输, 上位机软件接收到已经传输的字节数和传输的数据区间, 传输完成所有的数据后释放线程, 同时在上位机下侧的文本框中发送程序配置完成的消息, 此时上位机软件已经通过 USB 将数据文件依次发送到自动重配置系统的 eMMC 对应的存储区间中。

上位机软件配置流程如图 11 所示, 上位机软件通过 USB 与自动重配置系统建立连接, 连接成功后, 设备指示灯状态变为绿灯指示状态, 而后选择配置文件路径并选择  $n$  个配置文件, 加载成功后填写起始区间, 填写完毕确认发送后, 上位机自动将对应配置文件下载到自动重配置系统的 eMMC 中。

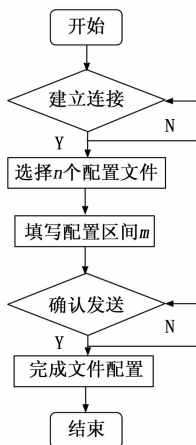


图 11 上位机配置流程图

### 3 实验结果与分析

#### 3.1 实验平台搭建

实验平台由自动重配置模块、待测 FPGA 测试子板、ATE 测试机和上位机软件通过软硬件数据交互实现对待测 FPGA 的自动配置及测试。系统启动后, 将自动重配置系统的 CCLK、PROGRAM\_B、INIT\_B、DONE、D [8:0]、CSI\_B、RDWR\_B、M [2:0]、TCK、TDI、TDO、TMS、VCC 和 GND 与待测 FPGA 芯片对应的测试子板通过排线硬件连接, 同时将测试子板与 ATE 通道连接。

系统运行时首先在上位机软件中将上位机与自动重配置系统连接, 连接成功以后填写起始区间和文件路径后点击发送按钮, 按照规定的协议格式将数据通过 USB 转 FIFO 后通过自动重配置模块中的 FPGA 下载写入到 eMMC 中对

应的存储空间。当测试机达到某一资源测试项时, ATE 通道对应的使能控制引脚 EN 产生一个上升沿, 同时通过设置 input1~input8 八根数据线确定下载存储在 eMMC 中的 .bit 或 .bin 文件, 自动重配置系统与测试机台连接的使能引脚接收到上升沿后开始读取 8 根数据线的电平状态, 并将对应区间的数据下载到被测 FPGA 中, 下载完成后被测 FPGA 的 DONE 引脚拉高, 自动重配置系统和 ATE 读取 DONE 引脚状态, 拉高后, 自动重配置系统下载完成指示灯点亮, 测试机判断 DONE 拉高后开始执行程序对应的功能向量, 同时拉低使能控制引脚 EN, 执行完成对应的向量后, 开始进行下一次程序下载指令的下发选择新的配置数据和测试数据, 开始新一轮的配置和测试流程。

#### 3.2 自动重配置系统可行性验证

为了验证自动重配置系统的功能是否符合 FPGA 自动批量测试需求, 本文对 XC6SLX16-2CSG324-T、XC3S200AN-4FTG256C、XC5VLX155T-1FFG1136I 共 3 款 FPGA 进行测试, 在 FPGA 配套编程软件中完成 FPGA 逻辑资源中 IOB、CLB、BRAM、DSP48E、PLL、DCM、IO 端口的交直流参数等应用程序后, 编译、仿真、下载验证后, 将生成的 .bit 和 .bin 文件在上位机软件中按照确定顺序通过 USB 接口下载烧录到 eMMC 确定的存储空间中, 在下载过程中, 机箱对应的状态指示灯闪烁; 在测试界面中编写芯片测试项对应的测试程序以及程序下载配置的接口电平, 点击测试后上位机软件界面可以观察到测试项依次运行, 同时在测试过程中可以见到测试子板中应用程序下载指示灯和下载完成标志对应的 DONE 引脚由暗变亮, 测试完成后最终测试通过结果, 对上述 3 款 FPGA 芯片进行了多次测试均正常运行, 表明了自动重配置系统具有较高的稳定性和正确性。

#### 3.3 自动重配置系统容量验证实验

为实现不同资源、不同类型 FPGA 的多种应用程序自动配置, 需保证不同容量的 .bit 和 .bin 文件均能成功存储于 eMMC 存储空间并被配置至待测 FPGA 芯片内, 因此进行了自动重配置系统容量验证实验。eMMC 存储容量为 64 GB, 理论可配置大小不超过 10 MB 的应用程序 .bit 和 .bin 文件数量为 6 552 个, 考虑到实际 FPGA 测试的应用程序数量需求, 实际硬件设计时指令通道为 8 个, 可实现 256 个应用程序的自动配置。验证实验使用 XC6SLX16-2CSG324-T 作为待测 FPGA 芯片, 验证实验开始前, 将 256 个应用程序全部配置进 eMMC 存储空间, 其中功能验证类应用程序被重复配置多次, 同时存储于不同的存储空间内, 被不同的指令调用, 其中最大应用程序 .bin 大小容量不超过 2 MB。然后, 执行 ATE 测试项时, 自动重配置系统会接收 ATE 下发的调用指令, 并将对应测试项的应用程序配置进待测 FPGA 芯片内, 测试项执行完毕后, 下一测试项会继续下发调用指令, 直至所有测试项执行完毕。实验表明, 所有测试项对应的应用程序均被成功配置进待测 FPGA 芯片内, 且测试项功能及参数测试结果均通过。

#### 3.4 应用程序自动配置速度测试实验

为满足 FPGA 自动批量测试需求, 必须高效完成 FP-

GA 应用程序自动配置, 对 FPGA 内各逻辑资源和电性能参数进行测试时需考虑应用程序配置速度, 因此进行了应用程序自动配置速度测试实验。配置速度测试实验使用 XC6SLX16-2CSG324-T 作为待测 FPGA 芯片, 配置速度测试实验使用 FPGA 实际测试需要的各逻辑资源和电性能参数应用程序 50 余项, 通过不同配置模式所需时间, 再获取执行完所有测试项总共所需时间, 得到如表 1 中所示整个测试流程耗时数据。从表 1 数据可以看到, 从并配置方式为并行配置方式, 耗时最短, 测试速率最快, 但其配置电路设计相对复杂; 从串配置速度次之, 配置电路设计简单, 运行稳定; 手动 JTAG 配置 FPGA 耗时最长, 可在初次应用程序调试时使用 JTAG 配置 FPGA, 实际自动批量测试时使用从串或者从并方式进行 FPGA 配置测试。

表 1 配置测试时间表 min

序号	手动 JTAG 配置测试时间	从串配置测试时间	从并配置测试时间
1	45	9.8	7.5
2	50	9.8	7.4
3	47	9.6	7.4
4	51	9.7	7.5
5	48	9.9	7.6
6	49	9.7	7.5

#### 4 结束语

在 FPGA 类芯片应用配置测试的背景下, 本文设计一种基于 ATE 的 FPGA 应用程序自动重配置系统, 该系统首先通过上位机软件完成自动重配置模块所需应用程序的加载, 然后通过 ATE 机台发送触发指令完成应用程序的调用与下载, 实现被测 FPGA 芯片应用程序自动配置, 最终辅助 ATE 机台高效完成 FPGA 类芯片的连续自动测试, 极大提高生产测试效率, 满足批量测试要求, 后续还可通过扩展指令通道实现最大 6 552 个高达 10 MB 大小的 .bit 和 .bin 文件应用程序的自动配置, 以满足更大规模 FPGA 芯片的自动批量测试需求。目前, 该系统已在 FPGA 批量测试生产线中投入运行, 系统运行稳定可靠, 同时, 该系统还可为不同类型 FPGA 芯片的连续自动配置自动测试提供技术支持与参考方案。

#### 参考文献:

[1] 孙黎, 张涛, 周珊. 基于 ATE 的 FPGA 软件自动化测试技术的研究 [J]. 计算机技术与发展, 2014 (8): 6-9.

[2] 苏力人. 基于 ATE 的 FPGA 软件自动化测试技术开发研究 [J]. 信息与电脑 (理论版), 2021, 33 (4): 74-76.

[3] 杨金孝, 郭德春, 张永波, 等. 基于串口通信的 FPGA 配置控制方法及实现 [J]. 计算机测量与控制, 2011, 19 (4): 848-850.

[4] LAURENT G, QUENTIN B, EMNA A, et al. Fault-tolerant FPGA-based nanosatellite balancing high-performance and safety for cryptography application [J]. Electronics, 2021, 10

(17): 2148-2148.

[5] 张颖, 毛志明, 陈鑫. 基于静态随机存取存储器型 FPGA 的测试技术发展 [J]. 电子与封装, 2021, 21 (1): 37-47.

[6] 马金龙, 卢礼兵. 用于反熔丝 FPGA 的内建测试电路 [J]. 半导体技术, 2016, 41 (2): 153-158.

[7] 马金龙, 卢礼兵. 基于反熔丝的 FPGA 的测试方法 [J]. 微电子学与计算机, 2016, 33 (8): 168-172.

[8] 王建超, 陆锋, 顾卫民. SRAM 型 FPGA 的 CLB 模块测试技术 [J]. 电子与封装, 2015, 15 (8): 17-20.

[9] 张灏, 曹亮. 基于 BIST 的 SRAM 型 FPGA 测试技术分析 [J]. 电子制作, 2016 (6): 7.

[10] 陈龙, 解维坤, 南紫媛. 基于 V93000 测试系统的反熔丝 FPGA 向量压缩方法研究 [J]. 电子质量, 2020 (8): 24-26.

[11] 张莎莎, 杨琪, 王菲. FPGA 测试验证质量保证技术研究 [J]. 微电子学与计算机, 2018, 35 (12): 133-136.

[12] 贺云, 肖梦燕, 唐锐. FPGA 内部资源测试探讨 [J]. 电子产品可靠性与环境试验, 2022, 40 (1): 36-41.

[13] 张金凤, 唐金慧, 马成英. 基于 ATE 的 FLASH 型 FPGA 测试方法研究 [J]. 电子世界, 2018 (10): 46-47.

[14] 周珊, 杨雅雯, 王金波. 航天高可靠 FPGA 测试技术研究 [J]. 计算机技术与发展, 2017, 27 (3): 1-5.

[15] 梁一峰, 曲一萍, 余怀素, 等. 基于 CAN 和 FPGA 的自动测试系统设计 [J]. 电子设计工程, 2023, 31 (23): 81-84.

[16] 陈道泉. 基于 FPGA 的 IC 自动测试系统设计 [J]. 安徽电子信息职业技术学院学报, 2023, 22 (2): 1-6.

[17] 马绪铎. 基于 FPGA 的通用自动测试平台设计 [J]. 中国军转民, 2023 (13): 82-86.

[18] 付强, 王春平, 张学军. 某型装备自动测试系统中 FPGA 配置方案设计 [J]. 火力与指挥控制, 2011, 36 (10): 196-198.

[19] 周云松, 黄维雄, 刘晓知, 等. FPGA 分布式系统的固件升级设计 [J]. 电子与封装, 2022, 22 (10): 30-34.

[20] 焦亚涛, 顾颖, 石雪梅. 基于 ATE 的 FPGA 器件测试方案研究 [J]. 计算机与数字工程, 2015, 43 (1): 80-82.

[21] 杨洋, 和蕾, 王旭, 等. 基于 FPGA 的 UART 串行通信参数自适应设计与实现 [J]. 电子设计工程, 2021, 29 (16): 21-25.

[22] SILVA A D A C, NETO D D A, OLIVEIRA N A J, et al. Definition of an architecture to configure artificial neural networks topologies using partial reconfiguratoin in FPGA [J]. IEEE Latin America Transactions, 2015, 13 (7): 2094-2100.

[23] 林晓会, 解维坤, 张凯虹, 等. 基于 V93000 的千万门级 SRAM 型 FPGA 测试技术研究 [J]. 电子质量, 2020 (11): 30-34.

[24] 李磊, 张春妹, 赵翠华, 等. 一种 FPGA 配置加载管理电路的设计与实现 [J]. 微电子学与计算机, 2015, 32 (8): 146-149.

[25] 刘倩, 吴丹, 沈森祖. 基于 ATE 的 FPGA 多次自动配置技术研究 [J]. 计算机与数字工程, 2010, 38 (9): 105-107.

[26] 王建芳, 夏清国. 用 CPLD/FPGA 实现 Nios II 嵌入式系统配置技术 [J]. 计算机测量与控制, 2008 (2): 185-187.