

# 电荷俘获型 3D NAND 闪存边缘字线 可靠性优化方法

谭家乐, 许旭晗, 宣吴丽娜, 张俊杰, 曹炳尧

(上海大学 特种光纤与光接入网重点实验室, 上海 200444)

**摘要:** 3D NAND 闪存凭借其高存储密度、高性能等优点, 在众多领域得到广泛应用; 然而, 在 3D NAND 闪存块不完全编程时, 其内部字线与边缘字线之间的保留错误特征存在显著差异, 这对数据存储的可靠性构成了严重威胁; 为应对这一挑战, 提出了一种适用于边缘字线的 4-8 LC 方法; 该方法将 TLC 闪存的 8 种阈值电压状态均分为 4 组, 组内两种状态对应的信息编码的汉明距离需为 1; 分组后, 将与擦除态同组的另一阈值电压状态的闪存单元编程至擦除态, 其余 3 组中处于较低阈值电压状态的闪存单元编程为同组中的另一状态; 随后进行数据保留实验并读取误码信息; 实验结果显示, 在闪存块历经 3 000 次 P/E 循环, 并在常温下数据保留一年的条件下, 边缘字线的平均保留错误数量达到了内部字线的 2.97 倍, 所提出的 4-8 LC 方法使边缘字线的低页和高页误码率分别降低了 99.7% 和 99.9%, 提升可靠性的效果是 EP 方法的 1.74 倍。

**关键词:** 3D NAND 闪存; 边缘字线; 保留错误; 4-8 LC

## Optimization Method for Edge Word Line Reliability in Charge Trap-Based 3D NAND Flash Memory

TAN Jiale, XU Xuhan, XUAN Wulina, ZHANG Junjie, CAO Bingyao

(Key Laboratory of Specialty Fiber and Optics Access Networks, Shanghai University, Shanghai 200444, China)

**Abstract:** 3D NAND flash memory has the characteristics of high storage density and high performance, which is widely used in many fields. However, Without 3D NAND flash memory blocks fully programmed, there is a significant difference in the retention errors between internal word and edge word lines, which poses a serious threat to the reliability of data storage. To address this challenge, a 4-8 LC method suitable for edge word lines is proposed. This method evenly divides the 8 threshold voltage states of the TLC flash memory into 4 groups, and the Hamming distance of the information encoding corresponding to the the two states within the group is 1. After grouping, flash memory cells with another threshold voltage state in the same group as the erased state are programmed to the erased state, and the remaining 3 groups of flash memory cells with a lower threshold voltage state are programmed to the other state in the same group. Then, the data retention experiment is completed, and the error information is read. Experimental results show that, under the conditions of the flash memory block going through 3 000 P/E cycles and data retention at room temperature for one year, the average number of retention errors on edge word lines reaches 2.97 times that of the internal word lines. The proposed 4-8 LC method reduces the low page and high page error code rates of the edge word lines by 99.7% and 99.9%, respectively, and the reliability improvement effect of this method is 1.74 times that of the extra program (EP) method.

**Keywords:** 3D NAND flash memory; edge word line; retention error; 4-8 LC

## 0 引言

随着 NAND 闪存市场的不断发展, 平面 NAND 闪

存通过提升工艺制程和多电平存储技术<sup>[1]</sup>来增加存储密度。然而, 平面 NAND 闪存已接近 10 纳米技术的严重缩放限制, 闪存单元间的干扰导致存储可靠性急剧恶

收稿日期: 2024-04-22; 修回日期: 2024-05-25。

作者简介: 谭家乐 (1999-), 男, 硕士研究生。

通讯作者: 张俊杰 (1978-), 男, 博士, 教授, 博士生导师。

引用格式: 谭家乐, 许旭晗, 宣吴丽娜, 等. 电荷俘获型 3D NAND 闪存边缘字线可靠性优化方法[J]. 计算机测量与控制, 2025, 33(6): 200-205, 239.

化<sup>[2]</sup>。为克服这一瓶颈, 研究人员提出了三维 (3D, three-dimensional) NAND 闪存的概念, 其通过在垂直方向堆叠闪存单元, 突破平面闪存的局限性, 进一步提升了存储容量。最新的 3D NAND 闪存技术已实现 192 层堆叠<sup>[3]</sup>, 并且正在向更高的堆叠层数发展。然而, 随着 3D NAND 技术的不断进步, 也涌现出了一系列新的问题, 诸如闪存存储层的差异化现象、横向电荷迁移和垂直电荷流失等复杂情况<sup>[4]</sup>。这些问题对 NAND 闪存的存储可靠性与寿命提出了更为严峻的挑战, 亟待进行深入研究和有效应对。

在过去的十几年时间里, 研究人员提出了各种策略来提高闪存的可靠性, 主要包括降低闪存的原始误码率<sup>[5]</sup>、提高纠错码 (ECC, error correcting code) 的纠错性能<sup>[6]</sup>以及针对不同数据类型的存储方案<sup>[7]</sup>等。此外, 文献 [8] 提出了一种在 3D NAND 闪存开放块场景下的可靠性问题, 即 3D TLC NAND 闪存块在未完全编程时, 边缘字线 (WL, word line) 会表现出较高的原始误码率 (RBER, raw bit error rate), 研究表明边缘字线闪存单元的阈值电压负向偏移是造成该现象的主要原因。在后续几年时间里, 研究人员提出了多种策略来提高边缘字线的可靠性。文献 [9] 提出了一种对边缘字线的下一条字线额外编程 (EP, extra program) 的方法来补偿边缘字线的电荷损失, 以此来降低边缘字线的 RBER, 实验表明该方法能够将边缘字线的 RBER 降低 86.5%。该方法具有简单高效的特点, 但由于应用 EP 方法的字线只等待下一次闪存块擦除后才可重新进行编程, 因此会带来额外的存储开销。并且在小粒度的写入场景下, 多次编程将会产生更多的边缘字线, 额外的存储开销进一步增大。文献 [10] 则采用读参考电压校准的策略, 通过实验分析了边缘字线每一页读电压单独校准相比基于页面分组的校准有更好的 RBER 改善效果, 但更细粒度的校准会带来更大的开销。文献 [11] 研究发现开放块的开放时间越久, 边缘字线的数据可靠性越低, 文献针对该现象提出一种基于工作负载特征自适应地分配活动块来服务写请求的策略以减小打开时间, 并提出一种部分块的刷新策略以缓解 RBER 的放大。然而, 尽管这些策略在一定程度上优化了 NAND 闪存的使用效率, 但边缘字线可靠性低的问题仍未得到根本解决。

本文深入研究了某型国产电荷俘获型 3D TLC NAND 闪存边缘字线所面临的可靠性问题, 并针对这些问题提出了切实可行的解决方法, 最后通过实验手段验证了该方法提升边缘字线可靠性的效果。本文的主要贡献体现在以下几个方面: 1) 基于 ZYNQ 型片上系统 (SoC, system on chip) 搭建了 NAND 闪存实验平台, 该平台具备高度的自定义性和良好的兼容性, 可实现对

NAND 闪存的多种复杂实验; 2) 设计实验研究了在不同数据保留时间下, 开放块中边缘字线与内部字线之间的可靠性差异。实验结果表明边缘字线的保留错误平均值为内部字线的 2.97 倍, 这一发现为后续的优化工作提供了重要依据; 3) 针对边缘字线可靠性低的问题, 本文提出一种提升 NAND 闪存开放块边缘字线可靠性的 4-8 LC 方法。实验结果表明, 该方法能够将边缘字线低页和高页的最大误码率分别降低 99.9% 和 99.7%, 提升可靠性的效果是 EP 方法的 1.74 倍。

## 1 电荷俘获型 3D NAND 闪存边缘字线错误特征

本节首先介绍了电荷俘获型 3D NAND 闪存开放块的相关概念, 然后对其保留错误特征进行了描述。

### 1.1 电荷俘获型 3D NAND 闪存开放块相关概念

近年来, 电荷俘获型 3D NAND 闪存凭借其优秀的性能和稳定性, 在数据中心、个人计算机和物联网等领域得到广泛的应用<sup>[12]</sup>, 随着闪存市场不断发展, 其使用场景也日益复杂多样。在这些多样化的应用场景中, 闪存的开放块问题尤为常见。

本文所使用的电荷俘获型 3D TLC NAND 闪存块结构及其边缘字线和内部字线如图 1 所示。该闪存块共有 128 个存储层, 每层包含 6 个字线, 每个字线通常由数千个闪存单元组成。在 TLC NAND 闪存技术中, 每个闪存单元能够存储 3 比特信息, 包括低、中间和高 3 种比特。存储在同一字线中相同类型的比特共同组成一个页面, 因此每个字线由高页、中间页和低页 3 个共享页面组成。当对闪存块进行编程操作时, 若在某一字线处中断编程, 并在一段时间之后从下一字线继续编程, 则此闪存块被定义为开放块, 与之相对的, 完全编程的

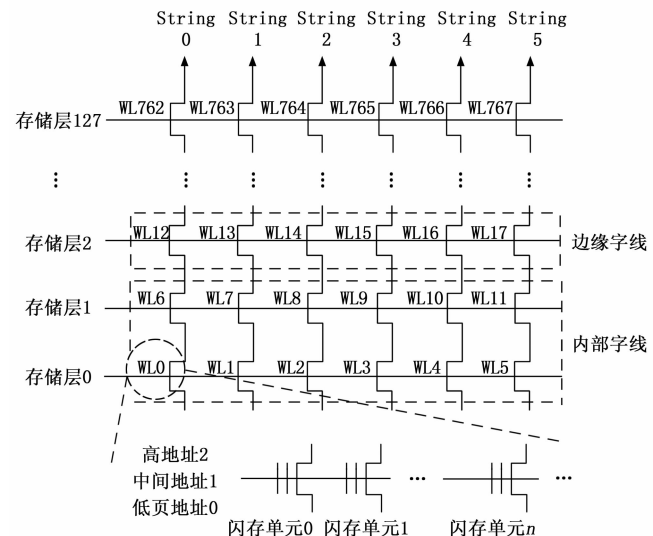


图1 电荷俘获型 3D TLC NAND 闪存块结构及边缘字线和内部字线示意图

闪存块被称为闭合块。特别地,若开放块中已编程字线所在串(String)的下一存储层字线尚处于未编程状态,则该字线被称为边缘字线,而其余已编程的字线则被称为内部字线。

## 1.2 电荷俘获型 3D NAND 闪存的保留错误特征

电荷俘获型 3D NAND 闪存利用控制栅极施加的高电压构建电场,进而促使衬底中的电子通过隧穿隧道氧化层进入电荷存储层并稳定保留,从而实现非易失性存储<sup>[13]</sup>。在读取数据时,通过精确区分闪存单元的不同阈值电压来判断存储的比特信息。然而,在实际应用中,闪存单元的电荷泄露可能导致其阈值电压偏离原始的判决窗口,进而在读取数据时出现误码,该现象被称为保留错误<sup>[14]</sup>。图 2 展示了 NAND 闪存单元阈值电压负向偏移导致保留错误的原理。随着保留时间的累积,处于阈值电压状态 S1 的 NAND 闪存单元中的电子逐渐泄露,阈值电压向状态 S0 偏移,图 2 中阴影部分为闪存单元的阈值电压负向偏移至读参考电压  $V_{ref}$  的左侧,此时若以  $V_{ref}$  为参考电压进行读取操作,则该部分的闪存单元会发生保留错误。此外,具有较高阈值电压状态的闪存单元相较于低阈值电压状态的闪存单元,更容易发生电荷泄露。这种不同阈值电压状态下电荷泄露程度的显著差异,导致了 NAND 闪存单元在发生保留错误的概率上表现出非对称特性。

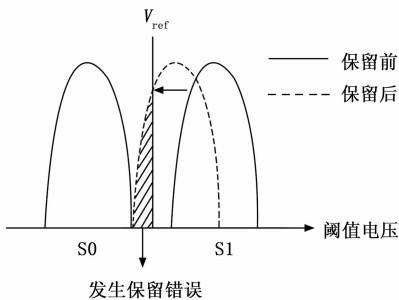


图 2 NAND 闪存单元的保留错误原理

目前,保留错误已成为闪存错误类型中的主导因素。其来源主要有两方面,一方面是陷阱辅助隧穿效应和去俘获机制导致的垂直电荷流失<sup>[15]</sup>,另一方面则是横向电荷迁移<sup>[16]</sup>。其中,横向电荷迁移是电荷俘获型 3D NAND 闪存特有的错误特征。由于电荷俘获型 3D NAND 闪存同一个 String 的闪存单元共享电荷存储层,所以当闪存单元中存储电子时,部分电子会通过横向电荷迁移进入到相邻字线之间的区域,甚至影响到相邻的闪存单元。此外,横向电荷迁移的程度与相邻字线中闪存单元的阈值电压相关,阈值电压差越大,迁移的程度越严重。在开放块中,边缘字线尤为容易受到影响,因为其相邻字线的闪存单元处于阈值电压最低的擦除态,这使得侧向电荷迁移现象更为显著,进而引发更大的阈

值电压负向偏移。因此,提升边缘字线的可靠性具有重要的研究意义。

## 2 边缘字线可靠性优化方法

在 TLC NAND 闪存中,每个闪存单元共有 8 种阈值电压状态,相邻状态之间读参考电压的判决窗口相对较窄,使得闪存单元在电荷泄露时更容易发生保留错误。值得注意的是,闪存单元阈值电压负向偏移通常只会导致其偏移至相邻状态,并且由于 TLC 闪存采用格雷码进行阈值电压状态映射<sup>[17]</sup>,所以当闪存单元发生保留错误时,通常只会出现 1 比特的误码。根据第二节的描述,TLC 不同阈值电压的 NAND 闪存单元发生保留错误的概率上也表现出非对称特性,当这种非对称的错误分布与格雷码映射相结合时,TLC 闪存中的 3 个页面的误码率也表现出明显的不均衡性。部分页面的误码率显著高于其它页面,甚至超出 ECC 的纠错能力范围。

针对上述问题,本文提出了一种名为 4-8 LC 的边缘字线可靠性优化方法。其核心思想是通过消除闪存单元中的 4 种阈值电压状态,从而扩大剩余 4 种阈值电压状态的闪存单元的读取裕量,进而减少部分页面的保留错误。具体来说,4-8 LC 方法的基本原理在于首先将 TLC 闪存单元存储的 3 比特信息划分为 2 比特有效信息和 1 比特冗余信息。然后将 2 比特有效信息相同的阈值电压状态归为一组,共分为 4 组。在这 4 组中,除了包含擦除状态的一组外,其余各组中的 2 种阈值电压状态所映射的格雷码的汉明距离需等于 1,即具有相邻关系,否则需要重新分组。最后,利用冗余的 1 比特信息,将擦除状态所在组中的另一阈值电压状态的闪存单元编程至擦除状态,同时,将其余组中原本处于低阈值电压状态的闪存单元编程至同一组中与之相邻的、阈值电压更高的状态。通过这种编程操作,即实现了 4 种阈值电压状态的消除。对于保留下来的 4 种阈值电压状态,由于擦除状态的阈值电压处于 8 种阈值电压状态的最低值,因此其不会发生保留错误。而对于其余 3 种状态,即使其发生保留错误,其偏移也仅限于同一分组中的相邻阈值电压状态,误码仅表现在冗余的 1 比特信息。因此,4-8 LC 方法通过消除特定的 4 种阈值电压状态,有效增加了剩余 4 种阈值电压状态的读取裕量,进而提升了 2 比特有效信息的可靠性。

图 3 展示了本文所使用芯片应用 4-8 LC 方法的原理图。在 TLC NAND 闪存的 8 种状态中,状态 A 和 B、C 和 D、E 和 F、G 和 ER 具有相同的高比特与低比特,仅中间比特有所区别。因此,本文将其分为 4 组,并选择将状态 A、C、E、G 删除,然后利用冗余的中间比特分别将原本处于状态 A、C、E、G 的闪存单元编程

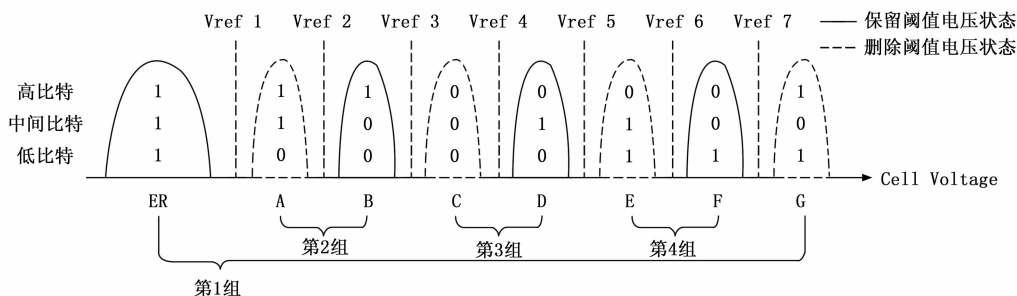


图 3 本文应用 4-8 LC 方法的原理

至状态 B、D、F、ER。经过处理的闪存单元, 若其处于状态 B、D、F, 即便其阈值电压发生负向偏移至相邻状态 A、C、E, 其存储的高比特与低比特有效信息也不会出现误码, 保留错误只对中间比特产生影响, 而处于 ER 状态的闪存单元本身不会发生保留错误。

综上所述, 本文提出的 4-8 LC 方法通过舍弃中间比特信息, 显著提高了闪存单元存储的高比特和低比特信息的可靠性。

### 3 实验结果与分析

本节首先对实验平台进行了介绍, 该平台为后续实验奠定了基础。然后设计实验测量了开放块中边缘字线与内部字线的保留错误特征, 并对 4-8 LC 方法提升边缘字线可靠性的效果进行验证。最后对实验结果进行了分析, 并与 EP 方法进行了对比。

#### 3.1 实验平台

为了对电荷俘获型 3D NAND 闪存开放块中边缘字线与内部字线的可靠性进行深入研究, 本文基于 ZYNQ-7020 型 SoC 开发了一款 NAND 闪存实验平台, 该平台主要由主控板和扩展板两部分组成。其中, 主控板以 ZYNQ-7020 型 SoC 作为主控芯片, 其在 SoC 的可编程逻辑 (PL, programmable logic) 部分实现了 NAND 闪存控制器和误码统计功能, 在处理器系统 (PS, processing system) 部分则实现相关的控制逻辑, 有效发挥了两部分各自的优势。此外, 主控板上还集成了串口、网口、以及 SD 卡槽等多种外设接口, 为高速高效地测试提供了极大的便利。扩展板则主要焊接了一块 NAND 闪存芯片及其外围电路, 通过插槽连接到主控板上, 其灵活插拔的设计使得后续的高温数据保留实验更为灵活。计算机则通过千兆以太网口连接到主控板, 与主控芯片通信, 用于保存离线数据并进行分析。

本文所使用的 NAND 闪存芯片是来自长江存储公司的电荷俘获型 3D TLC NAND 闪存, 型号为 YMN0-9TC1B1JC6C, 其详细参数如表 1 所示。这些参数为本文深入研究和评估该闪存芯片的可靠性提供了重要依据。

表 1 芯片相关参数

参数描述	参数值
页大小	16 KBytes + 2 KBytes
块大小	2 304 页
堆叠层数	128 层
存储容量	8Die/4 通道 512 GB
封装类型	BGA132
接口协议	NV-DDR3
存储技术	SLC/TLC
工作温度	0~70 °C
耐久度	3K P/E

#### 3.2 实验设计

为研究本文所使用的电荷俘获型 3D NAND 闪存的开放块保留错误特性, 并验证本文所提出方案在提升边缘字线可靠性方面的效果, 本小节设计了数据保留实验, 对应用 4-8 LC 方案前后边缘字线的可靠性进行了深入研究。

通常情况下, 随着擦写 (P/E, program/erase) 次数增加, NAND 闪存单元的隧道氧化层会逐渐磨损, 从而导致其数据保留能力下降, 更容易发生保留错误<sup>[18]</sup>。因此, 本实验重点关注处于生命期末期的闪存开放块的可靠性, 此时闪存块具有较高的 RBER, 单个页面的误码数往往超过 ECC 的纠错能力范围, 更适合观察开放块的保留错误特性和验证 4-8 LC 方法提升可靠性的效果。在本次实验之前, 本文遵循 JESD218B 标准<sup>[19]</sup>, 对实验所用的全新闪存块进行了 3 000 次的预 P/E 循环处理, 确保实验所使用的闪存块处于生命期末期。然而, 即使对于处于生命期末期的闪存块, 其在常温条件下存储的数据在失效前通常能够经历数个月的数据保留时间。若在常温下进行 360 天数据保留实验, 则实验周期过长, 成本过高。为加速数据保留实验进程, 本文依据阿伦尼乌斯方程<sup>[20]</sup>所描述的高温烘烤时间与温度的等效关系, 利用高温加速 NAND 闪存单元的电荷流失, 从而缩短时间周期。阿伦尼乌斯方程表达式如下:

$$AF = t_1/t_2 = \exp[(E_a/k) \times (1/T_1 - 1/T_2)] \quad (1)$$

其中： $AF$ 为加速因子，定义为温度  $T_1$  条件下的保留时间  $t_1$  与温度  $T_2$  条件下的保留时间  $t_2$  的比值， $Ea$  是活化能， $k$  为玻尔兹曼常数，值为  $1.380\ 649 \times 10^{-23} \text{ J/K}$ ， $T_1$  和  $T_2$  均为开氏度。本文所使用芯片的有效数据保留能力为  $40\text{ }^\circ\text{C}$  下数据保留 1 年，活化能  $Ea$  为  $1.1\text{ eV}$ ，根据公式 (1) 可以计算出在  $T_1 = 40\text{ }^\circ\text{C}$ ， $T_2 = 110\text{ }^\circ\text{C}$  时，加速因子  $AF$  约等于 1 698，即芯片在  $40\text{ }^\circ\text{C}$  条件下数据保留 365 天相当于其在  $110\text{ }^\circ\text{C}$  条件下数据保留约 5 小时。因此，两轮数据保留实验均在  $110\text{ }^\circ\text{C}$  条件下进行。此外，本文生成了伪随机码本，其中 8 种阈值电压状态的比例近似均匀分布，以更贴近闪存的实际应用场景。并且为减小不同闪存块之间的误差，实验还在同一块芯片的其它 Die 中选择了额外两组块地址，并按照相同的实验流程进行了实验。

具体的实验流程如图 4 所示。从图中可以看到，本文设计了两轮数据保留实验，第一轮实验未应用 4-8 LC 方法，旨在探究本文所使用的闪存开放块中边缘字线与内部字线的保留错误特征。第二轮数据保留实验则应用了 4-8 LC 方法，用于验证其提升边缘字线可靠性的效果。实验首先对进行了预 P/E 处理的 127 个块进行一次擦除操作，然后分别编程至 0~127 层的字线，以便于测量每一存储层作为边缘字线时的保留特性。随后，在编程后进行第一次读误码，记录其未经数据保留时的误码特性。值得注意的是，为降低临时读取错误<sup>[21]</sup>对实验结果的影响，实验在编程后到第一次读取之间设置了 10 s 以上的延迟。接着，进行第一轮数据保留实验，实验设定在  $110\text{ }^\circ\text{C}$  条件下进行数据保留，并每隔 51 分钟读取一次数据，根据前文描述，其等效于在  $40\text{ }^\circ\text{C}$  条件下数据保留 60 天。实验平台自动计算每个页面的误码情况并生成统计表格，直至总数据保留时间达到一年。在这之后，将全部闪存块的数据导出，用于离线时的误码分析，随后对边缘字线的下一存储层字线应用 EP 方法，并读取误码。完成第一轮实验后，本文再次对 127 个块进行一次擦除操作，并基于原伪随机码本生成应用了边缘字线可靠性优化 4-8 LC 方法的码本，最后重复上述步骤，完成第二轮数据保留实验。至此，实验结束。

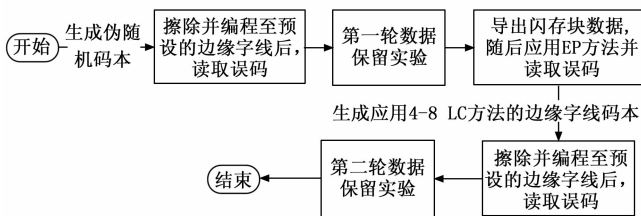


图 4 应用 4-8 LC 方法前后边缘字线可靠性研究实验流程

### 3.3 实验结果与分析

本文首先对第一轮数据保留实验中导出的闪存块数

据进行了离线处理，测量得到了生命期末期的闪存开放块在常温下数据保留一年后，其内部字线与边缘字线的保留错误特征。如图 5 所示，横轴表示保留错误类型，定义  $S0 \rightarrow S1$  表示闪存单元从阈值电压状态  $S0$  偏移至  $S1$  的类型，共分为 7 种。纵轴表示统计得到的边缘字线与内部字线的平均误码比特数。根据图 5 可以观察到，在各类保留错误类型中，边缘字线的平均误码数均显著高于内部字线，达到了内部字线的 2.97 倍。此外，7 种保留错误类型的误码比特数存在显著差异，边缘字线和内部字线的保留错误中， $D \rightarrow C$  和  $E \rightarrow D$  类型的错误均占到总错误数量的 60% 左右，而  $A \rightarrow ER$  和  $B \rightarrow A$  类型的保留错误之和仅占比不足 3%。因此，不同阈值电压状态的闪存单元在发生保留错误的概率上表现出非对称特性，符合前文所述的保留错误特征，为后文的进一步分析奠定了实验基础。

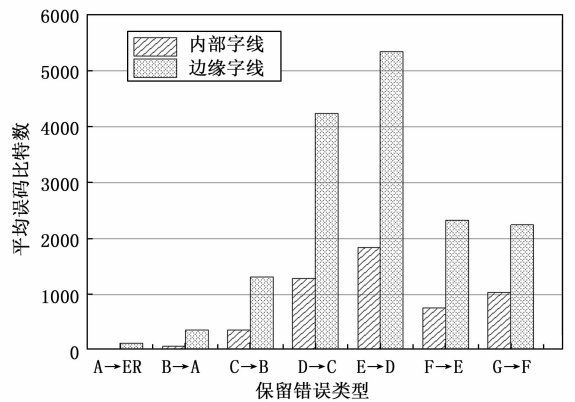


图 5 生命期末期的闪存开放块中内部字线与边缘字线的保留错误特征

然后，本文对两轮数据保留实验所测量的所有边缘字线的误码结果进行了统计与分析，结果如图 6 所示。图中横轴表示闪存块所经历的数据保留时间，纵轴反映了 127 个闪存块的边缘字线的不同页面误码的最大值。图中实线表示第一轮实验边缘字线写入随机数据后的测量结果，虚线展示了第二轮实验对边缘字线应用了 4-8 LC 方法后的测量结果。

从图中可以看出，在应用 4-8 LC 方法之前，边缘字线的误码数整体上随着保留时间的增长而逐步增加，尤其是在保留初期，误码增长更为显著。此外，在整个数据保留周期内，3 个页面的误码数呈现出差异化，其中高页面的误码数最少，低页面次之，而中间页面的误码数始终在 3 个页面误码数总和和中占据主导地位。然而，在应用 4-8 LC 方法后，低页面与中间页面的误码数不论是在保留初期还是末期，均得到了显著降低。特别地，在保留时间为 360 天时，低页和高页的误码分别降低了 99.7% 和 99.9%。

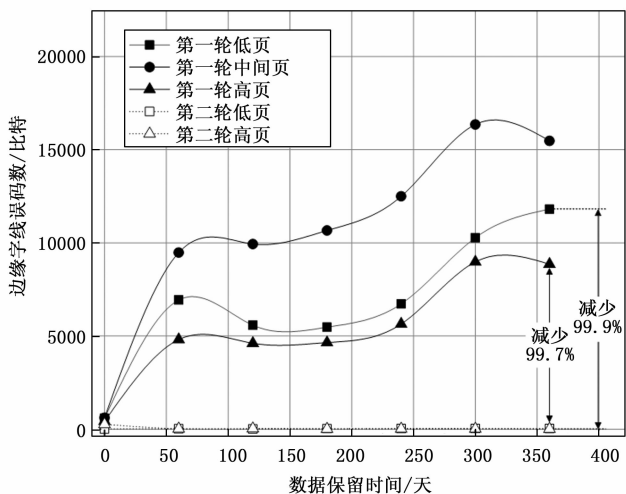


图 6 应用 4-8 LC 方法前后不同数据保留时间的边缘字线误码数最大值

进一步观察发现, 在对边缘字线应用 4-8 LC 方法后, 随着数据保留时间的增长, 低页和高页的误码逐渐降低。这主要是因为边缘字线闪存单元电荷泄露导致的阈值电压负向偏移逐渐累积, 而读取误码时的读干扰引起的阈值电压正向偏移量逐渐不足以抵消负向偏移量。因此, 随着保留时间增长, 读干扰对可靠性的影响逐渐减弱。

此外, 本文在第一轮数据保留实验后, 针对数据保留时间为 360 天的闪存块, 运用了 EP 方法, 并读取了误码信息与后续的 4-8 LC 方法进行了对比。实验结果如图 7 所示, 图中横轴代表字线所处的存储层编号, 而纵轴则直观反映了 127 个存储层分别作为边缘字线时的平均误码率。观察图 7, 可以清晰地发现, 在应用 EP 方法后, 边缘字线的原始平均误码率从原先的 1.194 5% 下降到 0.509 1%, 降幅达 57.38%。而在应用 4-8 LC 方法后, 平均误码率则是显著降低至 0.000 7%, 降幅高

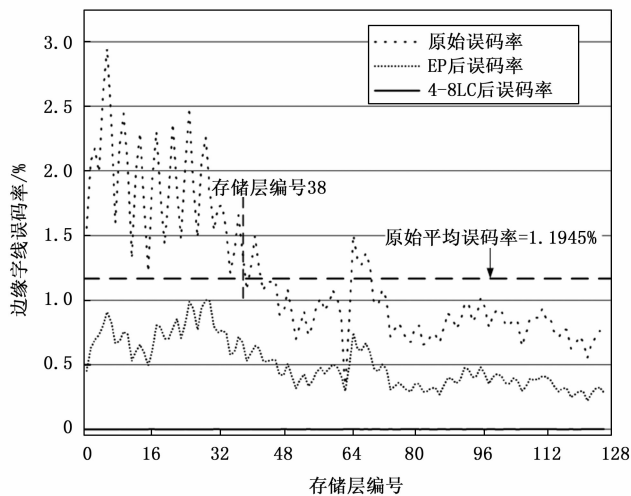


图 7 应用 EP 方法和 4-8 LC 方法后边缘字线误码率对比

达 99.94%, 提升可靠性的效果是 EP 方法的 1.74 倍。

在进一步深入分析后, 本文发现边缘字线的原始误码特性在存储层间存在显著差异。其中, 存储层编号为 63 和 64 的边缘字线, 其 RBER 明显低于其他边缘字线, 其原因可能是本文所使用的 128 层 NAND 闪存芯片由两个 64 层颗粒堆叠而成, 该制造方法使其数据保留能力得到了较大提升。此外, 对于存储层编号小于 38 的边缘字线, 其误码率均高于平均误码率。即便如此, 4-8 LC 方法仍然在这些复杂情况下显著降低了边缘字线的误码率, 并展现出提高可靠性的显著效果。

综上所述, 4-8 LC 方法能够显著降低边缘字线的 RBER, 从而有效提升数据存储的可靠性。

#### 4 结束语

本文首先介绍了电荷俘获型 3D NAND 闪存开放块的相关概念, 进而深入剖析了开放块中的保留错误特征。在此基础上, 本文提出了一种 4-8 LC 方法, 并详细阐述了其基本原理。为验证该方法的有效性, 本文进一步通过实验手段定量分析了 4-8 LC 方法对提升边缘字线可靠性的效果。实验结果表明, 在闪存块历经 3 000 次 P/E 循环, 并在常温下数据保留一年的实验条件下, 边缘字线的平均保留错误数量达到了内部字线的 2.97 倍。应用 4-8 LC 方法后, 边缘字线的低页和高页的误码率分别降低了 99.7% 和 99.9%。此外, 与 EP 方法相比, 4-8 LC 方法在 NAND 闪存生命周期末期提升边缘字线可靠性的效果是 EP 方法的 1.74 倍。

#### 参考文献:

- [1] LUO Y, GHOSE S, CAI Y, et al. HeatWatch: improving 3D NAND flash memory device reliability by exploiting self-recovery and temperature awareness [C] //2018 IEEE International Symposium on High Performance Computer Architecture (HPCA), Vienna: IEEE, 2018: 504 - 517.
- [2] WEI D, PIAO Z, FENG H, et al. TCSE: a target cell states elimination coding strategy for highly reliable data storage based on 3-D NAND flash memory [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2022, 41 (12): 5299 - 5312.
- [3] 许子皓. 存储厂商竞速 200 层以上 3D NAND 芯片 [N]. 中国电子报, 2022-08-02 (008) .
- [4] KONG Y, ZHANG M, ZHAN X, et al. Retention correlated read disturb errors in 3-D charge trap NAND flash memory: observations, analysis, and solutions [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2022, 39 (11): 4042 - 4051.

(下转第 239 页)