

基于 FPGA 的相关干涉仪测向算法的设计与实现

林泽龙^{1,2}, 曲英杰¹

(1. 青岛科技大学 信息科学技术学院, 山东 青岛 266061; 2. 青岛中浩瑞电子科技有限公司, 山东 青岛 266001)

摘要: 为了适应日渐复杂的电磁对抗环境, 有别于传统的处理器采用串行架构使用 IQ 数据进行测向算法运算, 为了能更快速、更稳定的计算出相位差, 提出一种优化后的相关干涉仪测向算法架构并在 FPGA 上实现设计。详细给出 FPGA 测向系统架构和运算流程, 并结合实际采取一个稳定的、经济实惠的系统架构; 为了满足后续实际应用需求, 在 Xilinx 的 xc7vx690tffg1927-2 为逻辑控制单元的载板进行板级测试中, 验证了 FPGA 进行相关干涉仪测向识别结果的稳定性和高效性, 经过验证发现, 相较于传统的 FPGA 相关干涉仪测向架构, 经实验测试后实现了所提出的架构在 LUT 资源占用率上降低了 39.5%, 测向速度提高 17%, 可处理信号带宽 80 MHz, 跳速高达 1 200 跳/s。

关键词: 相关干涉仪测向算法; FPGA; 资源优化; 快速运算; 宽带测向

Design and Implementation on Correlation Interferometer Direction Finding Algorithm Based on FPGA

LIN Zelong^{1,2}, QU Yingjie¹

(1. College of Information Science and Technology, Qingdao University of Science and Technology, Qingdao 266061, China;
2. Qingdao Sino Hi-Radio Electronics Technology Co., Ltd., Qingdao 266001, China)

Abstract: In order to adapt to increasingly complex electromagnetic countermeasures environment, and differ from traditional processors by using serial architecture and IQ data for direction finding algorithm, an optimized correlation interferometer direction finding algorithm architecture is proposed and designed on FPGA to quickly and stably calculate the phase difference. This paper gives the architecture and operation flow of FPGA direction finding system in detail, and adopts a stable and economical system architecture in practice. In order to meet the requirements of subsequent practical applications, the board level testing is completed on the Xilinx's xc7vx690tffg1927-2 carrier board with the logic control unit, the FPGA correlation interferometer direction finding recognition results verify the stability and efficiency. The verification results show that compared with the traditional FPGA correlation interferometer direction finding architecture, the LUT resource occupancy of the proposed architecture is reduced by 39.5%, the direction finding speed is increased by 17%, with a process signal bandwidth of 80 MHz and jump speed of up to 1 200 hops/s.

Keywords: correlation interferometer direction finding algorithm; FPGA; resource optimization; fast operation; wide-band direction finding

0 引言

相关干涉仪测向算法具备运算简洁、测向精度高、适用于多种天线阵列架构等优点而被广泛应用于军用、民用的测向系统架构中^[1]。传统的相关干涉仪测向算法一般使用 FPGA 进行前端的数据采集和简单的数据预处理, 然后在处理器上使用 IQ 数据进行算法运算, 这种方式的优点在于逻辑运算灵活、整体开发周期短和计算便利。但是这种方法也有一定的弊端, 它采用串行运算的方法导致系统测向速度慢, 而且在电磁环境逐渐以短时触发的信号为主流的当下, 暴露出了由于短时触发带来的不稳定 IQ 数据导致算法运算不准确、计算效率低等问题, 面对高速的跳频信号捕获能力不足, 因此通过处理器进行相关干涉仪测向已经很难达到实际应用需求。当下, 实际电子对抗领域的测向信号要求主要以扩频信号为主, 作为扩频信号的分支之一

的跳频信号, 因其有着强大的抗干扰性、抗截获能力强、结合码分多址技术易于多个电台组网等优点且还具有短时触发能力的优点, 而被广泛应用于现代军事通信领域。因此, 针对跳频信号的测向在现代电子对抗过程中非常重要, 谁可以快速、准确的对跳频信号进行捕获测向谁就可以获得该军事活动的先机。

相关干涉仪测向算法是基于不同阵子间相位关系测算的测向方法, 具备高测向灵敏度、高测向精度和快速测向的优点, 被广泛应用于各种测向系统, 但是也带来了由于算法运算量过大导致对于短波测向的多信号测量能力下降的缺点^[5]。

现场可编程门阵列芯片 (FPGA, field programmable gate array) 具备大量的逻辑运算单元, 且可以高度并行的处理数据的架构, 还能对高速数据进行实时运算的数据处理能力, 适用于大运算量、低复杂度的算法结构的实现^[2]。

收稿日期: 2023-11-03; 修回日期: 2023-11-27。

作者简介: 林泽龙(1999-), 男, 硕士。

通讯作者: 曲英杰(1964-), 男, 博士, 教授。

引用格式: 林泽龙, 曲英杰. 基于 FPGA 的相关干涉仪测向算法的设计与实现[J]. 计算机测量与控制, 2024, 32(5): 318-324.

此前处理器串行运算进行相关干涉仪测向系统对 FPGA 的利用度不高, 而由于 FPGA 的特性导致了将相关干涉仪测向算法在 FPGA 上实现可以极大地提高算法的运算速度, 并且减少了传统测向系统的运算流程, 不需要将 IQ 数据上传后计算而是直接在 FPGA 端进行并行运算处理, 这样就能获取稳定的 IQ 数据减少传输过程中数据丢失带来不稳定的概率, 也能提高对高速跳频信号的捕获能力。

此外, 针对直接将相关干涉仪测向算法在 FPGA 实现会导致实际开发中资源占用过大的问题, 对各个模块结构占用资源进行分析, 提出了对相关干涉仪测向算法系统架构的进行多路相位差运算逻辑和坐标旋转数字计算器 (CORDIC, coordinate rotation digital computer) 运算模块的优化, 在保证系统稳定进行高速高质量测向的同时, 降低了功耗, 提高了资源利用率, 为系统的后续功能开发降低了成本。

1 干涉仪测向算法原理

干涉仪测向方法中, 一类是利用多组基线解相位模糊的方式来计算角度信息, 相应的算法称为标准干涉仪算法; 另一类则是利用多组基线的相位信息与样本数据进行相关, 通过在空间搜索相关度最大的角度来获取角度信息, 相应的算法称为相关干涉仪算法^[4]。

相关干涉仪测向算法根据各个阵子之间接收待测信号产生的相位差以及同测向样本库信号进行相关性计算匹配实现测向功能, 且由于使用的是相位差进行运算避免了相位模糊, 具有较高的测向精度^[3]。相关运算指的是各个阵子之间产生的相位差与测向样本库中的理论上各个阵子之间产生的相位差进行相关度运算, 查询到相关值最大的一组相位差数据, 取出对应的角度, 得到待测信号的人射角度, 再使用二次插值来精细化测向结果^[4]。

相关干涉仪测向系统的实际搭建是通过多阵子天线在接收一个信号后进行放大输出, 经过测向接收机进行下变频、滤波等操作将中频同步输出给同步 AD 子卡, 进行 AD 数模转换将信号转化为 16 位 AD 数据。传统的处理器实现相关干涉仪测向在这里只是采用 FPGA 进行简单的数据预处理, 将 AD 数据进行下变频、滤波抽取整形的操作后生成窄带的 DDC 数据上传给处理器, 处理器通过由加法器、减法器 and 除法器构成的数字处理单元运算出不同阵子采集的 IQ 信号之间的相位差, 再去和存放在存储单元的理论模板库数据进行相关运算, 根据频率和测量相位差在样本群中对比后获得相关度最高的角度为测向结果。

将待测信号来波方向设为 θ , 以五阵元测向为例, 将指向正北方向的阵子作为参考点可以获得一组相位差值矢量 $\Phi = [\varphi_{12}, \varphi_{13}, \dots, \varphi_{15}]^T$, 其中, φ_{1k} ($k=2, 3, \dots, 5$) 指的是 1 号参考点与第 k 个阵元之间的相位差数据^[1]。

样本库的采集建立是对于测量范围内的频点以相同步进等间隔取若干频点, 对于每个频点在 360 度内, 以相同步进等间隔取若干个角度 θ_i ($i=1, 2, \dots, n$), 对于任意

一个角度 θ_i , 都可以计算一组相位差 $\Psi_i = [\Psi_{1i}, \Psi_{2i}, \dots, \Psi_{5i}]^T$, 将所有频点获取的所有角度的相位差组作为相关干涉仪测向算法的测向样本库。将实际测量的一组相位差数据与测向样本库按照频率取出的角度相位差数据逐一进行相关运算获得对应的相关度, 相关度的最大值所对应的方位角 θ , 即为来波方向的估计^[1]。

相关度的计算公式如下所示^[1]:

$$\rho_i = \frac{|\Phi^H \times \psi_i|}{(\Phi^H \Phi)^{1/2} \times (\psi_i^H \psi_i)^{1/2}} \quad (1)$$

由于不可能将频率范围内所有方向上的信号在测向天线阵上的相位分布都存入样本中, 所以实际使用时, 是按一定规律设点, 同时在频率和方位上, 建立样本群^[15]。即便如此, 样本库的存储也需要占用大量的存储空间。

传统的处理器运行相关干涉仪测向算法系统架构是通过天线接受外界信号, 将信号传输给接收机, 接收机模块进行数字下变频将信号变为要求的中频信号给 FPGA, FPGA 将信号进行数字转化并进行预处理形成窄带数据后上传给处理器, 最后由处理器进行相关干涉仪测向。

2 FPGA 算法优化

对相关干涉仪测向算法的处理器测向运算和 FPGA 进行运算进行对比分析, 采用了将原本在单板机上运行算法转移到 FPGA 进行运算, 使用 FPGA 进行逻辑运算的关键技术和方法, 经实验测试实现了相关干涉仪测向算法的快速运算。其中的技术创新包括测向样本库读取修改为第三代双倍数据速率同步动态随机存储器 (DDR3 SDRAM, double-data-rate 3 synchronous dynamic RAM) 读取、数字下变频 (DDC, digital down converter) 的 IQ 数据直接使用且可以直接利用宽带 DDC 进行运算、测向接收机简化流程修改为直接控制进行宽带测向以及运用 CORDIC 算法进行相位差运算的快速稳定计算。

在相关干涉仪测向算法中, 测向样本库根据所需频段不同占用的存储空间也不一样, 常规相关干涉仪测向算法应用频段在 200 MHz~8 GHz, 这样只能将样本库进行单独的存储, 在常规设计中是将样本库存放在数据库中, 由处理器访问数据库调用相关的数据集进行运算分析。而在 FPGA 实现的架构则是将占用大量存储空间的测向样本库存放在 DDR3 中, 算法在进行样本相关运算和相关度对比的时候直接访问 DDR3 的存储空间取出相关相位差数据进行相关度运算比对。二者对比之下, FPGA 访问 DDR3 的速度更快, 在进行实际 DDR3 读写数据速度测试后, 32 位的 DDR3 设计理论速度可达 6.4 GB/s, 实际读取速度 5.12 GB/s。在 FPGA 进行访问 DDR3 的样本库运算能极大的节省传统相关干涉仪测向算法在处理器中去访问数据库空间的测向样本库流程的时间。

传统相关干涉仪测向算法是处理器通过读取 FPGA 打包上传的同步 DDC 的 IQ 数据, 取固定连续数据量的数据进行相位差计算和相关度计算。而在 FPGA 端直接连续读取同步 DDC 数据进行运算, 除了避免传统数据读取宽带

DDC 数据由于数据量传输大于总线传输速度外产生的容易丢包的现象外, 以及读取窄带 DDC 数据过程中由于低采样率带来的数据产生缓慢加上打包上传过程带来的速度更慢的运算缓慢, 还可以避免打包之间数据不连续影响测向结果的现象。而基于 FPGA 实现相关干涉仪测向算法是直接对输入的 AD 数据进行下变频和滤波操作, 进行 2 倍抽取滤波后的采样率为 102.4 MHz, 产生的带宽为 80 MHz, 直接进行相位差计算, 既避免了高速采样 DDC 数据不连续的问题, 又减少了数据打包缓存上传过程所需时间还可以直接采用宽带数据进行宽带测向。

在传统的测向系统架构中, 处理器控制接收机的流程为: 由处理器通过总线控制接收机协议指令来控制接收机模块, 在这个流程中由于处理器发送指令和本身接收机带来的稳定时间均需要进行延时处理, 处理器控制的流程更慢。而由 FPGA 直接控制接收机, 由处理器将测向频率信息直接通过寄存器下发给 FPGA, FPGA 进行缓存, 当开启测向流程的时候 FPGA 的 SPI 模块可以直接进行连续的解析, 只需要等待 SPI 解析发送和接收机的稳定时间即可, 整段控制过程视具体接收机条件而定, 对实际控制流程、指令控制流程和接收机实际延迟进行研究表明 FPGA 直接控制接收机架构中这个时间是 100 μ s, 时间关系流程如图 1 所示。

运用 CORDIC 算法通过移位和加减运算, 能递归计算常用函数值, 通过一系列固定的、经过特殊设计的、与运算基数相关的角度不断累加以逼近所需的旋转角度。通过对各种运算中会出现的旋转角度进行限制处理, 使得每个旋转角度可以直接通过对一系列小角度旋转迭代进行逼近运算完成运算, 结果乘以 \tan 项实现移位操作, 通过设置初值实现伸缩因子的校正, 经过 n 次迭代后得到, 迭代值趋近最终值。采用流水线架构在 FPGA 中实现 CORDIC 算法, 流水线结构虽然比迭代结构占用的资源多, 但是它大大地提高了数据的吞吐率。流水线结构是将迭代结构展开, 因此 n 个处理单元中的每一个都可以同时并行处理一个相同的迭代运算。

此外, 由于 FPGA 和处理器之间数据总线的传输速率的限制, 处理器端通常只能进行窄带测向, 而 FPGA 相关干涉仪测向系统则避免了这个限制, 可以直接进行宽带测向, 在验证架构中可以实现 80 MHz 的宽带高速测向。相对于传统处理器实现的相关干涉仪测向算法架构, 基于 FPGA 实现的相关干涉仪测向算法架构实现的宽带测向具备高速快速测向、宽带测向的技术创新和独特之处。

为了对优化后的系统进行实际应用的测试, 以便于后

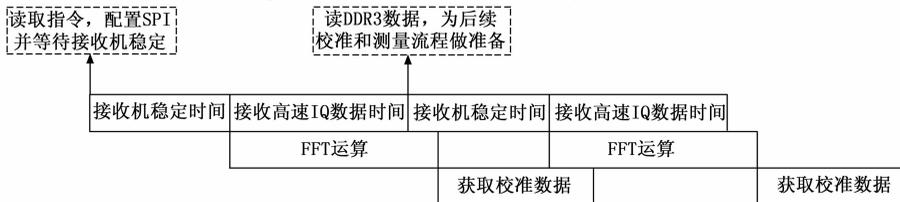


图 1 FPGA 测向流程时间分布图

期进行实际工程使用, 将基于 FPGA 实现的相关干涉仪测向系统在五阵元五通道的架构中进行验证。先将五阵元五通道相关干涉仪测向系统的 FPGA 架构流程图和处理器进行传统相关干涉仪测向架构流程图绘制如图 2 和图 3 所示进行对比分析。

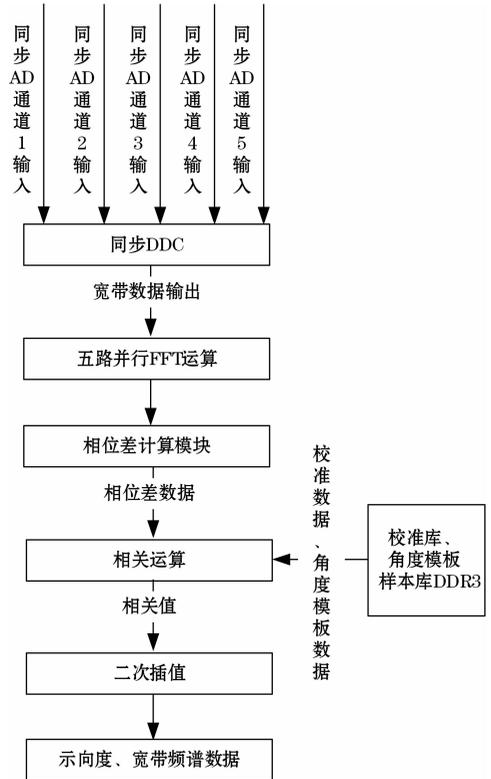


图 2 FPGA 相关干涉仪测向流程图

通过图 3 和图 4 对比可知, 对于基于 FPGA 实现的相关干涉仪测向系统和基于处理器的相关干涉仪测向系统除了减少了同步 DDC 数据传输链路和指定包数等待时间外, 还减少一次采集校准源数据的时间。此外, 通过图 2 的时间分布图可以看出, FPGA 实现的相关干涉仪测向不同于传统算法流程串行计算, 采用的是并行数据处理的架构, 接收高速 IQ 数据和算法进行快速傅里叶变换 (FFT, fast fourier transform) 计算是并行进行的。而对于二者共有的 FFT 运算、相位差计算、相关计算、二次插值模块和控制等待接收机的时间 FPGA 端逻辑运算速度也会比处理器端实现的架构会更快。

3 相关干涉仪测向算法的 FPGA 实现与验证

将相关干涉仪测向系统进行 FPGA 实现, FMC 采用五通道架构, 具体 FPGA 功能流程分布图如图 4 所示。接收完低速 AD 数据后通过同步直接数字频率合成 (DDS, direct digital frequency synthesis) 进行混频、滤波抽取处理, 将 AD 信号转化为 IQ 信号, 此处使用的 DDS 要求同步输出以保证输入的 AD 信号转化为 IQ 之后

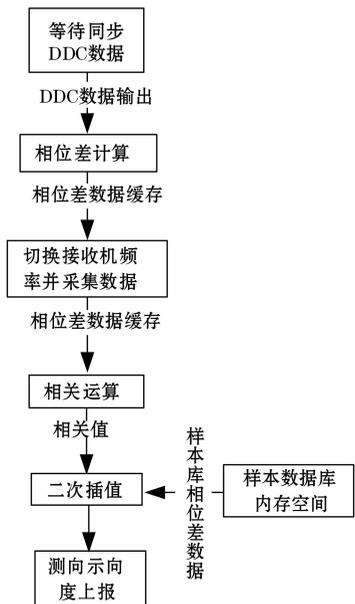


图 3 处理器相关干涉仪测向流程图

也是同步输出, 对五路 IQ 数据进行并行 FFT 处理, 进行相位差运算后使用校准源数据进行通道校正操作, 从 DDR3 读取样本库相位差数与其进行相关运算, 进行相关度最高的值为方位信息输出, 将 1 路 AD 进行的 FFT 输出的频谱数据一并打包输出处理, 通过 XMDA 控制输出再由处理器进行解析显示结果。

相关干涉仪测向的工作流程分为校准工作、宽带测向工作两部分。在校准工作中, 先对五路同步 DDC 进行带宽设置, 由于进行的是宽带快速测向, 因此统一设置成 80 MHz 即可; 配置工作模式为校准模式, 此时是进行对校准源的相位差进行测量计算, 根据配置的 FFT 计算次数和接收机分段信息进行测量, 会将五通道中通道 1 和通道 2、通道 1 和通道 3、通道 1 和通道 4、通道 1 和通道 5 的每个点计算出相位差上传给 ARM64, 此时需要 ARM64 端对数据格式进行处理和筛选, 每 1 MHz 查找频谱的最大值并将相应的相位差数据取出作为该频点的相位校准数据, 最终形成 81 组相位差对应 80 M 带宽内步进为 1 MHz 的数据, 整合写入 DDR3 中。在宽带测向工作中也是需要同时对同步 DDC 进行带宽设置, 不同的是工作模式需要切换到扫描测向模式进行扫描测向, 根据配置的 FFT 计算次数和接收机分段信息进行测量, 算法模块会根据频段进行校准处理、相关匹配最后运算出每个点的测向结果上传。

此外, ARM64 需要对写入模板的数据进行量化处理, 将角度转化为 $(-\Pi, \Pi)$, 进一步量化为 $(-32768, 32767)$ 写入 DDR3 中, 且写入位置要严格按照频率步进写入。

在实际开发流程中, 五路同步 DDC 的设计和和相关干涉仪的设计分为两大功能模块, 图 5 和图 6 所示的是使用 Vivado 2018.3 对基于 FPGA 实现的相关干涉仪测向系统进行 RTL 分析的原理图。由图可知相关干涉仪测向算法基于 FPGA 实现的逻辑原理过程。

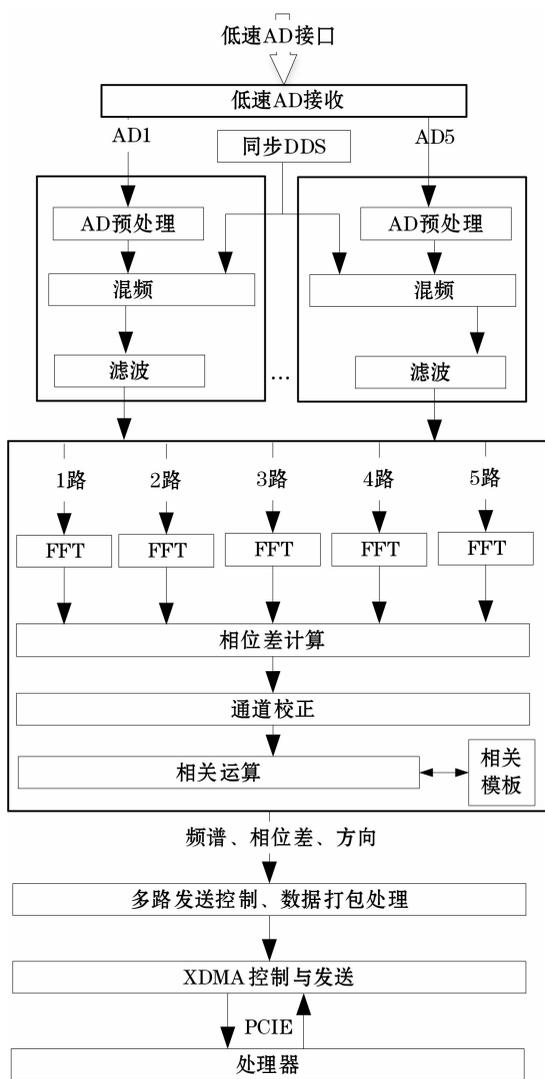


图 4 相关干涉仪测向 FPGA 功能流程图

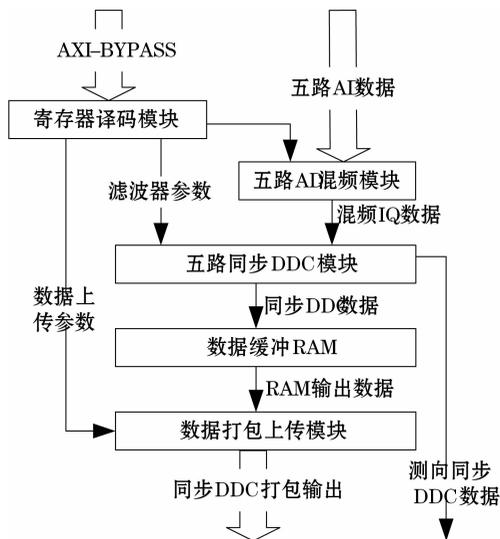


图 5 五路同步 DDC 的 RTL 原理图

在进行相关干涉仪测向算法运算前需要对前端采集的

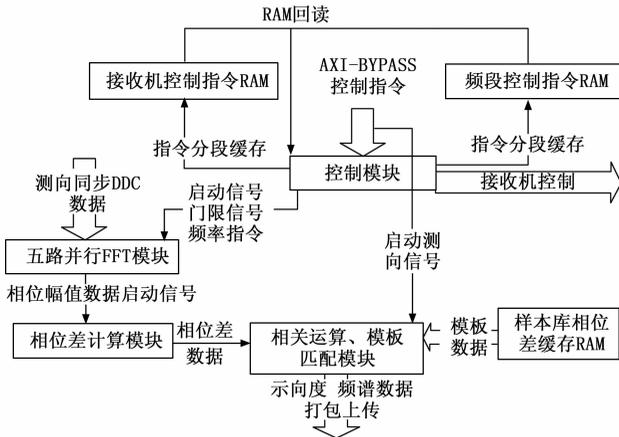


图 6 相关干涉仪测向的 RTL 原理图

信号进行数字处理，数字正交下变频一种方法是采用经过混频+滤波方案。这种方案可以让正交混频有更高的精度还可以抑制高频噪声，但是也存在很难产生高频的信号，当前端 AD 采集进行大带宽、高采样率的数据采集时，实时性会下降。数字正交下变频的另外一种方法是基于多相滤波的正交数字下变频，这种方法可以在低采样率的情形下实现下变频，不需要额外进行正交本振处理和混频运算处理，极大地减少了下变频处理的运算量，适用于对实时性要求较高的系统。当然，由于进行奇偶抽取导致 I 路和 Q 路数据在时序上有差异，需要额外的校正处理，因此，有限冲激响应滤波器（FIR, finite impulse response filter）就可以起到移相处理和低通滤波的作用了。针对于系统输入的 204.8 MHz 采样率要求，实际使用的是基于多相滤波的正交数字下变频。

在五路同步 DDC 模块中，ARM64 端通过 AXI-BYPASS 总线实现指令的下发，下发的指令经过译码后给功能模块，可分为滤波器系数指令和数据上传指令。五路 AD 信号接收经过 DDS 混频处理形成混频 IQ 数据，配合相关的参数实现数字正交下变频的混频+滤波方案输出五路同步 DDC 数据。经过 RAM 缓存后根据数据上传指令的要求进行数据上传，同时为后续的相关干涉仪测向算法模块提供运算数据。

在相关干涉仪测向算法模块中，控制模块作为核心解析 ARM64 下发的指令进行解析和根据频段的分段缓存操作，并根据时序要求进行对五路并行 FFT 模块、相关运算和模板匹配模块的启动指令发送。在接收五路同步 DDC 数据后，配合控制模块解析的启动信号、门限信号和频率指令进行五路并行 FFT 运算，同时进行对五路数据的 FFT 运算，此时会保留参考天线即第一路数据的 FFT 结果作为频谱结果保留上传，并输出相位信息和幅值信息以及相位差计算模块启动信号给相位差计算模块。相位差计算模块进行对五路数据的相位信息进行运算获得 4 组相位差信息，即通道 1 和通道 2、通道 1 和通道 3、通道 1 和通道 4、通道 1 和通道 5 之间的相位差结果。此时运算的时序是可控的，

计算完成后启动相关运算和模板匹配模块，该模块根据频率信息进行对样本库缓存的相位信息的读取，与其进行相关运算获得相关度后匹配模板信息获得指向度，将结果和上述频谱结果信息一起打包上传。

在进行板机验证时通过逻辑分析仪（ILA, integrated logic analyzer）进行对 FPGA 系统性能的分析。ILA 捕获处理器下发的启动测向指令 start_cdf 的上升沿为触发条件，FPGA 控制接收机指令 cdf_spi_start、FPGA 相位差计算启动信号 start_source、FPGA 校准流程启动信号 start_calib、FPGA 相关匹配信号 start_match、测向结果输出信号 cdf_pcie_wea、cdf_rdy_busy 为整个测向过程忙状态，工作时为 1，对 FPGA 进行相关干涉仪测向流程进行检测分析，整个测向流程捕获见图 7 所示，图 8 为 FPGA 接收处理器启动测向指令，图 9 为输出相关干涉仪测向结果。



图 7 相关干涉仪测向的 ILA 监控图

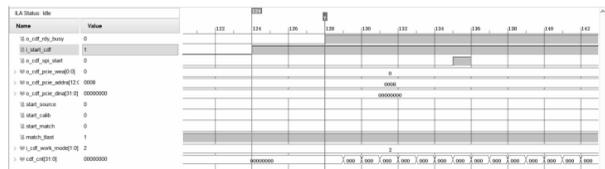


图 8 相关干涉仪测向启动的 ILA 监控图

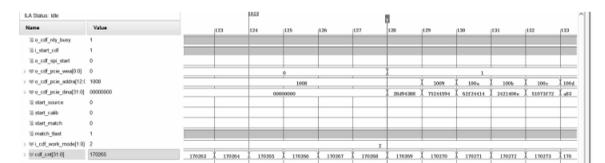


图 9 相关干涉仪测向结果输出的 ILA 监控图

为了更好地检测系统工作时间，单独设计 cdf_cnt 计数器，在启动测向时开始计数直至完成一次测向流程复位归零，采用的系统时钟为 204.8 MHz，单时钟周期时长 0.004 88 μs。如图 9、图 10 所示，从 ARM64 端启动测向指令开始到相关干涉仪测向算法模块输出测向结果经过 170 270 个时钟周期，合计单次进行测向相关干涉仪测向算法运算时长为 830.917 6 μs。

Utilization	Name	Clocks (W)	Signals (W)	Data (W)
3.892 W (...)	u_rpt2202_user_t...	0.898	1.219	1.198
> 2.669 ...	u_multi_calc (mult...	0.391	0.938	0.917
> 0.642 W (4...	u_multi_fitting (mu...	0.41	0.083	0.082
> 0.49 W (3...	u_multi_calib (mul...	0.06	0.186	0.186
> 0.058 W (1...	u_work_ctrl (cdf...	0.023	0.007	0.007

图 10 FPGA 相关干涉仪系统功耗图

关于数据上传方面，FPGA 端将相关干涉仪测向结果和通道 0 的频谱数据合并打包上传到处理器，一个频谱点对应一个测向结果一边分析，通过对交互协议的解析并将

数据进行转化计算,上位机进行显示频谱和示向度。在解析结果方面,由于FPGA进行相关干涉仪测向算法运算过程对 2π 根据输入数字域信号进行量化为65 536,因此输出示向度的范围转化为 $0\sim 2\pi$,输出结果除以65 536后乘以360转化为 $0^\circ\sim 360^\circ$ 。

如表1所示,是测试3 GHz的信号测向结果,通过幅值可以判断识别的3个结果是因为上传的频谱分辨率是25 kHz,因此会有3个点高于测向门限所导致的,测向结果稳定无误。

表1 FPGA相关干涉仪测向频谱和示向度解析表

序号	频率/MHz	示向度/ $^\circ$	幅值/dBm
1	2 999.975	27	-69.4
2	3 000.000	27	-62
3	3 000.025	27	-66.8

从完成的系统性能角度上,同比文献[16],它完成一个频点计算约 $1\mu\text{s}$,本系统完成3 200点计算约 $669\mu\text{s}$;同比文献[1],它处理700 kHz带宽、跳数500~1 000跳/s的跳频信号处理时间为1 ms,本系统完成80 MHz、跳速1 200跳信号的时间约 $830\mu\text{s}$;同比文献[5],它完成单频点 360° 的相关值计算约 $1\mu\text{s}$,本系统完成3 200点 360° 相关计算约 $268\mu\text{s}$;同比文献[21]的每秒输出 $6\,400\times 500$ 个测向结果,本系统每秒输出 $3\,200\times 1\,250$ 个测向结果。验证中整个测向计算流程处理器端上报一次结果约为20 ms,而FPGA端进行80 MHz带宽测向时间约为 $830\mu\text{s}$ 。

在目前常规电磁环境使用设备中,正常要求系统指标达到系统测向精度 $\leq 2^\circ$,测向灵敏度 $\leq -110\text{ dBm}$,要求跳频信号捕获能力达到1 000跳/s。统计所有频率改变和角度改变所得到测向误差的均方根值,即为测向精度。以测试示向度偏离角度10%的示向度结果时的输出功率减去测试频点的空间损耗值为测向灵敏度。

通过上述对比可以清晰的看出FPGA实现相关干涉仪测向算法会比传统计算架构快96%,相对于同类型FPGA测向系统运算速度快17%,相对于传统处理器进行相关干涉仪测向算法运算的跳频信号捕获能力提升至1 200跳/s。通过在外场按照测试大纲的方法要求进行整机系统的相关干涉仪测向算法的测试中,所获得的系统测向精度为 $\leq 1^\circ$,测向灵敏度 $\leq -110\text{ dBm}$,符合实际电磁环境使用标准,满足实际测向工程开发指标。

4 FPGA内部资源评估

将基于FPGA实现的相关干涉仪测向系统进行FPGA的验证。根据接收机频段要求和合理的相位差比对计算的角度上,最终采用五元均匀圆阵作为天线,天线孔径设计为820 mm,单一阵子采用偶极子天线的架构。FPGA开发在Xilinx的xc7vx690tffg1927-2为逻辑控制单元的载板进行,整机系统为五阵元五通道相关干涉仪测向系统。由五阵元全向天线进行信号接收给接收机模块,接收机模块进

行数字下变频将信号变为要求的中频信号输出给底板的FMC子板,进行AD转换和五路同步AD输出给FPGA模块进行数字域处理,而FPGA进行数字逻辑运算和相关的功能开发包括心跳数据、频谱功能模块、同步DDC模块、相关干涉仪测向算法模块、接收机控制模块等,将相关的数据使用PCIE上传的ARM64进行数据解析合并显示。

验证的FPGA相关干涉仪系统架构完成综合布局布线后所需详细的资源如表2所示。相关干涉仪测向算法整机系统占用Slice LUT资源数量为79 219,占690 t板卡总资源比例为18.29%;占用Block RAM资源数量为537,占690 t板卡总资源比例为36.53%;占用DSP资源数量为265,占690 t板卡总资源比例为7.36%。

表2 测向模块占xc7vx690tffg1927资源明细表

xc7vx690tffg1927	Slice LUT	Block RAM	DSP
占用个数	79 219	537	265
690 t板卡资源占比/%	18.29	36.53	7.36

由表2可知,FPGA实现相关干涉仪测向算法除了算法开发外,还预留很大的空间给系统其他诸如频谱模块、异步DDC模块、信道化PDW运算功能等其他功能的开发,此外该架构还兼顾了宽带频谱功能,即上传测向结果的同时将对应的频谱数据也进行上传,兼顾了同步信号的频谱功能开发,减少了处理器端线程开发。

对于FPGA系统各模块资源占用情况如表3所示。通过对比分析可见FFT模块占用的Slice LUT资源数量为45 522,占690 t板卡总资源比例为10.5%,占用的Block RAM资源数量为265.5,占690 t板卡总资源比例为18.1%;相位差计算模块和校准模块占用的Slice LUT资源数量为25 951,占690 t板卡总资源比例为6%,占用的Block RAM资源数量为126,占690 t板卡总资源比例为8.6%,占用的DSP资源数量为265,占690 t板卡总资源比例为7.36%;相关度匹配计算模块占用的Slice LUT资源数量为5181,占690 t板卡总资源比例为1.2%,占用的Block RAM资源数量为71,占690 t板卡总资源比例为4.8%;控制模块占用的Slice LUT资源数量为1 375,占690 t板卡总资源比例为0.3%,占用的Block RAM资源数量为48,占690 t板卡总资源比例为3.3%;对于相关干涉仪测向FPGA实现各功能模块所需功耗如图10所示,总功耗为3.9 W,其中FFT模块占用0.642 W,相位差计算校准模块占用2.678 W,相关度计算匹配模块占用0.49 W,控制模块占用0.058 W。相对于业界大部分测向系统而言,

表3 各系统模块占用资源明细表

	Slice LUT	Block RAM	DSP
FFT模块	45 522	265.5	0
相位差计算校准模块	25 951	126	265
相关度计算匹配模块	5 181	71	0
控制模块	1 375	48	0

虽然有进一步优化的条件,但是也是低功耗实现的模块了,且不会占用过度的板卡功耗。

5 结束语

近年来,电磁对抗领域的愈加激烈,能更快更准确地捕获入射信号方位信息成为一个重要指标,快速准确的捕获高跳速的跳频信号成为当代电磁对抗主流。

经过实际应用测试,将相关干涉仪测向算法架构在 FPGA 实现,具备宽带测向快速运算、高精度测向、具备捕获高跳速跳频信号能力、高资源利用率和稳定测向的优点,适用于实际电磁对抗应用设备,具备了同步发现和测向的独特之处,系统性能、实用性和适用性均得到验证,将无线电监测系统往智能化发展。但是也存在一定不足,比如资源利用率有待进一步提高、功耗有待进一步降低等,相信随着软硬件能力的不断提高,这些问题都会得以解决,测向能力也会进一步提高。在硬件和算法两方面升级下,测向精度、测向灵敏度和测向速度能够进一步的提升。

参考文献:

- [1] 韩广,王斌,王大磊. 基于 FPGA 的相关干涉仪算法的研究与实现 [J]. 电子技术应用, 2010, 36 (7): 76-80.
- [2] 田耕,徐文波,张延伟. 无线通信 FPGA 设计实现 [M]. 北京: 电子工业出版社, 2008.
- [3] 何杰伟. 基于无人机平台的无线电测向技术研究 [D]. 兰州: 兰州交通大学, 2020.
- [4] 杜政东,魏平,尹文禄,等. 一种快速二维相关干涉仪测向算法 [J]. 电波科学学报, 2014, 29 (6): 1176-1182.
- [5] 耿赟,谷振宇. 基于 FPGA 的短波相关干涉仪测向 [J]. 舰船电子对抗, 2014, 37 (2): 57-60.
- [6] 姚家苗,郑林华,杨鹏. 均匀圆阵相关干涉仪相位模糊问题研究 [J]. 舰船电子对抗, 2021, 44 (6): 88-94.
- [7] WENPENG Z, RUILIN L, QIAN L, et al. Optimization of lib of phase-difference in correlation interferometer using ekf [J]. Telecommunications and Radio Engineering, 2021, 80 (3): 59-75.
- [8] LIM JOONGSOO, KIM YOUNG HO, KIM KICHHL. A simulator for analyzing the accuracy of correlative interferometer direction finder [J]. Convergence Society for SMB, 2017, 7 (2):
- energy consumption through lossless and near-lossless compression [J]. IEEE Trans Biomed Circuits Syst, 2018, 12 (1): 231-241.
- [22] BLUNDELL I, BRETTE R, CLELAND T A, et al. Code generation in computational neuroscience: A review of tools and techniques [J]. Front Neuroinformatics, 2018, 12: 68.
- [23] CHEN S Z, FANG J B, CHEN D L, et al. Adaptive optimization of sparse matrix-vector multiplication on emerging many-core architectures [C] // New York: IEEE, 2018: 649-658.
- [24] MA Q, GUO L, ALI ZEINOLABEDIN S M, et al. Ultra-low power and area-efficient hardware accelerator for adaptive neural signal compression [C] // New York: IEEE, 2021: 1-4.
- [25] ALVAREZ G D Y, FAVARO F, LECUMBERRY F, et al. Wireless EEG system achieving high throughput and reduced

53-58.

- [9] 毛家琪,高博,翟颖,等. 宽带高速跳频信号的精细化侦察处理技术研究 [J]. 现代导航, 2022, 13 (4): 278-283.
- [10] 拓世英. 阵列信号序贯检测与快速测向方法研究 [D]. 长沙: 国防科技大学, 2017.
- [11] 倪刚,贺冲,曹岸杰,等. 基于时间调制圆阵的单通道相关干涉仪测向 [C] //2021 年全国天线年会论文集, 2021: 2363-2366.
- [12] 张田. 基于相关干涉仪的双通道测向系统的研究与实现 [D]. 兰州: 兰州交通大学, 2018.
- [13] 江威,蔡春霞,成章. 五元均匀圆阵干涉仪测向解模糊方法 [J]. 电子设计工程, 2021, 29 (18): 170-174.
- [14] 陈静. 舰船短波信号快速测向技术研究及仿真 [J]. 无线电工程, 2021, 51 (11): 1320-1325.
- [15] 贾立哲,魏利辉. 相关干涉仪测向算法的 FPGA 设计实现 [J]. 无线电工程, 2006 (12): 40-42.
- [16] 田剑豪. FPGA 在无线电监测中的应用分析与展望 [J]. 中国无线电, 2019 (10): 46-48.
- [17] 熊正大,张宏伟. 基于CORDIC算法的干涉仪测向的FPGA实现方法 [J]. 电子技术与软件工程, 2020 (3): 113-115.
- [18] 李鑫儒,范玉进,张建军. 基于FPGA的Watson-watt测向算法实现 [C] //天津市电子学会,天津市仪器仪表学会. 第三十五届中国(天津)2021'IT、网络、信息技术、电子、仪器仪表创新学术会议论文集,天津市电子学会, 2021: 57-59.
- [19] 李鑫儒,范玉进,张建军. 基于FPGA的测向信号预处理设计 [C] //第三十六届中国(天津)2022'IT、网络、信息技术、电子、仪器仪表创新学术会议论文集,天津市电子学会, 2022: 234-237.
- [20] 刘博,范玉进,张建军. 基于FPGA的侦察测向一体化平台研究与实现 [C] //第三十六届中国(天津)2022'IT、网络、信息技术、电子、仪器仪表创新学术会议论文集,天津市电子学会, 2022: 256-259.
- [21] 段陆洋,曹磊,李娜,等. 基于相位误差估计的干涉仪测向算法 [J]. 现代电子技术, 2023, 46 (17): 151-154.
- [22] 张先玉,梁涛,安康,等. 均匀圆阵下微波光子鉴相相关干涉仪测向算法 [J]. 数据采集与处理, 2023, 38 (2): 468-478.
- [26] SHAERI M A, SODAGAR A M, ABRISHAMI-MOGHADDAM H. A 64-channel neural signal processor/ compressor based on haar wavelet transform [J]. Annu Int Conf IEEE Eng Med Biol Soc, 2011, 2011: 6409-6412.
- [27] KAMBOH A M, OWEISS K G, MASON A J. Resource constrained vlsi architecture for implantable neural data compression systems [J]. IEEE Int Symp Circ S, 2009: 1481-1484.
- [28] ALSENWI M, ISMAIL T, MOSTAFA H. Performance analysis of hybrid lossy/lossless compression techniques for EEG data [J]. Int C Microelectron, 2016: 1-4.