

接口信号设计中的故障分析与仿真

郑凡凡¹, 严帅¹, 祝京¹, 朱春¹, 周天熠¹, 刘航宇²

(1. 北京宇航系统工程研究所, 北京 100076;

2. 北京航天测控技术有限公司, 北京 100041)

摘要: 在火箭遥测系统单机的实际研制工程中, 遇到两个关于产品 FPGA 软件的故障, 每个故障均定位于两个不同 FPGA 软件协同工作时的接口信号; 为了解决接口信号设计不合理的问题, 使用仿真工具对不同软件进行联合仿真, 尤其专门针对两个软件间的接口信号的时序进行仿真; 通过此种方法很清晰地定位了软件接口信号的故障并且提出了行之有效的改进措施, 并且和用示波器测量信号的方法相比, 所用方法更加高效、直观、便捷; 结果表明, 通过对两个不同软件的联合仿真, 完美地展现了接口信号的时序, 优化了设计流程, 目前已将此方法和设计流程作为模块间接口信号设计的必备流程, 用于提升产品的可靠性。

关键词: 遥测系统; 故障分析; 仿真; 接口信号

Fault Analysis and Simulation in Interface Signal Design

ZHENG Fanfan¹, YAN Shuai¹, ZHU Jing¹, ZHU Chun¹, ZHOU Tianyi¹, LIU Hangyu²

(1. Beijing Institute of Astronautical Systems Engineering, Beijing 100076, China;

2. Beijing Aerospace Measurement & Control Technology Co., Ltd., Beijing 100041, China)

Abstract: In the development of some products in Telemetry system, two FPGA software failures were encountered. Each fault is located at the unreasonable interface signal design when two different FPGA software work together. In order to solve the problem of unreasonable interface signal design, simulation tools are used to satisfy the co-simulation of different software. Specialized simulation on the timing of interface signals between two software is conducted. The fault of the interface signal is clearly identified through this method and effective improvement measures have been proposed. Compared with the method of measuring signals using an oscilloscope, this method is more efficient and convenient. The results indicate that the co-simulation of two different software could perfectly show the timing of interface signals and optimize the design process. Now this method has been used as a necessary process for designing interface signals between modules to improve the reliability of product design.

Keywords: telemetry system; fault analysis; simulation; interface signal

0 引言

火箭的遥测系统主要用于对火箭的某些参量进行检测, 并把测得结果传送到接收地点^[1-4]。遥测系统常用的单机包括传感器、数字量变换器、综合控制器、发射机等, 而每个单机由各个不同的功能模块组成, 例如数字量变换器包含有数据综合模块、脉冲计数模块、指令模块、RS485 数据采集模块等。常见的箭上遥测系统及单机功能模块如图 1 所示。

理论上, 如果产品的尺寸不受限, 即一块电路板的长度和宽度可以无限大, 那么仅从功能的角度而言, 数字量变换器单机的所有功能都可以合并到一块巨大的电路板中, 电路板中包含一块 FPGA 和各种对外部的硬件接口, 于是所有嵌入式代码均烧写到同一块 FPGA 中, 可避免不同模块间软件接口信号设计的棘手问题。现实中, 出于力学试验、模块化、可维修性等因素考虑, 将这样一块巨大的电路板切割成若干块小电路板, 每一个小电路板或小功能块负责其中一小部分功能, 例如脉冲计数模块用于完成对

外部脉冲信号的计数, RS485 数据采集模块用于完成接收外部异步串口协议信号, 指令模块用于接收外部的带电指令和不带电指令, 数据综合模块用于接收各个功能模块的不同数据并将数据形成串行码流送给后级设备。这种分割势必会引入新的问题, 即不同功能模块的嵌入式软件的接口信号的设计健壮性, 如果不同软件的接口信号设计不合理^[5-6], 将会导致单机功能异常。

在实际的研制过程中, 遇到了两例关于模块间接口信号的故障问题, 一例涉及脉冲计数模块和数据综合模块, 一例涉及 RS485 数据采集模块和数据综合模块。在故障分析的过程中, 创造性地将两个模块的软件借助于仿真工具形成一个联合工程, 从而能够通过仿真观察两个软件的接口信号, 以及接口信号的时序, 最终快速、准确地定位了故障, 并对设计师处理接口信号进行启迪和警示。

值得一提的是, 在过往的研制过程中, 软件的开发方测评和软件的第三方测评仅针对各个模块的嵌入式软件^[7-8], 未对不同软件间的接口信号时序进行专项分析, 因此本文所述方法对于提升软件的测试覆盖性以及产品的可

收稿日期: 2023-09-22; 修回日期: 2023-10-23。

作者简介: 郑凡凡(1991-), 男, 硕士, 工程师。

引用格式: 郑凡凡, 严帅, 祝京, 等. 接口信号设计中的故障分析与仿真[J]. 计算机测量与控制, 2024, 32(8): 317-321, 342.

可靠性具有显著作用，弥补了产品设计的一大软肋。

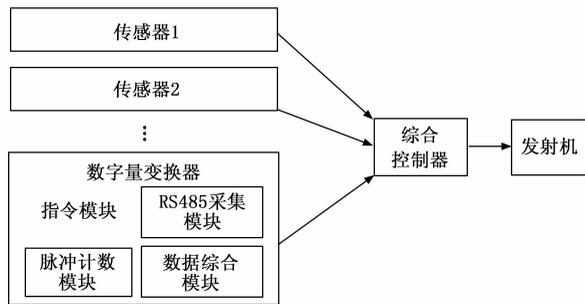


图 1 遥测系统及主要单机框图

本文使用的工具软件包括 ISE14.7 和 Modelsim SE-64 10.4，使用的 FPGA 为 Xilinx 公司生产的 XC4VSX35-10ff668。

1 数据综合模块与 RS485 数据采集模块

1.1 两个模块的简介

RS485 数据采集模块接收外部的异步串口数据信号，对数据进行串转并操作，并将数据通过内部总线传递给数据综合模块，数据综合模块再将数据形成串行码流送给后续设备^[9-11]，两者的所有输入信号和输出信号如图 2 所示，将两个模块联合形成的模块称为顶层模块。

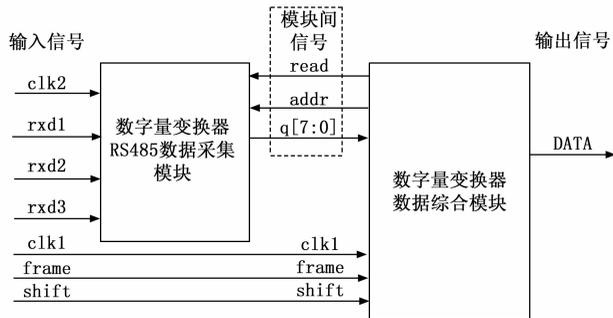


图 2 数据综合模块和 RS485 数据采集模块的输入输出信号

数据综合模块和数据采集模块的信号具体如下文所示。clk1 为数据综合板时钟信号，shift 为数据综合板的移位脉冲信号，frame 为帧同步信号，DATA 为数据综合模块的串行码流信号。clk2 为数据采集板时钟信号，rxd1、rxd2、rxd3 为数据采集板的三路外部异步串口信号。

1.2 模块间的接口信号

从图 2 可以看出，两个模块联合后，每个模块的输入输出信号在顶层模块中稍有变化，部分信号对于顶层模块仍然是输入输出信号，部分信号对于顶层模块变为内部信号。例如外部异步串口信号 rxd1 在 RS485 模块中为输入信号，在顶层模块中仍为输入信号。串行码流信号 DATA 在数据综合模块中为输出信号，在顶层模块中仍为输出信号。read 信号是数据综合模块的输出信号，是数据采集模块的输入信号，对于顶层模块而言是内部信号，即不同模块间的接口信号。

对于顶层模块而言，模块间接口信号既非输入信号，也非输出信号，仅用于模块与模块之间互连和数据交互。接口信号设计是否正确关乎产品功能性能是否正确和健壮，属于产品设计的关键要素和薄弱环节。在过往十余年的研制过程中，该设计要素一直未能进行有效验证与考核，属于设计盲区。

基于图 2，数据综合模块与数据采集模块的接口信号包含 3 种，即数据综合模块向数据采集模块传递地址信号 addr 和读使能信号 read，数据采集模块向数据综合模块传递并行数据 q。

数据综合模块和数据采集模块间接口信号的时序关系如图 3 所示。clk1 为数据综合板时钟信号，clk2 为数据采集板时钟信号，rd 为数据综合板 read 经 clk2 同步化后的读使能信号^[12-14]。在综合板向采集板采集数据的时刻，采集板对综合板提供的并行数据需保持稳定^[15]。对数据综合模块和数据采集模块间的地址信号、读使能信号、并行数据信号进行时序设计时，应遵循以下原则和步骤：

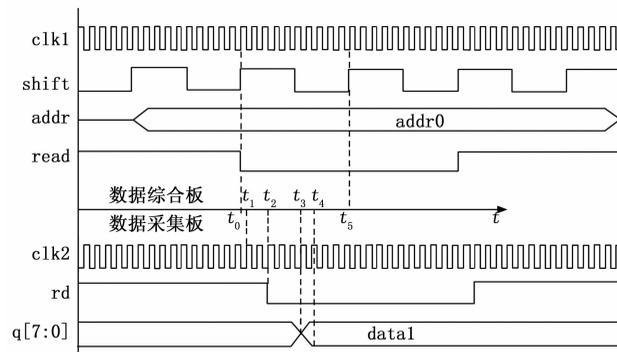


图 3 两个模块接口信号时序关系图

- 1) 确定数据综合板的地址信号和读使能信号相对于数据综合板时钟信号 clk1 的时序；
- 2) 确定数据采集板的输出并行数据信号相对于数据采集板时钟信号 clk2 的时序；
- 3) 根据 clk1 和 clk2 的相位关系，确定数据采集板同步化读信号 rd 相对于数据综合板 read 信号延迟的最好情况和最坏情况，即图中 $t_2 - t_0$ 的最大值与最小值，可在测试文件中通过调节两个模块各自时钟信号的相位差实现。其中 $t_1 - t_0$ 即为 clk2 与 clk1 的相位差；
- 4) 以 rd 信号为基准，确定并行数据稳定时刻至 rd 下降沿的延迟时间，即 $t_3 - t_2$ ；
- 5) 确定数据采集板并行数据稳定时刻至数据综合板 read 信号下降沿的延迟时间（即 $t_3 - t_0$ ）的变化范围；
- 6) 确定数据综合板从数据采集板读取数据的时刻，例如 read 信号的低电平中点，即 t_5 时刻；
- 7) 确定数据采集板和数据综合板间信号经过屈间连接器、信号驱动芯片等引入的固有延迟时间 delay，通过 t_3 时刻和 delay 确定 t_4 时刻，可参考器件的使用手册；
- 8) 确保数据综合板从数据采集板读取数据的时刻与数

据综合板 read 信号下降沿时刻时间差比 rd 信号相对于 read 信号延迟的最坏情况、并行数据稳定时刻至 rd 下降沿的延迟时间、固有延迟时间三者之和 大一个时钟周期^[16-18], 可参考以下公式:

$$t_5 - t_0 > (t_2 - t_0)_{\max} + (t_3 - t_2) + \text{delay} + \text{clk2} \quad (1)$$

1.3 接口信号时序仿真

在实际工程中, 在某数字量变换器产品与测试台的联试过程中, 异步串口数据存在异常现象, 具体表现为偶发性地丢数或相同数据重复发送, 具体见图 4, 故障定位于数据采集模块和数据综合模块软件间的接口信号时序设计裕度不足, 即未满足公式 (1)。

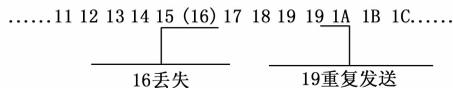


图 4 某数字量变换器产品故障现象

对该产品的 RS485 数据采集模块和数据综合模块进行联合仿真, 如图 5 所示。读使能信号 read 低电平持续时间为 3 个 shift 信号周期, 低电平持续两个 shift 周期的时刻综合板从采集板读取并行数据。read 下降沿到 rd 信号下降沿时间间隔约为 4.5 个时钟周期, 变化范围为 4~5 个时钟周期, 时钟指采集板时钟。FIFO 输出数据 dout 距 rd 下降沿约为 2 个时钟周期。dout 需在 read 信号低电平持续时间为两个 shift 信号周期时完全稳定, 此时数据综合板从采集板把 dout 取走, 即图中 data_in 被赋值为 8'h5a 的时刻。可以看到, 最坏情况下, dout 稳定时刻距数据综合板取走 dout 时刻已不足一个采集板时钟周期, 由于采集板时钟频率较高周期较小, 这个时间间隔不能完全覆盖信号经过屈间连接器、信号驱动芯片等引入的固有延迟时间 delay, 故数据综合板无法从数据采集板获得稳定的并行数据。

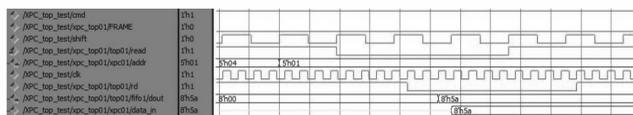


图 5 故障产品模块间接口信号时序图

可以看到, rd 信号下降沿距 read 信号下降沿的时间间隔过长 (4~5 个时钟周期) 是造成模块间接口信号时序裕度不足的主要原因。因此, 修改采集板程序的策略是使 rd 信号下降沿提前。

修改采集板程序后, 重新对两个模块进行联合仿真, 观察接口信号时序, 如图 6 所示。可以看到, 读使能信号 read 下降沿距 rd 信号下降沿约为 2.5 个时钟期, 变化范围为 2~3 个时钟周期, 时钟是指采集板时钟。FIFO 输出数据 dout 距 rd 下降沿仍然约为 2 个时钟周期。数据综合板在 read 信号低电平持续时间为两个 shift 信号周期时从采集板把 dout 取走, 即图中 data_in 被赋值为 8'h5a 的时刻。可以看到, 最坏情况下, dout 稳定时刻距数据综合板读取 dout 时刻由一个采集板时钟周期变为 3 个采集板时钟周期,

这个时间间隔足以完全覆盖信号经过屈间连接器、信号驱动芯片等引入的固有延迟时间 delay, 且留下两个时钟周期的裕度, 故数据综合板能够从数据采集板获得稳定的并行数据。于是, 修改采集板程序的策略的有效性经过仿真得到验证。

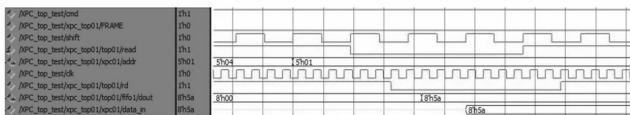


图 6 修改程序后模块间接口信号时序图

综上所述, 通过对故障产品的数据采集模块和数据综合模块的联合仿真, 有效地观察到模块间接口信号的时序关系, 既看到了改前程序错误的时序, 也看到了改后程序正确的时序, 充分验证了更改措施的有效性。

1.4 分析

在此数字量变换器的异步串口数据接收异常的故障分析中, 利用 RS485 数据采集板软件和数据综合模块软件的联合仿真, 确定软件间的接口信号时序裕度不足, 数据综合板无法从数据采集板获得稳定的并行数据, 进而确认 rd 信号下降沿距 read 信号下降沿时间间隔过长 (4~5 个时钟周期) 是造成模块间接口信号时序裕度不足的主要原因。当修改采集板软件后, rd 信号下降沿提前两个时钟周期, 时序裕度充分, 数据综合板能够从数据采集板获得稳定的并行数据, 验证了修改措施的有效性。

需要注意的是, 过往研制流程未关注或充分验证两个软件间的接口信号时序, 仿真恰恰可有效弥补这一薄弱环节。

2 数据综合模块与脉冲计数模块

2.1 两个模块的简介

关于数据综合模块不再赘述。脉冲计数模块用于对外部的周期性方波信号进行计数并将计数值送给数据综合模块。两者的所有输入信号和输出信号如图 7 所示, 将两个模块联合形成的模块称为顶层模块。

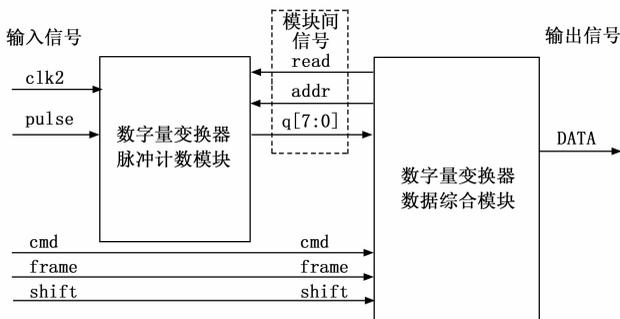


图 7 数据综合模块与脉冲计数模块的输入输出信号

数据综合模块和脉冲计数模块的信号具体如下文所示。cmd 为数据综合板的命令字信号, shift、frame、DATA 信号和图 2 含义一致。clk2 为数据采集板时钟信号, pulse 为外部输入的周期性方波信号。

2.2 模块间的接口信号

基于前文第 1.2 节对于顶层模块的输入信号、输出信号、内部信号（即模块间的接口信号）的诠释，数据综合模块与脉冲计数模块的接口信号包含 3 种，即数据综合模块向脉冲计数模块传递地址信号 *addr* 和读使能信号 *read*，脉冲计数模块向数据综合模块传递脉冲计数值 *q*。

数据综合模块和脉冲计数模块间接口信号的时序关系如图 8 所示。*cmd* 为数据综合板的命令字信号，*shift* 为数据综合板的码同步信号，*frame* 为由命令字生成的周期性帧同步信号。*clk2* 为脉冲计数模块的时钟信号，*Pulse_cnt* 为脉冲计数模块内用于对外部方波进行计数的 32 位位宽寄存器，*Pulse_cnt_out* 是把计数值向数据综合模块输出时的 32 位位宽寄存器。在综合模块向脉冲计数模块读取计数值的时刻，脉冲计数模块对综合模块提供的计数值需稳定、无跳变。

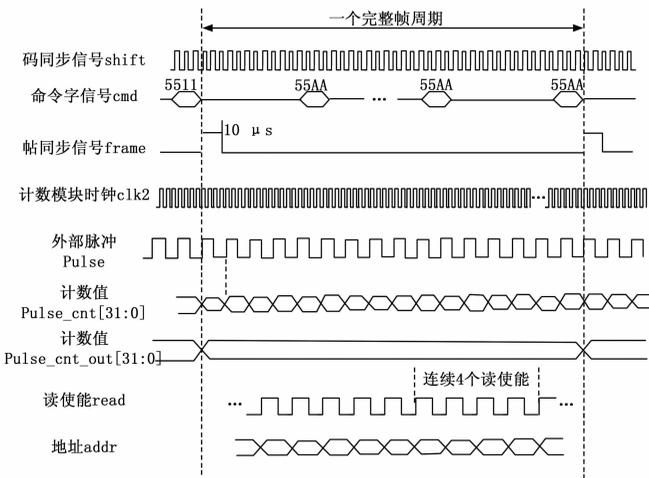


图 8 两个模块接口信号时序关系图

对数据综合模块和脉冲计数模块间的地址信号、读使能信号、计数值信号进行时序设计时，应遵循以下原则和步骤：

- 1) 数据综合板根据命令字信号 *cmd* 生成帧同步信号，将帧同步信号 *frame* 通过内总线传递给脉冲计数模块；
- 2) 使用脉冲计数模块的时钟信号 *clk2* 对外部周期性方波信号和帧同步信号进行同步化；
- 3) 在脉冲计数模块中开辟 32 位寄存器 *Pulse_cnt* 对外部方波信号进行计数并存储计数值，此计数值一直跟随外部方波信号而变化；
- 4) 开辟另一个寄存器 *Pulse_cnt_out*，此寄存器也用于存储计数值并将计数值传递给数据综合模块。此寄存器存储的计数值不跟随外部方波变化，在一个帧同步信号周期内只变化一次，即在每一个帧同步周期开始时刻变化一次，在帧同步周期其余时刻保持不变。因此可保证 *Pulse_cnt_out* 在数据综合模块通过连续 4 个读信号读取连续 4 个 8 位位宽的计数值时保持稳定不变；
- 5) 将 *Pulse_cnt* 赋值给 *Pulse_cnt_out*，赋值不能使

用组合逻辑，须使用时序逻辑^[19-20]，用于保证 *Pulse_cnt_out* 在每一个帧同步周期开始时刻变化一次，在帧同步周期其余时刻保持不变；

6) 在一个帧同步信号周期内（非开始时刻），数据综合模块产生读使能信号，读信号读取的计数值位宽为 8 位，连续读取 4 次，即可取走 32 位计数值的 [31 : 24] [23 : 16] [15 : 8] [7 : 0] 4 个 8 位位宽二进制数。由于 *Pulse_cnt_out* 保持不变，因此可保证读取的是同一个计数值的各个 8 位数。

2.3 接口信号仿真

在某数字量变换器产品的测试过程中，脉冲计数值存在异常现象，具体表现为计数值出现异常跳变，具体见表 1。每一帧遥测数据包含一个脉冲计数值，脉冲计数值由 4 个字节组成，后帧计数值减前帧计数值的差为固定值 6 400，故障现象为差值不再稳定于 6 400 左右。故障定位于脉冲计数模块软件在向数据综合模块输出计数值时使用组合逻辑。

表 1 出现故障的脉冲计数值

计数值编号	计数值 { <i>x_n</i> } (16 进制)	计数值 { <i>x_n</i> } (10 进制)	差值 { <i>y_n</i> }	差值编号
1	00 E9 9C 01	15309825	6400	
2	00 E9 B5 01	15316225	6400	1
3	00 E9 CE 01	15322625	6400	2
4	00 E9 E7 01	15329025	6400	3
5	00 E9 00 01 (00 EA 00 01)	15269889 (15335425)	-59136 (6400)	4
6	00 EA 19 01	15341825	71936 (6400)	5
7	00 EA 32 01	15348225	6400	6
8	00 EA 4B 01	15354625	6400	7

对该产品的数据综合模块和脉冲计数模块的软件进行联合仿真，施加正确的输入信号作为激励，得到仿真结果如图 9 所示。从图中可以看到，*Pulse_cnt* 一直不停地累加，由于故障产品使用组合逻辑把 *Pulse_cnt* 赋值给 *Pulse_cnt_out*，故 *Pulse_cnt* 的变化会实时地反映给 *Pulse_cnt_out*，即 *Pulse_cnt_out* 也在不停地累加。数据综合模块在读信号 *read* 低电平的中间时刻对 *Pulse_cnt_out* 进行取值，同时根据地址信号取 *Pulse_cnt_out* 的相应 8 位二进制数。连续 4 个读使能信号读到的 4 个 *Pulse_cnt_out* 分别是 8'h 00e9ffe、8'h 00e9fff、8'h 00ea0000、8'h 00ea0001，第一个读使能根据 *addr*=1 读取第一个 *Pulse_cnt_out* 的 [31 : 24] 位，即 8'h00，第二个读使能根据 *addr*=2 读取第二个 *Pulse_cnt_out* 的 [23 : 16] 位，即 8'he9，第三个读使能根据 *addr*=3 读取第三个 *Pulse_cnt_out* 的 [15 : 8] 位，即 8'h00，第 4 个读使能根据 *addr*=4 读取第 4 个 *Pulse_cnt_out* 的 [7 : 0] 位，即 8'h01，最终来自 4 个不同计数值的 4 个 8 位二进制数共同组成了 8'h 00e90001，即为表 1 中的异常数据 X₅。显然，这种情况是

