

# 基于 PCIE 总线的大数据通信传输时延控制系统设计

焦冬艳

(广东理工职业学院 物联网学院, 广州 510000)

**摘要:** 在大数据传输中, 当网络流量过大或网络拓扑复杂时, 可能会出现网络拥塞的情况, 导致通信传输时延的增加, 为了优化通信网络的数据传输效率, 设计基于 PCIE 总线的大数据通信传输时延控制系统; 在 PCIE 总线核结构下设计大数据收发器、通信转换模块与通信中断控制器, 搭建时延控制终端, 联合大数据通信寄存器与时延状态估计器, 实现传输时延控制硬件系统的设计; 在通信数据相空间内, 计算传输时延量的具体数值水平, 完成对大数据通信传输时延的预测; 根据大数据通信序列定义条件, 得到与通信传输时延状态相关的反馈信息, 并以此为基础, 确定具体的控制方案, 完成基于 PCIE 总线的大数据通信传输时延控制系统设计; 实验结果表明, PCIE 总线控制系统的应用可将大数据通信时延控制在 0~0.20 ms 范围之内, 不会因时延过大造成数据信息瞬时响应速率下降的问题, 且数据传输丢包率低于 10%, 符合实际应用需求。

**关键词:** PCIE 总线; 大数据通信; 传输时延控制; 通信转换; 中断控制器; 相空间

## Design of Transmission Delay Control System for Big Data Communication Based on PCIE Bus

JIAO Dongyan

(IoT of Guangdong Polytechnic Institute, Guangdong Polytechnic Institute, Guangzhou 510000, China)

**Abstract:** In big data transmission, when network traffic is too large or network topology is complex, network congestion may occur, leading to an increase in communication transmission delay. In order to optimize the data transmission efficiency of communication network, a big data communication transmission delay control system based on peripheral component interconnect express (PCIE) bus is designed. Design the big data transceiver, communication conversion module, and communication interrupt controller under the PCIE bus core structure, build the delay control terminal, and combine the big data communication register and delay state estimator to achieve the design of the transmission delay control hardware system. Calculate the specific numerical level of transmission delay in the communication data phase space, and complete the prediction of big data communication transmission delay. Based on the defined conditions of the big data communication sequence, the feedback information related to the communication transmission delay state is obtained, and based on this, the specific control scheme is determined to complete the design of the big data communication transmission delay control system based on the PCIE bus. Experimental results show that the PCIE bus control system can control the big data communication delay within the range of 0~0.20 ms, without causing a decrease in the instantaneous response rate of data information due to excessive delay, and the packet loss rate of data transmission is below 10%, which meets the requirements of practical application.

**Keywords:** PCIE bus; big data communication; transmission delay control; communication conversion; interrupt controller; phase space

## 0 引言

大数据通信是结合计算机技术与通信技术的新型通信方式<sup>[1]</sup>, 该项技术手段的实现要在对应目标节点间建立信道组织, 根据不同的媒体介质, 可以将通信行为分为有线数据通信、无线数据通信两种不同形式。相较于其他类型的通信方法, 相较于其他类型的通信方法, 大数据通信具有长距离传输文本信息的能力, 能够应用于干线、本地、长途等多种不同的信息传输环境之中, 且不论外界环境是

否保持稳定状态, 只要网络主机向外输出数据样本的行为不发生中断, 基站主机与下级设备终端之间的连接关系就能够长期保持稳定状态。由于大数据通信行为的链接不受时间、空间等条件的影响, 所以只要在保证网络完整性与输出信息足量性的情况下, 就可以按照预设通信方式, 将数据信息传输至目标通信节点之中。在通信网络中, 如何提升数据信息瞬时响应速率, 从而使数据对象对外界行为做出敏感反应, 成为一项亟待解决的问题。

文献 [2] 设计一种基于 LoRa 的物联网数据传输系统

收稿日期: 2023-09-14; 修回日期: 2023-10-24。

作者简介: 焦冬艳(1981-), 女, 硕士, 讲师。

引用格式: 焦冬艳. 基于 PCIE 总线的大数据通信传输时延控制系统设计[J]. 计算机测量与控制, 2024, 32(10): 118-124.

在星型网络模型中，设置多种不同的协议文本，通过大量设置自定义终端节点的方式，使 Contiki 对象保持内嵌于 LoRa 终端节点的连接方式，联合循环队列模板，完成对通信数据的封装处理，从而在传输信息对象的同时，避免文本参量在同一节点单元内大量堆积。文献 [3] 设计的 USB3.0 高速数据传输系统以 FPGA 控制元件作为主控器设备，通过更改信息传输媒介的方式，确定数据对象的目标传输位置，从而突破局部标志对数据传输行为的限制作用，在通信网络中达到快速传输信息参量的目的。

PCIe 是符合高速串行计算机运行需求的扩展总线标准，在该类型总线协议的作用下，数据信息保持点对点双通道高带宽型传输方式，且所有处于连接状态中的通信设备都只占用通道组织内的带宽信号，对于总线环境中的带宽信号，无论计算机元件中数据信息的实时存储量是否达到其额定承载上限，总线带宽信号都不会进入通道组织，代替内部带宽信号完成核心通信设备对数据信息对象的响应<sup>[4]</sup>。随着通信网络连接行为不断趋于复杂化，LoRa 传输系统、USB3.0 传输系统的应用并不足以完全解决通信时延过大的问题，因此这两类系统在提升数据信息瞬时响应速率方面的能力也就达不到实际应用需求。为更好地解决上述问题，利用 PCIe 总线的技术优势，设计一种新型的大数据通信传输时延控制系统，并进行对比实验以验证其实际应用价值。

## 1 基于 PCIe 总线的传输时延控制硬件系统设计

大数据通信传输时延控制系统的核心应用部件由时延控制终端、通信寄存器、时延状态估计器 3 部分共同组成，本章节针对其具体硬件设计方法展开研究。

### 1.1 PCIe 核结构下的时延控制终端

#### 1.1.1 PCIe 大数据收发器

PCIe 大数据收发器是超低能耗的物理层结构，可以与 PCIe 总线中联合体 RC、交换机 SW 等多种不同类型的端口节点相连接，在接收大数据通信信息的同时，更改大数据对象的串行输出编码，从而使数据信息在 PCIe 核结构内、外的传输行为保持同步状态。收发器元件的核心部分由时钟模块、收发模块、PAD 模块、检测模块 4 个结构单元组成。其中，时钟模块负载乘法锁相环、时钟源与电阻校准电路，负责接收外部电源输入的电量信号，并可以对其进行初步整合，直至输出电量信号能够符合下级模块组织的调取与利用需求<sup>[5]</sup>。收发模块、PAD 模块在 PCIe 大数据收发器中起到承上启下的连接作用，可以在通信序列计数器、放电保护器等多个元件结构的配合下，定义由通信大数据接收到发送的完整执行流程，以避免通信数据出现过量传输或错误传输的情况<sup>[6]</sup>。检测模块负载驱动器、并行检测元件与数据切片器，能够接收 PCIe 大数据收发器上级部件输出的所有大数据通信信号，并可以将数据对象整合成多个完全独立的模块组织，以便于系统主机能够准确捕获符合 PCIe 总线传输需求的数据对象。完整的 PCIe 大数据收发器结构模型如图 1 所示。

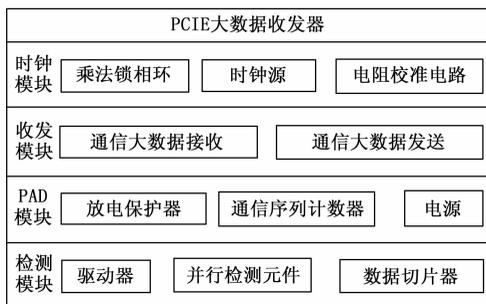


图 1 PCIe 大数据收发器结构模型

PCIe 总线中，通信大数据的传输不具有可逆性特征，所以由时钟源输出的信息对象只能先后经过收发模块、PAD 模块与检测模块，才能够到达通信转换模块、中断控制器等下级系统部件结构之中。

#### 1.1.2 大数据通信转换模块

大数据通信转换模块实现了 PCIe 总线与 FIFO 控制器之间的跨域数据转存功能，作为 PCIe 大数据收发器结构的下级负载元件，其运行速率受到通信数据传输速率的直接影响。PCIe 总线输出的大数据通信信号经由信道组织进入 FIFO 接收控制器，经过读写装置的改写处理后，传输信号中所包含的时延量信息直接被系统主机所提取，并可以在时延控制部件中生成长期的存储记忆，以供主机元件的直接应用<sup>[7]</sup>。通信转换模块的核心运行单元由 FIFO 接收控制器和 FIFO 发送控制器直接组成，前者接受 PCIe 总线的直接调度，而后的运行状态受到大数据通信信息输出量的直接影响，在不考虑其他干扰条件的情况下，通信数据的实时输出量越大，发送控制器所需处理的信号对象也就越多。具体的大数据通信转换模块实现如图 2 所示。

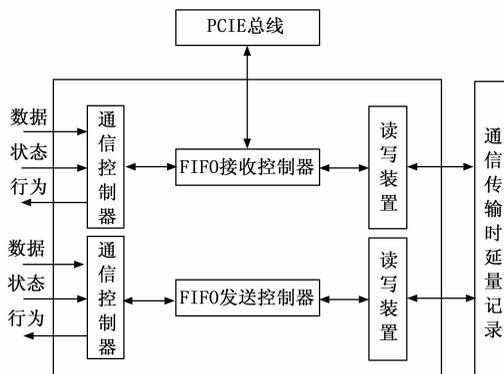


图 2 大数据通信转换模块实现框图

转换模块的通信控制器部件负责管控大数据通信信号的传输状态与传输行为，可以在接收数据对象的同时，向外发送符合控制主机编码需求的信息对象，且整个执行过程中，与控制器元件相连的信道组织始终保持完全开放连接状态<sup>[8]</sup>。通信传输时延量记录部件与读写装置保持连接关系，在大数据通信转换模块处理通信信号的过程中，记录装置中时延量参数的累积量也会不断增大，因此为避

免运行迟缓现象的出现，时延量记录部件必须具有较强的数据存储能力。

### 1.1.3 通信中断控制器

中断控制器的作用就是在大数据通信信号传输结束后将时延复位请求传输至 DMA 主机设备，从而保障系统主机对通信传输时延进行再次控制时，能够预先掌握当前通信模式下信号传输时延的数值水平。DMA RST 元件是大数据通信传输时延控制系统中的主机设备，与 DMA PRO 部件之间保持 DMA 传输连接关系，大数据通信信号进入主机设备之后，只要确保 DMA 传输信道保持开放状态，就可以完成时延量信号由获取到定义的传输流程<sup>[9]</sup>。DMA PRO 部件向 DMA ACT 部件提交时延控制请求，请求指令传输过程中，DMA ACT 部件分别与 DUN 部件、空闲的 ACT 部件保持连通与中断关系。通信中断控制器中的信号转移原则如图 3 所示。

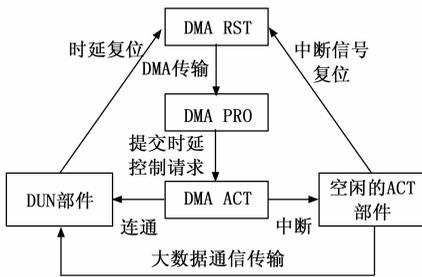


图 3 通信中断控制器中的信号转移原则

连通关系作用下，大数据通信信息由 ACT 部件端快速向着 DUN 部件端传输，且当通信数据累积量达到一定数值标准之后，DUN 部件会向 DMA RST 主机发出时延复位请求，而主机元件则会根据请求指令内容，定义完整的时延量数据包文件，以便于后续控制指令的执行。中断关系作用下，大数据通信信息不再继续向外传输，DMA ACT 部件中的大数据通信信息以中断信号复位指令的形式回传至 DMA RST 元件之中，且整个传输过程中，系统主机不会消耗任何的时延信息<sup>[10]</sup>。如果连通关系、中断关系作用同时存在，则表示 PCIE 总线中时延信号传输指令与时延信号中断指令可以同时执行。

### 1.2 大数据通信寄存器

在大数据通信传输时延控制系统中，大数据通信寄存器负责记录与时延传输行为相关的数据信息参量，并可以借助信道组织，将满足时延控制需求的通信信号传输至估计器元件之中，以便于系统主机能够根据传输时延的表现情况，分析 PCIE 总线内的大数据信息实时传输行为。为避免控制系统运行过程中出现通信数据错传或漏传的情况，通信信号与寄存节点在大数据通信寄存器元件内都保持循环相连的分布状态，且数据链接的服务方向只能由大数据通信信号端指向数据寄存节点端，且为避免单一信息参量表现出重复传输行为，每一个大数据通信信号对象只对应一个数据寄存节点组织<sup>[11]</sup>。PCIE 总线的低频运行状态意味

着单位时间内的通信数据传输量相对有限，寄存器节点不必全部连接，就可以保障系统主机对传输时延行为的控制能力；PCIE 总线的高频运行状态则意味着单位时间内的通信数据传输量极大，寄存器节点必须保持全部连接状态，才可以保障系统主机对传输时延行为的稳定控制能力<sup>[12]</sup>。大数据通信信号在寄存器元件中的实际寄存方式如图 4 所示。

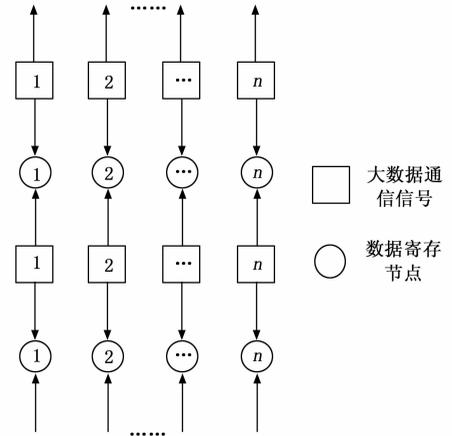


图 4 大数据通信信号寄存方式

大数据通信寄存器元件具有一定的自主调节能力，且这种调节能力不光表现在寄存节点的数量变化方面，还表现为通信信号在节点组织中存储方式的改变。

### 1.3 通信传输时延状态估计器

通信传输时延状态估计器由 Rdpnr 信号捕获器、RdEn 时延计算器、Backup 估值元件 3 部分组成。其中，Rdpnr 信号捕获器与 PCIE 总线终端直接相连，可以在提取大数据通信寄存器中已存储数据对象的同时，将符合时延控制需求的信息参量传输至 PCIE 总线终端之中，从而使得系统主机在运行过程中，能够获取到足量的通信数据。RdEn 时延计算器也与 PCIE 总线终端保持连接关系，能够根据总线内通信数据的输入情况，计算通信时延参量的实际取值范围<sup>[13]</sup>。相较于 Rdpnr 信号捕获器，RdEn 时延计算器元件的响应等级相对较低，在 PCIE 总线终端录入大数据通信对象的过程中，计算器元件只能在捕获器元件之后获取到数据信息样本，且其所能得到的数据样本总量也始终小于捕获器元件。通信传输时延状态估计器模块的具体运行模式如图 5 所示。

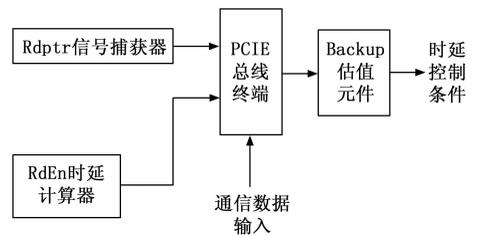


图 5 通信传输时延状态估计器的运行模式简图

Backup 估值元件作为 PCIE 总线终端的下级附属结构, 负责分析已输入通信数据中未被消耗的部分, 并可以联合通信数据的相空间表达式, 定义具体的时延控制条件<sup>[14]</sup>。PCIE 总线内, 时延控制条件定义结果影响系统主机对大数据通信信息的处理能力, 特别是在通信数据传输标准不相同、信息对象目标传输位置也不相同的情况下, 保障系统主机对传输时延结果的准确统计, 才是实现控制系统稳定运行的前提。设计的通信传输时延状态估计器在基于 PCIE 总线的大数据通信传输时延控制系统中, 通过提取通信数据、估计时延情况以及定义时延控制条件等功能, 可以帮助实现对通信时延的监测、分析和控制, 从而提高传输效率和保障数据传输的稳定性。

## 2 大数据通信传输时延预测方法

在 PCIE 总线的配合下, 连接控制系统的各级部件结构, 再按照相空间构造条件, 预测大数据通信传输时延量的实际取值范围。

### 2.1 通信数据的相空间构造

相空间是描述大数据通信传输时延行为的重要物理条件, 在 PCIE 总线中, 系统控制主机可以根据相空间定义式确定大数据通信信息的原始传输序列, 且序列组织中包含可以反映出时延量变化行为的物理参量。从功能性较低来看, 通信数据相空间是具有一维混沌特性的时间序列结构, 其内部包含多个多维时间序列矩阵, 由于矩阵中所有数据对象都属于 PCIE 总线单元, 所以在完成数据特性的统一处理后, 多维集合中的数据对象可以被同一相空间内不同的信息节点所代替, 这也是通信数据<sup>[15]</sup>相空间具有一维时间表现特性的主要原因。

在 PCIE 总线内随机选择  $n$  个大数据通信对象  $Z_n$ , 其定义式如下:

$$\begin{cases} Z_1 = \vec{c}_1[\omega_1(\dot{X}_1 - 1)] \\ Z_2 = \vec{c}_2[\omega_2(\dot{X}_2 - 1)] \\ \vdots \\ Z_n = \vec{c}_n[\omega_n(\dot{X}_n - 1)] \end{cases} \quad (1)$$

$\dot{X}_1$ 、 $\dot{X}_2$ 、 $\dots$ 、 $\dot{X}_n$  分别为与不同大数据通信对象相关的时间序列特征,  $\omega_1$ 、 $\omega_2$ 、 $\dots$ 、 $\omega_n$  为不同的时间维度定义项,  $\vec{c}_1$ 、 $\vec{c}_2$ 、 $\dots$ 、 $\vec{c}_n$  为 PCIE 总线内的通信数据实时传输向量。

利用公式 (1) 将 PCIE 总线内的通信数据相空间构造表达式为:

$$V = \xi \sqrt{\left(\frac{Z_1}{\psi_1}\right)^2 + \left(\frac{Z_2}{\psi_2}\right)^2 + \dots + \left(\frac{Z_n}{\psi_n}\right)^2} \quad (2)$$

$\psi_1$ 、 $\psi_2$ 、 $\dots$ 、 $\psi_n$  分别为不同大数据通信节点处的传输相位标记参数, 且  $\psi_1 \neq 0$ 、 $\psi_2 \neq 0$ 、 $\dots$ 、 $\psi_n \neq 0$  的不等式取值条件同时成立,  $\xi$  为大数据通信传输时延向量的取值系数。相空间组织对于大数据通信对象的容纳能力有限, 但 PCIE 总线内大数据通信信号的总存储容量是无限的, 所以只有在控制系统中同时存在多个完全独立相空间组织的情况下,

主机元件才能够实现对传输时延行为<sup>[16]</sup>的有效控制。

### 2.2 相空间内的传输时延量预测

相空间构造为传输时延量预测提供了重要的传输变量和特征, 通过构造相空间可以有效识别数据中的相关特征及变化趋势, 为传输时延量提供数据支持。传输时延量是指大数据通信信息由一端分组节点传送到另一端分组节点所需的时间, 其取值可以用来描述网络体系的横向负载宽度。在通信数据报文长度较大的情况下, 传输时延是导致网络主机无法准确控制数据传输行为的主要原因; 而在通信数据报文长度较小的情况下, 传输时延指标的取值也相对较小, 只要保证时延指标取值不超过数据对象的半通信周期时长, 网络主机就可以实现对数据传输行为<sup>[17-18]</sup>的准确控制。

设  $B$  为相空间内的大数据通信信号传输时延定义项参数, 其取值影响传输时延量指标的计算结果。设  $\sigma$  为相空间内的通信数据标记参数,  $\bar{b}$  为大数据通信信号的实时传输速率,  $\tau$  为 PCIE 总线内的大数据信息标记项,  $\Delta M$  为大数据通信信号的单位累积量,  $m$  为网络体系中的通信数据负载向量。在上述物理量的支持下, 联立公式 (2), 可将传输时延定义项参数计算结果表示为:

$$B = \sigma V \bar{b} \times |\Delta M|^{m-1} \quad (3)$$

在公式 (3) 的基础上, 推导相空间内的传输时延量预测公式为:

$$A = B \cdot \int_{-\infty}^{+\infty} \frac{\zeta^2 \bar{a}^{-1}}{\omega} dt \quad (4)$$

$\zeta$  为网络体系分组节点内的通信数据状态参数,  $\bar{a}$  为延时性通信信号的单位传输均值,  $\hat{d}$  为大数据通信信号的时延控制特征,  $\nu$  为大数据传输行为控制系数。系统主机定义控制指令时, 必须参考传输时延量预测结果, 为保证执行指令具有良好的控制效果, 求解时延量指标时, 只能在同一 PCIE 总线单元内完成对大数据对象的取值。

## 3 大数据通信传输时延控制方法设计

通过对大数据通信传输时延进行预测, 可以提前了解到预计的传输延迟, 从而能够针对性地制定优化的传输策略, 实现对大数据通信传输时延的有效控制。根据时延预测结果, 定义具体的大数据通信序列, 并在此基础上, 确定时延状态反馈的进展情况, 从而完善系统主机所遵循的控制指令执行方案。

### 3.1 通信传输时延的状态反馈

大数据通信序列是大数据通信信息的数值定义集合, 其内部每一个大数据对象都对应一种特殊的信息传输形式, 且每一类信息对象的传输时延水平也并不相同。对于控制系统而言, 大数据通信传输时延参量是其主要控制对象, 且在数据传输方式不发生改变的情况下, 信息对象的传输时延水平越高, 系统主机在执行控制指令时所需占用的空闲信道组织也就越多<sup>[19]</sup>。通信序列是包含大量数据对象的信息集合, 由于每一类信息对象的时延水平并不相同, 所以整个序列集合的存储空间极大。对于大数据通信序列的

定义参考如下表达式：

$$D = g \frac{f(\theta^2 - 1)\hat{h}}{\sqrt{\omega A}} \quad (5)$$

其中： $g$  为序列集合中的一个随机物理量， $\hat{\omega}$  为 PCIE 总线中的通信序列信息标记系数， $f$  为大数据信息传输时延定义项，指相空间内的大数据通信信号传输时延的定义参数。 $\theta$  为通信序列内的大数据时延阈值， $\hat{h}$  为大数据通信信息的时延量定义特征。

在控制系统运行过程中，主机元件所定义传输时延预测条件不可能达到完全精准的数值状态，所以通信序列集合中有可能包含重复的或是不符合实际控制需求的数据样本，对于主机元件来说，这些数据对象虽然包含在已定义的序列集合中，但却并不符合 PCIE 总线对于传输时延参量<sup>[20]</sup>的控制需求。

通信传输时延状态反馈就是在 PCIE 总线中定义两个不重合的时延节点，再通过数值计算的方式，确定两个节点间通信大数据的实时传输量。所谓时延状态可以理解为时延节点中的大数据通信信息传输状态，通常情况下，PCIE 总线内的大数据传输时延水平越高，就表示通信信息的单位传输量<sup>[21]</sup>越大。第一个时延节点定义式为：

$$G_1 = DH_1\vartheta_1j_1 \quad (6)$$

$H_1$  为第一个时延节点内的通信大数据实时传输量， $\vartheta_1$  为时延参量的第一级链接系数， $j_1$  为主机元件对第一个时延节点的控制向量。

第二个时延节点定义式为：

$$G_2 = \frac{\vartheta_2}{D} \cdot \sqrt{\frac{H_2}{j_2}} \quad (7)$$

$H_2$  为第二个时延节点内的通信大数据实时传输量， $\vartheta_2$  为时延参量的第二级链接系数， $j_2$  为主机元件对第二个时延节点的控制向量。

PCIE 总线规定：在进行大数据通信传输状态反馈时，控制系统不得定义两个重合的时延节点，所以  $G_1 \neq G_2$  的不等式取值条件恒成立。

联立公式 (6) (7)，可将大数据通信传输时延状态反馈表达式定义为：

$$J = \left(\frac{1}{\nu}\right)^2 (\mu\tilde{k} - |G_2 - G_1|^2) \quad (8)$$

$\nu$  为时延参量定义值， $\tilde{k}$  为大数据通信信息传输时延最优值， $\mu$  为最优值定义参数。保持平稳的状态反馈是有效控制大数据通信传输时延的前提，特别是在数据输出量较大的情况下，任何不平衡的通信状态都有可能时延行为控制效果<sup>[22]</sup>达不到实际需求标准。

### 3.2 大数据通信传输时延控制方法

通过时延状态反馈，可以及时了解当前的传输时延情况，并将这些信息反馈给时延控制系统，用于调整和优化系统的时延控制能力，以最大程度地减少传输时延并提高传输效率。传输时延控制方法需对 PCIE 总线内大数据通信信息的传输行为进行两次判断。第一次判断根据通信序列

构建表达式，定义与大数据通信信息相关的取样标准，再以此为依据，完成对大数据通信对象的取样。第二次判断主要是针对时延节点的定义，利用取样所得的大数据通信信息，确定关关节点间的数据传输行为是否符合传输时延的状态反馈条件，并根据时延量指标的具体数值水平，确定完整的时延控制方案<sup>[23-24]</sup>。完整的传输时延控制流程如图 6 所示。

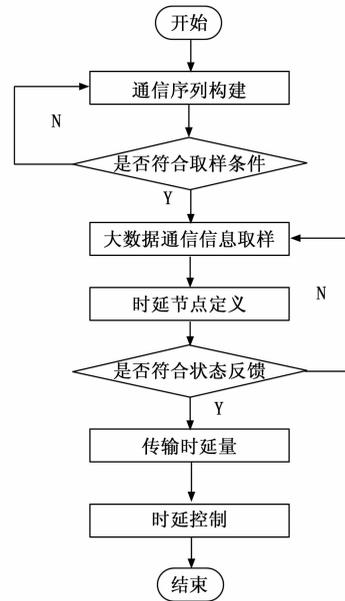


图 6 大数据通信传输时延控制流程图

设  $O$  为基于状态反馈条件所选定的时延量特征， $\eta$  为 PCIE 总线内大数据通信信息的传输效率， $l$  为控制能力度量值， $\tilde{l}$  为大数据传输过程中的通信信息时延水平度量值，则大数据通信传输时延控制表达式如下所示：

$$L = \frac{1}{2O} \times |\eta \cdot J|^{-1} + \tilde{l}^2 \quad (9)$$

由于大数据通信信息的传输具有明显的不确定性特征，所以在设计传输时延控制系统时，除了要考虑 PCIE 总线内数据对象的实时传输行为，还必须保证取样所得的信息参量符合传输时延的状态反馈条件，且在单位传输周期内，这些数据对象应属于同一个大数据通信序列集合，由此实现大数据通信传输时延控制。

## 4 测试与分析

为测试基于 PCIE 总线的大数据通信传输时延控制系统、基于 LoRa 的物联网数据传输系统、USB3.0 高速数据传输系统的应用差异性，设计如下对比实验。

### 4.1 实验准备

时延是通信网络中普遍存在的现象，特别是在信道组织完全开放的情况下，时延过大则会使数据信息的瞬时响应速率下降，而这也严重影响了通信数据的响应能力，使其表现出不及时响应的问题。因此，控制通信时延水平才

是提升数据信息瞬时响应速率的有效方法。

通过人工接线的方式, 建立大数据通信网络, 闭合控制开关, 并对相关设备元件的运行能力进行调试, 端口节点之间的连接借助 485 型的信号线, 相较于其他类型的双绞线结构, 该类型线缆对于传输信号的承载能力相对有限, 单位传输周期内, 只能有一列信号通过双绞线线缆, 因此实验过程中, 通信信号不会出现明显堆积的传输情况。通信网络中, 相关参数指标的数值情况如表 1 所示。

表 1 通信网络内的参数设置

参数名称	数值
IP 通信地址	113. 189. 231. 67
通信数据的单位容量	1 024 T
通信数据瞬时响应速率	2. 85 bit/ $\mu$ s
通信数据单位传输时长	0~0. 30 ms
单位传输周期内的通信数据转存次数	0~5
数据库主机的瞬时存储上限	512 G

为避免其他因素对实验结果造成影响, 规定实验过程中参数指标的取值不会超过预设范围, 且出于真实性考虑, 每测得一组实验数据后, 都要对通信设备的连接进行复原处理, 确保设备元件恢复至初始连接状态后, 继续实施后续实验步骤。

#### 4.2 数据处理过程

首先, 在 Windows 通信主机中输入基于 PCIE 总线的大数据通信传输时延控制系统的执行程序, 记录该方法作用下, 大数据通信时延的具体数值水平, 所得结果为实验组变量; 然后, 在 Windows 通信主机中输入基于 LoRa 的物联网数据传输系统的执行程序, 记录该方法作用下, 大数据通信时延的具体数值水平, 所得结果为对照组 1 变量; 接着, 在 Windows 通信主机中输入 USB3.0 高速数据传输系统的执行程序, 记录该方法作用下, 大数据通信时延的具体数值水平, 所得结果为对照组 2 变量; 最后, 统计通信时延的实验数值, 总结实验规律。

#### 4.3 通信时延测试

实验组、对照组 1、对照组 2 大数据通信时延的实验数值如图 7 所示。

实验组: 0~15 min 的实验时间内, 实验组大数据通信时延出现多次等于零的情况; 第 30 min 时, 实验组大数据通信时延取得最大值 0.20 ms。综上, 实验组大数据通信时延的取值范围为 0~0.20 ms。

对照组 1 相较于实验组实验结果, 通信时延的取值始终不等于零; 第 25~30 min 之间时, 对照组 1 大数据通信时延取得最小值 0.05 ms, 与实验组最小值相比, 上升了 0.05 ms; 第 15 min 时, 对照组 1 大数据通信时延取得最大值 0.33 ms, 与实验组最大值相比, 上升了 0.13 ms。综上, 对照组 1 大数据通信时延的取值范围为 0.05~0.33 ms, 高于实验组时延水平。

对照组 2 相较于实验组实验结果, 通信时延的取值始

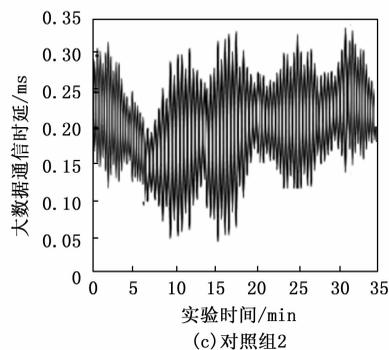
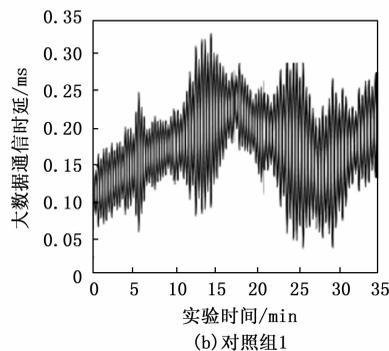
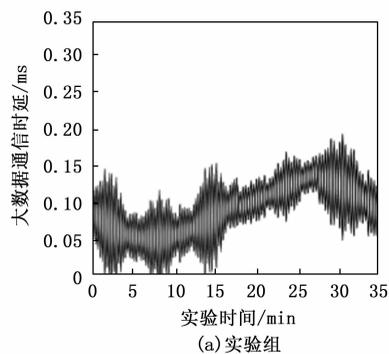


图 7 大数据通信时延

终不等于零; 第 15 min 时, 对照组 2 大数据通信时延取得最小值 0.05 ms, 与实验组最小值相比, 上升了 0.05 ms; 第 30~35 min 时, 对照组 2 大数据通信时延取得最大值 0.34 ms, 与实验组最大值相比, 上升了 0.14 ms。综上, 对照组 2 大数据通信时延的取值范围为 0.05~0.34 ms, 同样高于实验组时延水平。

#### 4.4 丢包率测试

在大数据通信中, 丢包率是指在传输过程中丢失的数据包占总发送的数据包数量的比例。若丢包率较高则会导致数据包的丢失, 从而影响到数据的完整性和准确性, 增加数据的传输时延。测试结果如图 8 所示。

由图 8 可知, 3 种系统的丢包率均随着时间的增加而升高, 其中对照组 1 和对照组 2 的丢包率最高值在 0.3% 以上, 而实验组的丢包率最高值未超过 0.15%, 表明实验组的丢包率最低, 数据完整性最好, 可有效减少数据传输时延。

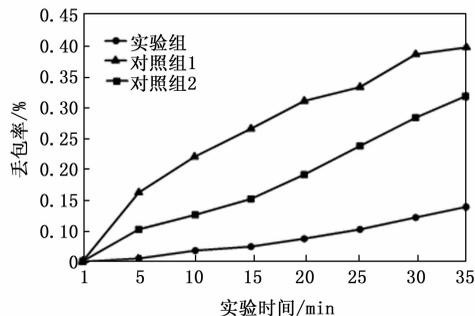


图 8 丢包率测试

综上所述：基于 LoRa 的物联网数据传输系统、USB 3.0 高速数据传输系统的应用能力并无明显差异性，控制通信时延能力还需提升。而基于 PCIE 总线的大数据通信传输时延控制系统的应用可将通信时延控制在低水平状态，符合提升数据信息瞬时响应速率的实际应用需求，且数据传输过程中的丢包率较低，数据传输时延整体控制效果最好。

## 5 结束语

基于 PCIE 总线的大数据通信传输时延控制系统的设计以解决通信时延过大的问题为目标，联合大数据收发器、通信寄存器、传输时延状态估计器等多个应用部件，对大数据通信传输时延进行准确预测，又在此基础上，定义具体的传输时延控制方案。实用性方面，相较于基于 LoRa 的物联网数据传输系统、USB3.0 高速数据传输系统，基于 PCIE 总线控制系统的应用有效解决了通信时延过大的问题，可以避免数据信息瞬时响应速率出现明显下降的情况，在提升通信数据反应能力方面具有突出作用价值。未来相关组织单位可以在 PCIE 总线控制系统的基础上，进行深入研究，一方面降低通信时延最大值指标的数值水平，另一方面延长零值状态的持续时间，使得通信网络中的数据实时反应能力得到有效保障。

## 参考文献：

- [1] 李洪波, 周春姐. 云计算下通信大数据多属性特征引导融合仿真 [J]. 计算机仿真, 2021, 38 (3): 393-396.
- [2] 严朝阳, 方飞, 曹宾, 等. 基于 LoRa 的物联网数据传输系统研究与设计 [J]. 重庆邮电大学学报 (自然科学版), 2021, 33 (3): 354-363.
- [3] 郝艳阳, 苏淑靖, 裴永浩, 等. 一种用于频率估算的 USB3.0 高速数据传输系统 [J]. 电子器件, 2022, 45 (1): 33-39.
- [4] 孙兆鹏, 周宽久. 基于 PCIe 的高性能 FPGA-GPU-CPU 异构编程架构 [J]. 计算机工程与科学, 2021, 43 (4): 641-651.
- [5] 冯世勤, 冯全源. 一种应用于 CAN 收发器的宽输入范围的迟滞比较器设计 [J]. 电子技术应用, 2021, 47 (7): 52-56.
- [6] 于翔, 全红霞, 周兴云, 等. 基于串并收发器技术的照射制导 2.5 Gbit/s 光电系统 [J]. 光通信研究, 2023, 236 (2): 34-39.
- [7] 刘紫燕, 冯亮, 詹志辉. Modbus 协议 RTU 模式与 TCP 模式的通信转换设计 [J]. 科学技术与工程, 2013, 13 (18): 5191

- 5196.
- [8] 王方方, 易灵芝, 陈海燕, 等. 基于 FPGA 的嵌入式 Ethernet-CAN 通信转换卡设计 [J]. 计算机应用, 2012, 32 (5): 1247-1250.
- [9] 李瑞华, 冯治东. 基于并行干扰抵消的 5G 通信信道传输控制系统设计 [J]. 计算机测量与控制, 2022, 30 (7): 160-165.
- [10] 贺锋涛, 王妮, 张建磊, 等. 各向异性海洋湍流对外差式 DPSK 无线光通信系统的性能研究 [J]. 激光与光电子学进展, 2021, 58 (19): 109-117.
- [11] 唐镇, 胡勇华, 陆浩松, 等. 基于弱约束指派的 DSP 寄存器偶对分配算法研究 [J]. 计算机科学, 2021, 48 (s1): 587-595.
- [12] 王丽娜, 陈思, 张桐, 等. 面向 IoT 固件测试的外设寄存器分类改进方案 [J]. 山东大学学报 (理学版), 2022, 57 (5): 85-91.
- [13] 乔栋, 张潇潇, 王友清. 具有积分测量和时延的离散线性变参数系统故障与状态估计 [J]. 控制理论与应用, 2021, 38 (5): 587-594.
- [14] 李志鹏, 李兴和, 黄虎, 等. 无数字时延滤波器的宽带大规模阵列雷达去斜算法 [J]. 电子科技大学学报, 2022, 51 (3): 371-376.
- [15] 赵春霞, 赵营颖, 宋学坤. 基于频繁项集的多源异构数据并行聚类算法 [J]. 济南大学学报 (自然科学版), 2022, 36 (4): 440-443.
- [16] 周子涵, 卜广全, 王国政, 等. 基于数据空间可靠域的多智能体互补电力系统暂态稳定评估 [J]. 中国电机工程学报, 2022, 42 (15): 5471-5484.
- [17] 韩蕙竹, 黄仰超, 胡航, 等. 无人机短包通信中基于 NOMA 传输的安全性分析 [J]. 信号处理, 2022, 38 (12): 2582-2593.
- [18] 赵小虎, 方祖浩, 张凯. 基于节点-时隙调度的 WSN 传输性能提升策略 [J]. 华中科技大学学报 (自然科学版), 2021, 49 (1): 68-72.
- [19] 张晓璐, 全厚德, 孙慧贤, 等. 对偶序列跳频通信系统的等待匹配式自同步捕获方法 [J]. 探测与控制学报, 2021, 43 (1): 88-94.
- [20] 张刚, 许可蓉, 张天骥. 改进型正交多用户降噪差分混沌键控通信系统 [J]. 系统工程与电子技术, 2022, 44 (4): 1372-1381.
- [21] 岳之双, 刘黎, 田艳军, 等. LCL 型并网变流器交直流双侧状态反馈有源阻尼优化控制 [J]. 高电压技术, 2023, 49 (2): 860-870.
- [22] 郭楠, 陆益民. 基于 Filippov 方法的双向 DC-DC 变换器在状态反馈下的动力学特性分析 [J]. 太阳能学报, 2022, 43 (1): 300-306.
- [23] 曲大鹏, 张建坤, 吕国鑫, 等. 命名数据网络中带宽时延感知的拥塞控制机制 [J]. 计算机科学与探索, 2022, 16 (5): 1076-1086.
- [24] 付有斌, 康巧燕, 王建峰, 等. 标签分割的软件定义飞行自组网控制器智能部署方法 [J]. 系统工程与电子技术, 2022, 44 (10): 3249-3257.