

基于 CPU+FPGA 的实时临空信道模拟器设计

路 辉, 刘雪妍

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘要: 信道建模是研究临近空间通信技术、评估系统传输特性的基础和重要方法; 临空飞行器从低速向高速发展, 信道变化频次随飞行器速度增大而愈加频繁; 为实现对临空通信过程中信道衰落的实时仿真, 研制基于 CPU+FPGA 架构、参数 1 ms 更新一次的临空信道模拟器; 该模拟器内置气象性损耗模型和无线信道衰落模型, CPU 端通过设计状态机控制模块、优化参数计算逻辑、优化操作系统来压缩信道参数的计算时间; FPGA 部分设计关键信息同步方案、基于状态机的双保障更新机制保证参数的可靠稳定传输、并行加速处理实现信息交互和增强信号处理速度; 实测结果表明, 上述方案有效提升了临空信道模拟器的参数计算速度和信号处理速度, 可实现信道参数随收发机运动 1 ms 更新一次。

关键词: 临近空间; 高动态飞行器; 信道模拟器; 更新速率; 性能测试

Design of Real Time Near Space Channel Simulator Based on CPU+FPGA

LU Hui, LIU Xueyan

(School of Electronic Information and Engineering, Beihang University, Beijing 100191, China)

Abstract: Channel modeling is the foundation and important method for studying near space communication technology and evaluating system transmission characteristics. Near space vehicles are developing from low speed to high speed, and the frequency of channel changes increases with the increase of aircraft speed. To achieve the real-time simulation of channel fading in near space communication processing, a near space channel simulator based on the CPU and FPGA architecture with the parameters updated once every 1 ms is developed. The simulator has the characteristics of the built-in meteorological loss model and wireless channel fading model. The calculation time of channel parameters in the CPU side is compressed by designing the control module of state machine, optimizing the parameter calculation logic, and optimizing the operating system. The key information synchronization scheme on FPGA is designed, the dual guarantee update mechanism based on the state machine is ensured the reliable and stable transmission of the parameters, the parallel acceleration processing is used to achieve the information exchange and enhance the signal processing speed. The actual test results show that the above scheme effectively improves the parameter calculation speed and signal processing speed of the near space channel simulator, which can achieve the channel parameters to be updated once every 1 ms with the movement of the transceiver.

Keywords: near space; hypersonic vehicle; channel simulator; update rate; performance test

0 引言

临近空间是距海平面 20~100 km 的区域^[1], 临近空间飞行器指在临近空间长期飞行、持续留空的飞行器, 将临空飞行器作为临近空间通信平台是开发和利用临近空间的重要方向^[2]。

临近空间平台通信过程中, 临空飞行器发射的信号依次经过平流层、对流层后到达接收终端。由于临近空间通信链路较短, 路径损耗占比较低, 信号传输过程中大气环境产生的影响不可忽略; 同时, 链路仰角较高, 信道常存在直射分量^[3]。因此, 临空信道统计性建模过程中, 气象因素和通信链路仰角成为信道建模考虑的重点因素, 将信号衰落分类为对地链路大气衰减和无线信道衰落^[4], 如图 1 所示。对地链路大气衰减指对流层中的氧气和水蒸气造成

电波信号的功率衰减, 对信号产生影响的因素主要有大气吸收损耗、降雨衰减^[5]、云雾衰减、对流层闪烁^[6]等。无线信道衰落包括由传输距离引起的路径损耗^[7]和传输延时、由地表各类障碍物引起的阴影效应^[8]和多径效应, 和移动终端与通信平台间的相对运动引起的多普勒效应^[9]。

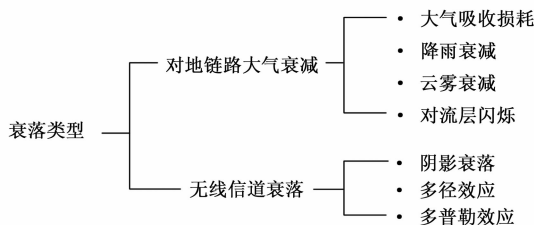


图 1 临近空间信道衰落类型

收稿日期: 2023-08-25; 修回日期: 2023-09-22。

基金项目: 国家自然科学基金(61827901)。

作者简介: 路 辉(1977-), 女, 教授, 博士研究生导师。

引用格式: 路 辉, 刘雪妍. 基于 CPU+FPGA 的实时临空信道模拟器设计[J]. 计算机测量与控制, 2023, 31(11): 286-292, 298.

信道特性研究是确定通信设备性能、实现可靠性通信的基础, 仿真分析法具有可行性高、快速高效等优点, 常通过信道建模搭载模拟器实现^[10]。更新率指 1 s 内的参数发送次数, 高更新率降低了更新的时间间隔, 有助于减少滞后时间, 改善距离测量和跟踪效果^[11]。随着临近空间飞行器正由低速型向高速型机、超高速型发展, 临近空间高动态飞行器飞行速度、加速度、加加速度都很大, 轨道机动性高, 飞行器的多普勒频率、多普勒变化率, 以及多普勒二阶变化率较大, 需考虑多径拓展引起的频率选择性衰落以及高动态多普勒带来的快衰落问题^[12]。这就要求信道模拟器具有较强的实时性, 可快速跟踪收发机运动状态并根据信号传播环境切换信道状态。目前商用实时信道模拟器数据更新率可达 1 000 Hz, 可满足航空航天等高精度定位、高动态测试需求, 因此, 本设计实现 1 ms 更新一次参数、可跟踪高动态载体的实时临空信道模拟器。

1 临空信道模拟器总体设计

提升临空信道模拟器的运算速度、参数更新的时间确定性是对信道模拟器性能的整体优化, 需要各部分协调实现。

1.1 临空信道模拟器架构设计

临空飞行器运动过程中, 位置与速度变化, 则信号传播路径中的大气状况、信号仰角、阴影遮蔽程度、多普勒频移随之改变。因此, 研究临近空间信道, 需要综合考虑发射信号的频率、收发机的位置及运动状态、天气因素, 根据上述参数实时计算信号传输过程中的大气造成的衰减、地形造成的阴影效应、多径效应, 更新信道模型。因此, 临空信道模拟器的对信道参数的高速计算与更新至为重要。综上, 在充分考虑临空信道传输特性, 分析临空信道模拟器功能需求情况下, 本文对临空信道模拟器提出三层架构设计, 分别为临空信道模拟器客户端、信道参数计算机和信道生成机, 前两部分搭载 CPU (central processing unit) 实现, 信道生成机主要模块为 FPGA (field-programmable gate array), 如图 2 所示。

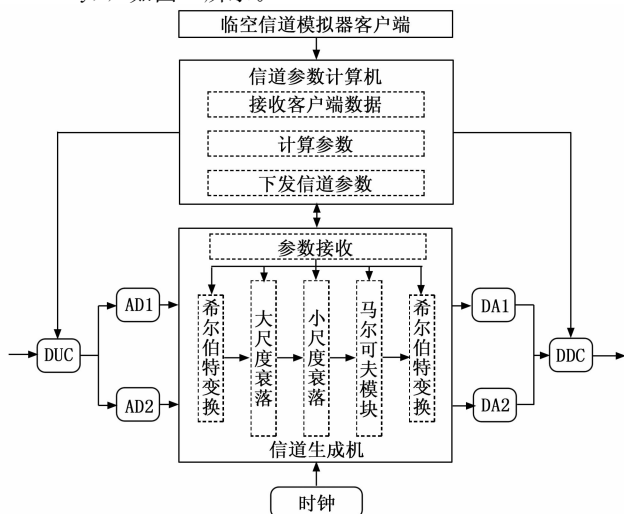


图 2 临空信道模拟器架构图

其中, 临空信道模拟器客户端运行在 Windows 系统的主机, 提供参数设置界面; 信道参数计算机采用 Linux 操作系统, 用于获取界面参数后计算信道参数; 信道生成机主要部分为 FPGA, 用于获取信道参数后生成对应信道衰落模型。三层架构实现了界面和计算程序独立运行, 解除界面和计算程序的耦合, 二者通过通信接口实现参数传递, 不互相干扰, 有效提高了开发效率。模拟器按照硬件区分可分为 CPU 和 FPGA 两层, 这种异构模式充分利用了 CPU 便于人机交互、具有通信设备标准接口, FPGA 运算速度快、实时性高、具有重配置能力的特点, 最大程度提升参数计算速率和信号处理速度。

1.2 临空信道模拟器通信方案

由于三层架构中各部分独立运行, 因此整体设计需要考虑系统控制与数据传递。客户端操作具有最高优先级, 参数计算机和信道生成机依次响应客户端的控制命令。临空信道客户端和信道参数计算机之间为无线网络通信, 选用 TCP/IP 协议组, IP 层负责网络主机的定位, 数据传输的路由, TCP 层负责面向应用的可靠的数据传输机制。TCP/IP 协议组可分为网络层、传输层、应用层三个层次^[13], Socket 是基于连接应用层和传输层的套件, 是对 TCP/IP 协议的封装后提供的 API 接口, 代表客户端和服务端的一个通信进程, 通信过程依次为服务器监听、客户端请求和连接确认^[14]。Socket 通信简单, 灵活性高, 传输数据可自定义, 数据传输时间短, 可跨平台使用, 适合于客户端和服务端之间信息实时交互。信道参数计算机和信道生成机通过高速接口 PCI Express (PCIe) 连接, 选用 PCIe V2.0, 8Lane, 最大传输速率 5.0 GT/s。利用 Xilinx 提供的 DMA/Bridge Subsystem for PCIe (XDMA) IP 核实现数据传递。XDMA 的作用是将 PCIe 总线转换成 AXI 总线, 通过该模块直接操作 AXI 总线上的设备寄存器, 配置简单灵活, 避免了复杂的 PCIe 传输控制。

临空信道客户端和信道参数计算机之间传递数据包含参数包括界面控制信号、信号参数、收发机参数与信道参数, 单向传递; 信道参数计算机和信道生成机传递数据包含控制参数、信道参数和中断请求, 双向传递。当仿真开始后, 客户端将信号参数、收发机参数与信道参数发送至参数计算机, 信道参数计算机完成计算后将控制信号和信道参数转为信道模型控制字发送至信道生成机, 信道生成机将信道状态反馈至参数计算机, 完成控制信号与参数的传递。三层架构中各层功能模块的设计基于其计算特点, 对地链路大气衰减计算中包含插值法读取文件及复杂算数运算, 更适合软件实现, 因此主要由信道参数机实现; 无线信道衰落计算较为简单, 可分解为同相正交分量, 并行执行, 适合硬件电路, 选用信道生成机实现。

2 信道参数计算机设计

信道参数计算机用于计算对地链路大气衰减 (大气吸收损耗、降雨衰减、云雾衰减、对流层闪烁)、路径损耗、收发机仰角及相对速度。功能可分为三个层次: 监听客户

端获取参数、更新计算信道参数、接收来自 FPGA 的更新请求信号。各功能模块如图 3 所示。最上层模块用于和远程客户端交互，利用 Socket 监听客户端口，接收到客户端发送的数据后进行解析，并将解析结果传递给参数计算模块。中层模块用于信道参数计算，其中对地链路大气衰减根据界面设计气象状况先分别计算所需类型的衰落值，再汇总计算总体衰落值，并转化为控制字下发到 FPGA，在信道生成机的衰落模块实现气象性损耗衰落；无线链路衰减由参数计算机根据收发机位置、运动速度等计算其多普勒频移方向、直射径入射角、路径仰角，生成多普勒控制字，在信道生成机生成对应参数的信道衰落模型。底层模块用于和 FPGA 交互，传递模拟器当前运行状态、获取 FPGA 参数校验情况、下发信道参数并接收更新请求。

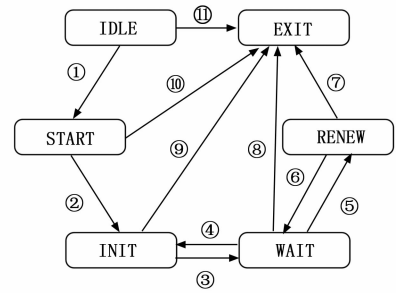


图 4 参数计算机控制模块状态机设计

接收到更新请求时，返回 RENEW 状态，再次计算与下发信道更新参数；当客户端点击停止仿真，返回 IDLE 状态；当客户端点击关闭模拟器时，进入 EXIT 状态，退出计算程序。

多线程设计实现各功能并行执行，控制状态机有效调度各功能执行顺序，避免程序串行造成的延迟与无关程序占用 CPU，有利于提升计算效率。

2.2 参数更新逻辑设计

信道参数可根据其特点分为初始化参数和更新参数，初始化参数包含信道衰落模块选择与否的标志位和对应衰落模型的相关参数值，更新参数包括随收发机位置变化的信号时延、大尺度衰落和多普勒频移。其中，临空信道模拟器执行过程中初始化参数不发生改变，因此，模拟器启动，界面参数设置完成后仅下发一次。更新参数随模拟器运动而发生改变，需要在模拟器运行过程中重复计算最新值并更新。同时，为保证参数正确传递，添加 CRC 编码校验机制。整体参数计算更新逻辑如图 5 所示。

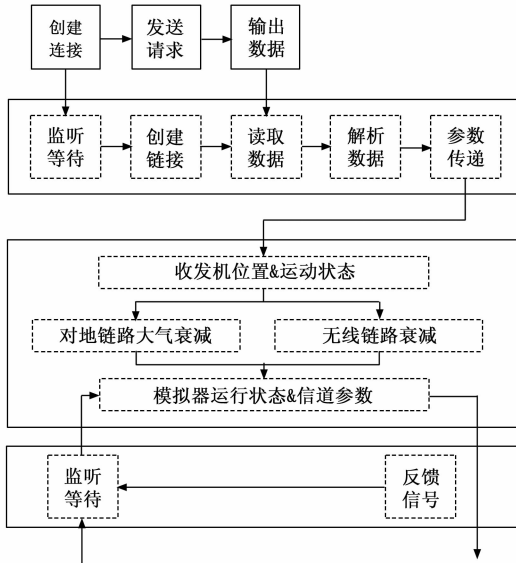


图 3 信道参数计算机功能模块

信道参数的计算与更新时间与各功能模块执行调度、参数计算逻辑、操作系统执行时间均有密切联系。因此，想要压缩参数计算时间，实现信道参数的实时更新，需要针对上述相关因素分别进行优化设计。

2.1 功能模块控制状态机

为实现参数计算机各功能模块并行执行，在参数计算机中设计选用三个线程，分别为：监听线程、计算线程、更新请求读取线程。监听线程具有最高优先级，当接收到来自客户端的开始、停止和退出信号时立即进行响应。三线程的控制逻辑通过状态机实现，各状态及跳转逻辑如图 4 所示。

根据状态机状态与跳转条件可知，模拟器上电启动后，处于 IDLE 状态；当客户端参数设置完成、点击开始，信道参数计算端接收开始控制信号后接收界面数据并进行解包；完成后进入 INIT 状态，进行信道初始化参数计算与下发；完成后进入 RENEW 状态，进行信道更新参数计算与下发；完成后进入 WAIT 状态，等待信道生成机的更新请求；当

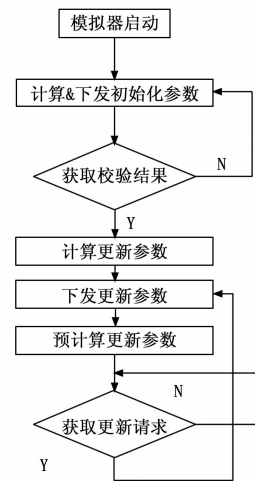


图 5 参数更新逻辑

当信道模拟器启动后，首先配置信道类型、计算初始化参数，并进行 CRC 编码，编码完成后写入信道生成机。信道生成机读取后进行 CRC 校验，校验通过则继续计算更新参数，不通过则反馈异常，请求参数计算机再次发送。更新参数由来自信道生成机的更新请求信号控制，在此采用预计算的形式，即先计算完成一组更新参数，当获取更

新请求信号时将先数据写入, 后计算下一次更新参数。预计算可实现参数计算机获取更新请求后立刻将数据返回, 缩短数据发送延迟。

2.3 优化操作系统

Windows 和 Linux 均为非实时系统, 相较于 Window 系统, Linux 内核模块化程度高、支持多种体系结构的处理器、安全性及可靠性更好。对于临空信道模拟器而言, 将参数计算机运行在 Linux 系统上, 更加高效、稳定、安全^[15]。尽管 Linux 操作系统目前已加入了一些实时处理的支持, 但其实时性仍然不足。目前对 Linux 的实时性改造方法分为双内核和直接修改内核两种技术路线。RT-Patch (realtime preemption patch) 是用于提高 Linux 实时性的补丁, 由 Ingo Molnar 和 Thomas Gleixner 于 2000 年开始开发维护^[16]。它遵循 POSIX 标准, 实时系统的应用程序和驱动程序差异很小, 使用该方案开发比双内核机制更容易^[17]。

RT-Pacth 实时抢占补丁通过中断线程化、临界区可抢占、高精度时钟、优先级继承等方法来对 Linux 内核进行实时性提升, 如图 6 所示。中断线程化技术将中断服务程序转变为可被操作系统调度的线程, 通过给中断分配优先级、减少关中断的操作来避免无法调度实时任务的情况^[18]。用户可按需设置其优先级, 默认优先级为 50。实时补丁使用优先级可继承的互斥锁 (rt_mutex) 替换自旋锁和大内核锁实现高优先级可以抢占临界区^[19]。RT-Patch 提供新的时钟管理系统, 使时钟分辨率达到 ns 级。通过优先级可继承, 即当任务因低优先级任务占据资源而堵塞时, 低优先级任务继承被阻塞任务的优先级, 避免优先级翻转^[20]。

3 信道生成机设计

信道生成机用于生成信道衰落模型, 实现对输入信号的实时衰落。功能可分为三部分: 参数接收模块、控制模块和信道衰落模块, 各功能模块如图 7 所示。

参数接收模块用于接收来自参数计算机的控制参数和信道参数, 数据通过 XDMA 写入 FPGA, 其中 AXI-Lite 端口写入信道模拟器控制信息, AXI 端口写入批量的信道参数。控制模块首先解析控制信息, 利用状态机控制信道生

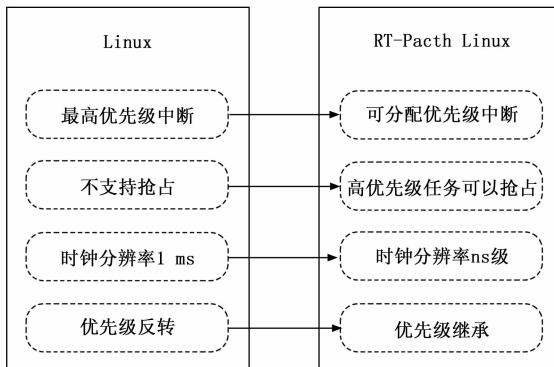


图 6 RT-Pacth 实时抢占补丁对 Linux 内核的影响

成机的运行状态和信号的流动方向, 后在模拟器正常运行状态下对信道参数进行校验、解析、分发。信道衰落模块包含信号的大尺度衰落 (路径损耗和对地链路大气衰减在此部分完成)、阴影衰落 (Lognormal)、Hilbert 变换、小尺度衰落 (Rayleigh/Rician/Nakagami)、复合衰落 (Suzuki/C. Loo/Corazza), 将来自模数转换芯片的数字信号输入所需信道衰落模型, 完后信号衰落后经数模转换芯片输出。

参数计算机完成计算后, 只有当接收到来自信道生成机的更新请求信号后才会将更新参数写入, 因此, 信道参数的更新需要参数计算机和信道生成机的共同配合。信息互通是配合的基础, 参数计算机和信道生成机需要获取对方的运行状态, 从而确定各功能模块是否正常运行。信道生成机将差分时钟作为驱动源, 可在确定时间内完成确定数据操作。对于参数更新而言, 信道生成机需要保证更新请求的稳定发起; 对于信号处理而言, 信道生成机需要尽可能降低信号从输入到输出的延迟时间。针对上述需求, 本设计分别进行关键信息同步、基于状态机的双保障更新机制、增大数据并行来保证信道生成机可靠、高速运行。

3.1 关键控制信息同步

参数计算机和信道生成机为实现双向控制与信息反馈, 需要对关键信息进行同步。临空信道模拟器的关键控制信

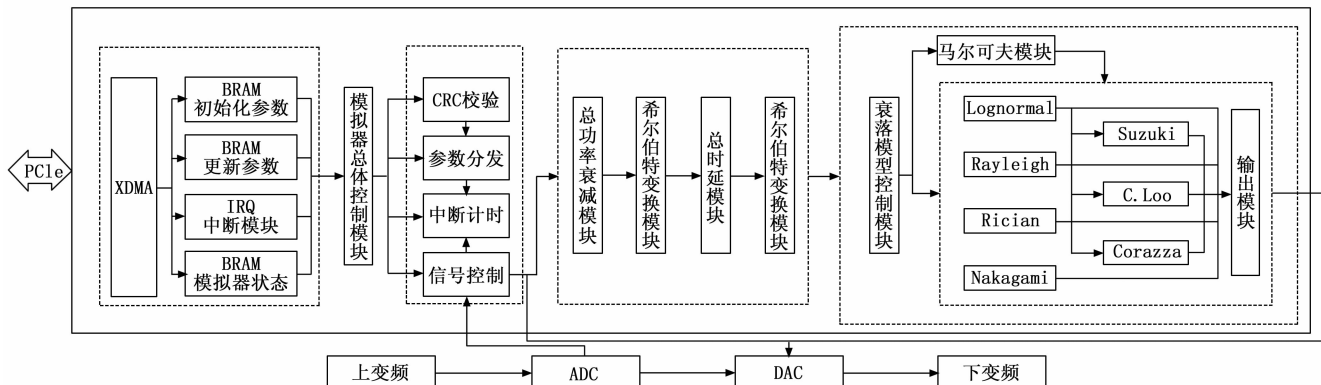


图 7 信道生成机总体功能概览图

息包括当前模拟器的运行状态、初始参数写入和读取状态、更新参数写入和读取状态、和模拟器运行中产生的异常信息。由于参数计算机和信道生成机通过 PCIe 端口进行通信, XDMA 将 FPGA 中的地址空间映射到内存, 因此二者可以通过向同一地址写入、读取数据来同步关键信息。控制信息仅在功能切换时同步, 不需要批量传输, AXI-Lite 通道可以满足需求。基于上述分析, 在信道生成机选用双端口 RAM 存储控制信息, 参数计算机和信道生成机均可对该 RAM 进行读写, RAM 宽度为 32 bit, 每字节对应值所表示意义如表 1 所示。关键信息是参数计算机和信道生成机功能控制的重要依据, 而 RAM 两侧读写时钟不同, 可能会产生亚稳态, 因此对各组数据进行冗余编码, 即当每字节低 4 bit 或高 4 bit 同时为 0 跳或为 1 时, 认为该值有效, 反之视为异常。其中, 模拟器运行状态具有最高优先级, 当信道模拟器处于正常运行状态时, 初始化标志位、更新标志位、异常标志位正常更新, 其他情况将值冲刷为零并保持不变。

表 1 关键信息标志位分布与含义

比特位	31:24	23:16	15:8	7:0
表示意义	异常	更新状态	初始化状态	运行状态

信道生成机根据参数计算机写入 RAM 的模拟器运行信息控制输入信号的流向, 根据初始化参数和更新参数的写入状态控制参数读取, 完成后更新控制信息反馈至参数计算机。信道生成机的各运行状态同样通过状态机实现, 各状态及跳转逻辑如图 8 所示。

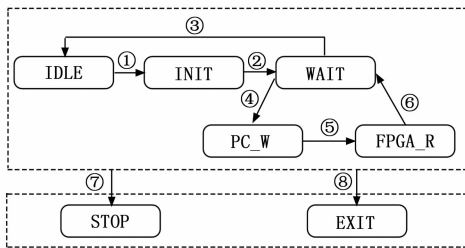


图 8 信道生成机控制模块状态机设计

临空信道模拟器上电启动后处于 IDLE 空闲态; 当客户端设计完成点击开始, 参数计算机将开始标志位写入, 进入 START 状态, 开始进行信道仿真, 等待信道初始化参数写入; 初始化参数写入完成后进入 INIT 状态读取参数, 并进行 CRC 校验, 校验通过则更新关键信息中的初始化标志位, 进入 WAIT 状态, 校验失败则写入异常信号, 请求参数计算机再次下发; WAIT 状态等待更新参数写入, 当更新参数开始写入, 跳转至 PC_W 状态; 更新参数写入完成进入 FPGA_R 状态, 读取完成后更新关键控制信息中的更新标志位。

3.2 基于状态机的双保障更新机制

从信道生成机发出的参数更新请求同样基于状态机的控制。参数更新请求利用时钟计时, 计数至确定值后拉高

请求信号, 以中断形式发送至参数计算机。在参数快速更新过程中, 涉及软硬件交互, 中断信号被 CPU 接收和处理的时间、信道参数计算和写入的时间均在波动, 需要合理设计参数更新请求的发起方式。由于 CPU 处理中断需要时间, 无法全部响应过于密集的中断请求, 这一点在 Windows 系统中尤为明显。尽管参数计算机基于 Linux 系统, 但是 CPU 接收中断数量小于发送数量的问题仍无法完全避免。同时, 尽管参数计算机通过 RT-Linux 尽可能提升了参数计算程序的优先级, 仍有可能发生其他后台程序抢占, 造成参数计算机无法在规定时间内完成更新参数计算。针对上述问题, 本文提出基于状态机的双保障更新机制。握手是多设备、多模块通信的常用方法, 当一端需要通信时会持续拉高请求信号, 目的端接收到请求信号后, 当可以接收来自源端数据时给予反馈, 视为一次握手成功, 参数更新过程多处使用握手机制。

信道生成机中断更新请求模块, 如图 9 所示。更新请求模块包括标准 1 ms 计时模块、浮动计时模块和仲裁模块。首轮更新参数写入完成后, 标准计时模块启动, 计时至 1 ms 后拉高 ready 信号; 浮动计时模块用于统计更新请求信号发出至新的更新参数读取完成的时间, 读取完成后拉高 ready 信号; 仲裁模块用于仲裁 ready 信号, 当输入 ready 信号均为高电平时, 反馈握手信号同时发起更新请求, 标准计时模块和浮动计时模块收到反馈信号后清空数值, 开始新一轮计数。参数更新请求发出后将持续处于有效状态, 当参数计算机接受到该请求后, 反馈握手信号后, 该请求拉低, 以保证所有更新请求信号均成功被参数计算机接收。

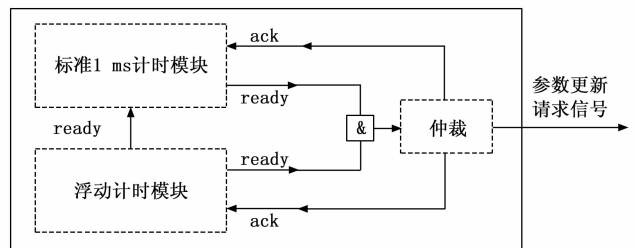


图 9 中断更新请求模块

标准计时模块和浮动计时模块拉高 ready 信号在更新参数时会存在先后, 对应不同更新策略。正常情况下, 更新请求信号发出至新的更新参数读取完成的时间小于 1 ms, 即浮动计时模块的 ready 信号先拉高, 此后等待标准计时模块计数至 1 ms 后发起更新请求, 如图 10 所示。异常情况下, 如 CPU 被其他程序抢占导致更新请求信号一直未被处理或更新参数未计算完成时, 则标准计时模块先拉高 ready, 此后计数值保持不变, 等待浮动计时模块 ready 信号有效后再发起更新请求, 如图 11 所示。

基于状态机的双保障更新机制对于模拟器正常运行和异常情况均设计对应解决方案, 同时通过 CPU 和 FPGA 间握手、计时模块与仲裁模块的多次握手机制, 保证了参数

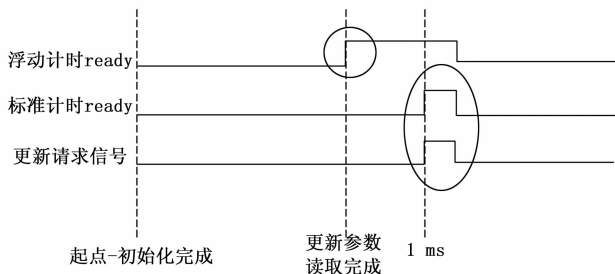


图 10 双保障更新机制正常运行状态

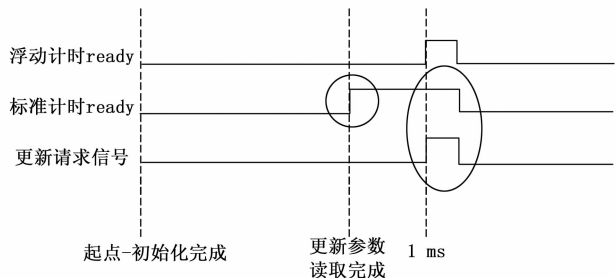


图 11 双保障更新机制异常运行状态

更新请求的稳定发起和全部被 CPU 接收处理。

3.3 并行加速处理

FPGA 设计中, 吞吐量、时延和时序与速度密切相关。吞吐率指系统一个时钟周期能够处理的数据数量, 延时指数据从输入系统到输出系统总共需要的时间, 时序收敛指 FPGA 中寄存器与寄存器、输入、输出均满足时序要求。对 FPGA 进行并行加速处理, 可从数据并行、流水线处理、节能优化三个方面进行。数据并行用于信道衰落模块, 共分为两级, 如图 12 所示。信道参数解析完成后发往各基础衰落模块, 并行生成对应参数的衰落模型, 后在基础衰落模型的基础上并行实现复合衰落模型。

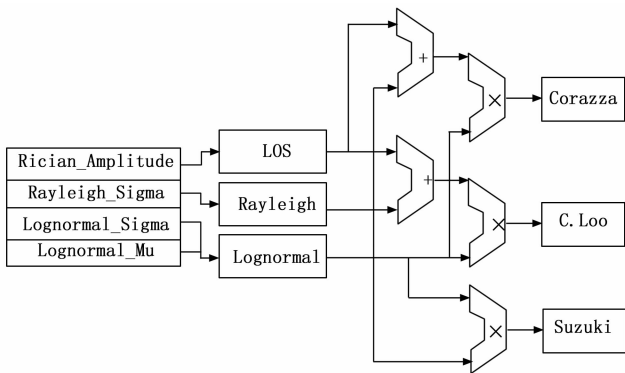


图 12 数据并行处理

流水线处理中, 将组合逻辑过长的路径在不改变电路功能的基础上增加寄存器, 避免时序违例导致模拟器不能运行在高时钟频率。节能优化利用门控时钟实现, 对所有信道衰落模型增加门控时钟, 当前模拟需要该衰落类型, 则正常翻转, 不需要, 则关断时钟。

4 实时性测试

参数计算机和信道生成机的整体优化后, 分别对参数计算时间、各阶段参数写入时间、中断请求发起时间间隔进行测试。优化前后参数计算时间如图 13 所示, 参数计算机优化设计后计算时间明显减少, 当统计次数至 10 000 000 次时, 计算耗时为未进行优化耗时的三分之一。

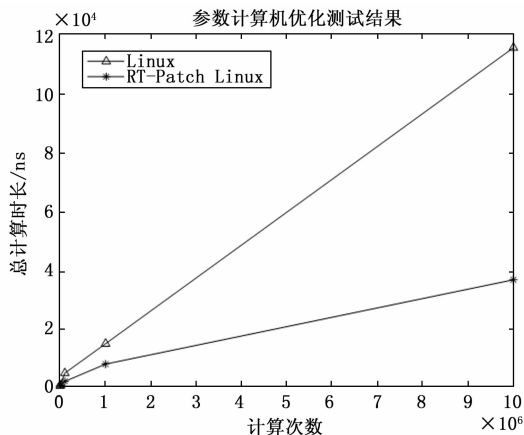


图 13 参数计算时间统计图

以中断发起为起点, 按照执行顺序将参数更新过程划分为多个时间片, 如图 14 所示, 该过程包含多次 CPU 和 FPGA 的信息交互, 分别对各时间片长度进行测试。

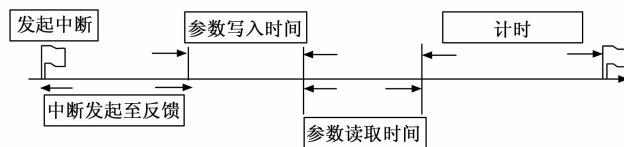


图 14 参数更新阶段示意图

更新请求发起过程如图 15 所示。通过在 FPGA 中添加计数器, 记录更新请求发起至接收到反馈握手信号的时间, 并将每一轮更新时该阶段的计数值写入 RAM, 记录 32 768 次, 将 RAM 数据导出分析, 结果见图 16, 均值约为 100 μ s。参数更新标志位写入至更新参数全部写入所耗时间如图 17 所示, 约为 21 μ s。参数读取时间为参数帧数与时钟周期的乘积, 为 4.21 μ s。

对图 14 整体过程进行测试, 通过在 FPGA 中添加计数器记录每一轮参数更新所用时间, 并将结果写入 RAM 后整体读取, 进行数据分析, 测试结果见图 18。

综合上述测试结果, 一般情况下浮动计时模块的时间均小于标准计时模块, 因此更新请求发起主要由标准计时模块控制, 每 1 ms 发起一次更新请求, 可实现参数稳定 1 ms 更新一次。

5 结束语

本文在临近空间信道建模的基础上, 研究了基于 CPU + FPGA 架构的信道模拟器参数更新速率受限的原因并提出优化方案。通过对 CPU 从操作系统、控制逻辑、参数计

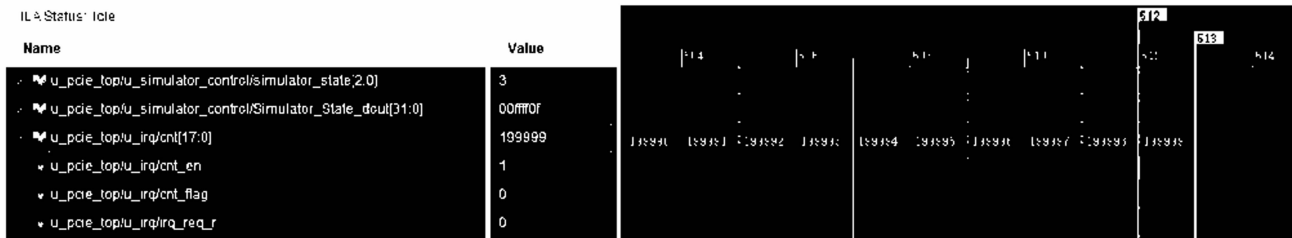


图 15 计时至 1 ms 时发起更新请求

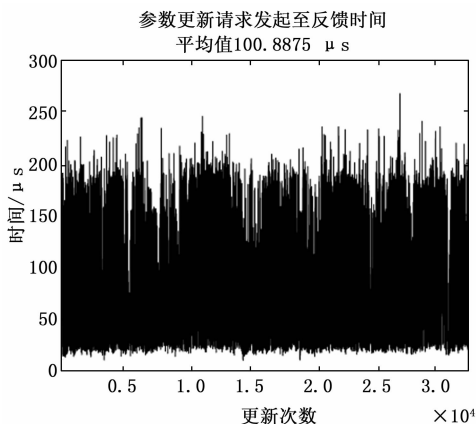


图 16 中断反馈时间

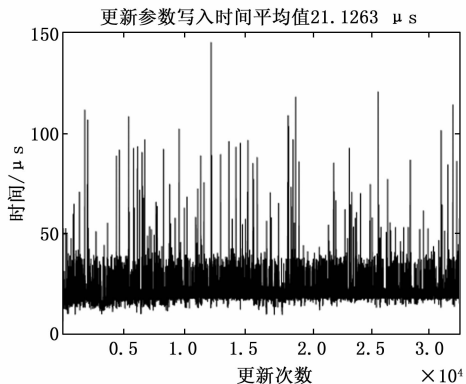


图 17 更新参数写入时间

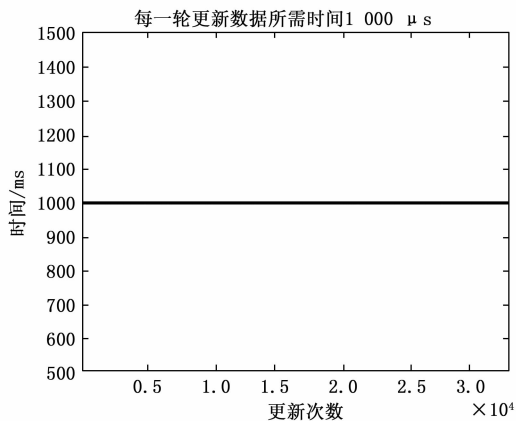


图 18 参数更新时间间隔

算流程进行优化设计,对 FPGA 从信息交互和数据流进行控制,实现了高速的参数计算、处理、传递全过程。测试结果表明,该临空信道模拟器参数更新速率为 1 000 Hz,可实现对高动态飞行器的实时跟踪。

参考文献:

[1] 卢 玉. 人类命运共同体理念下临近空间的法律地位和制度探析 [J]. 南京航空航天大学学报(社会科学版), 2022, 24 (3): 103 - 109.

[2] 郎保真, 孙震强. 高空平台通信系统发展现状与前景 [J]. 移动通信, 2021, 45 (5): 86 - 89.

[3] GRACE D, MOHORCIC M. Broadband Communications via High Altitude Platforms [J]. Communications Surveys & Tutorials IEEE, 2010.

[4] 路 辉, 董昕玉. 基于 CPU+FPGA 的临近空间信道模拟器设计 [J]. 计算机测量与控制, 2021, 29 (9): 161 - 169.

[5] 王婷婷. 基于多用户协作分集的 HAPS 抗雨衰技术研究 [D]. 北京: 北京邮电大学, 2019.

[6] RECOMMENDATION ITU-R P. 618 - 13, Propagation data and prediction methods required for the design of Earth-space Telecommunications systems [Z].

[7] OYELEKE O D, THOMAS S, IDOWU-BISMARCK O, et al. Absorption, Diffraction and Free Space Path Losses Modeling for the Terahertz Band [J]. International Journal of Engineering and Manufacturing, 2020, 10 (1): 54 - 65.

[8] BEAULIEU, N. C, NASERI, et al. A Circuit Theory Model for Shadow Fading Autocorrelation in Wireless Radio Channels [J]. Wireless Communications Letters, IEEE, 2019 (1): 161 - 164.

[9] H. L, X. D, X. C. Motion Model of Floating Weather Sensing Node for Typhoon Detection [J]. Complex System Modeling and Simulation, 2022, 2 (1): 96 - 111.

[10] 周生奎, 戴秀超, 朱秋明, 等. 无线衰落信道模拟方法及仪器研制 [J]. 电子测量与仪器学报, 2015, 29 (7): 988 - 994.

[11] SALIH A A, ZAINI N L A C, ZHAHIR A. The Suitability of GPS Receivers Update Rates for Navigation Applications [Z]. 2013.

[12] 张超然, 张 可, 黄 盼. 临近空间高动态飞行器通信设计与仿真 [J]. 计算机工程与应用, 2015, 51 (15): 211 - 215.

(下转第 298 页)