

基于嵌入式结构半导体芯片信息测试系统平台设计

常宜龙^{1,2}

(1. 菲律宾黎刹大学, 马尼拉 0900; 2. 北京中凯达自动化工程有限公司, 北京 100176)

摘要:为解决因半导体芯片信息平均压缩比较大而导致的信息测试时间过长的问题,设计基于嵌入式结构半导体芯片信息测试系统平台;根据嵌入式终端体系布局形式,建立 LeNet 网络模型,再以此为基础,完善 SMTExecutor 结构的执行流程,实现信息测试系统平台的工具集模块设计;分别定义 Deflate 机制、LZ4 机制,联合数据信息参量,规范系统平台同步化线程的执行模式,实现对半导体芯片信息的处理;按照嵌入式结构定义标准,生成配置文件,通过导入关键信息的方式,规划量化测试条件,从而对命令词进行识别,实现对测试系统功能的优化,联合工具集模块,完成基于嵌入式结构半导体芯片信息测试系统平台的设计;实验结果表明,上述系统平台的应用,可以在数据导入过程中解决半导体芯片信息平均压缩比过大的问题,能够大幅缩短信息测试时间,符合实际应用需求。

关键词: 嵌入式结构; 半导体芯片; 信息测试; 工具集模块

Design of Information Testing System Platform for Semiconductor Chip Based on Embedded Structure

CHANG Yilong^{1,2}

(1. Jose Rizal University, Manila 0900, Philippine;

2. Beijing Zhongkaida Automation Engineering Co., Ltd., Beijing 100176, China)

Abstract: In order to solve the problem that the information test time is too long due to the large average compression ratio of semiconductor chip information in the process of data import, a semiconductor chip information test system platform based on embedded structure is designed. LeNet network model is established by the layout of embedded terminal system. On this basis, the execution process of SMTExecutor structure is improved, and the tool set module design of the information test system platform is realized. Deflate mechanism and LZ4 mechanism are defined respectively, and combined with the data information parameters, the execution mode of system platform synchronization thread is standardized to realize the processing of semiconductor chip information. According to the embedded structure definition standard, the configuration file is generated, the quantitative test conditions are planned by importing the key information, the command words are identified to realize the optimization of the test system, and the design of the embedded structure semiconductor chip information test system platform is completed by combining with the tool set module. The experimental results show that the system platform can solve the problem that the average compression ratio of semiconductor chip information is too large in the process of data import, and can greatly shorten the information test time, which meets the actual application requirements.

Keywords: embedded structure; semiconductor chip; information test; tool set module

0 引言

嵌入式系统由软件、硬件两部分共同组成,是具有独立运行能力的器件结构,其中软件部分所包含的内容相对简单,只涉及运行程序与主机操作代码,硬件部分则包括通信模块、信号存储器、信号处理器等多种不同的应用设备结构。相较于常规计算机处理系统而言,嵌入式系统不具备大规模存储数据样本的能力,由于没有与之相匹配的存储介质,嵌入式系统的运行必须借助 EEPROM、EPROM 等部件结构,对待存储信息参量进行转换与处理^[1]。

从专业性角度来看,嵌入式系统更适用于实时性、可靠性要求较高的应用场合,可以在录入数据样本参量的同时,按照计算主机模式版本的需求,对相关信息进行重排处理,故而该类型系统可以同时保障主机运行体系的可扩展性与通用性。此外,嵌入式系统软、硬件单元结构之间的连接也相对较为紧密,在录入数据参量的过程中,只要硬件处理设备保持连接状态,终端体系就可以执行传输指令,此时软件应用程序与数据传输行为保持高度对应关系,底层客户端对象可以借助输出设备获得良好的网络体验,这也是嵌入式系统应用较为广泛的主要原因^[2]。

收稿日期: 2023-04-27; 修回日期: 2023-06-01。

作者简介: 常宜龙(1984-),男,博士研究生,工程师。

引用格式: 常宜龙. 基于嵌入式结构半导体芯片信息测试系统平台设计[J]. 计算机测量与控制, 2023, 31(11): 131-136, 166.

半导体芯片作为集成电路的载体，其结构体系相对较为复杂，每一个微型单元中都包含成千上万个晶体管结构，且在不同外力测试作用下，这些晶体管结构有可能表现出完全不同的运行状态。在实际应用过程中，随着数据样本导入量的增大，半导体芯片所负载信息的平均压缩比水平也会不断增大，当期数值水平达到额定上限标准后，系统主机对于信息参量的测试时间就会无限延长，最终使系统主机失去按需处理数据样本的能力。针对上述问题，基于无线同步信息的测试系统根据数据参量的实时负载情况，确定半导体芯片的瞬时运行状态，再通过定向去除的方式，适当控制压缩后信息参量的占比情况^[3]。基于 LabVIEW 的测试系统根据静态激励原则，对半导体芯片中的待测信息进行取样，再按照性能标准的不同，分类完成测试后的数据信息样本^[4]。然而上述两类系统的应用能力有限，其对于信息测试时间的控制水平也就无法满足实际需求标准。为避免上述情况的发生，提出基于嵌入式结构半导体芯片信息测试系统平台，并对其具体设计方法展开深入研究。

1 信息测试系统平台的工具集模块设计

工具集模块作为半导体芯片信息测试系统平台的核心应用部件，由嵌入式终端体系、LeNet 网络模型、SMTExecutor 执行结构三部分共同组成，本章节将以上述三类应用结构之间的实时连接关系为基础，确定测试系统平台工具集模块的具体设计方法。

1.1 嵌入式终端体系

在半导体芯片信息测试系统平台中，嵌入式终端体系实现了存储元件与下级测试主机之间的对接，可以在信息传输接口等多个应用元件的作用下，调节 CIFARr-10 主板的实时连接状态，从而在充分压缩半导体芯片信息的同时，促进数据样本对象的快速传输，避免信息测试时间出现不断延长的情况。测试单元作为嵌入式终端体系的核心运行设备，直接接收电源模块输出的电量信号，但由于电量传输信号中可能同时包含交流与支流信息参量，所以为避免测试单元出现混乱运行的情况，电量信号还需经过信息传输接口的过滤处理之后，才能供测试单元设备的应用^[5]。Split 测试主机配合半导体结构整合测试单元中的信息对象，整个执行过程中，数据信息参量完全存储于内存设备之中。从功能性角度来看，内存设备的功能与嵌入式终端体系外部的信息存储元件类似，都具有长期记录信息参量的能力。CIFARr-10 主板接受嵌入式测试单元的直接调度，负责制定与半导体芯片信息相关的测试执行指令^[6]。具体的嵌入式终端体系结构模型如图 1 所示。

信息传输接口、Split 测试主机、半导体结构、内存设备、CIFARr-10 主板同时连接于嵌入式测试单元右侧，是嵌入式终端体系中的被动应用部件，由于测试系统平台的运行具有时效性特征，所以这些部件结构也必须具有高速处理信息参量的能力。

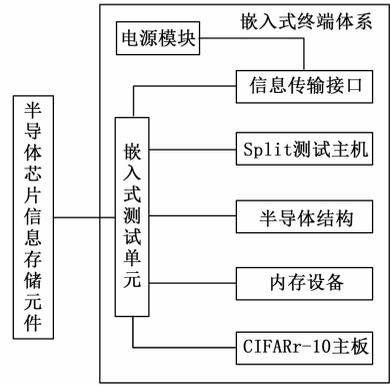


图 1 嵌入式终端体系结构模型

1.2 LeNet 网络模型

LeNet 网络模型是嵌入式系统平台的搭建基础，由输入层、过渡层、输出层三部分组成，具体连接结构如图 2 所示。

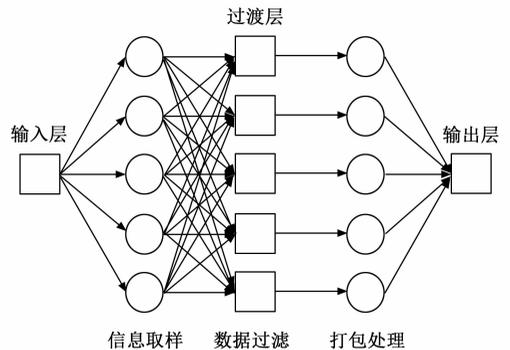


图 2 LeNet 网络模型结构图

对于各个模型阶层功能特征的描述如下。

1) 输入层：在 LeNet 网络模型中，输入层相当于半导体芯片信息的录入端口，为嵌入式终端体系输出的信息样本提供输入环境，但由于端口元件不具备识别信息格式的能力，所以 LeNet 网络模型所接收到半导体芯片信息的编码形式与嵌入式终端体系所输出芯片信息的编码形式完全相同。

2) 过渡层：过渡层的功能体系由信息取样、数据过滤、打包处理三部分组成。信息取样是指按照嵌入式结构所需的数据样本完成对半导体芯片信息的筛选，所利用数据对象为输入层端口所录入的信息参量^[7]。数据过滤是指去除已录入半导体芯片信息中的非关联成分，对于 LeNet 网络模型而言，该项功能直接决定了系统平台对于半导体芯片信息的测试与处理能力。打包处理就是指对半导体芯片信息的按需规划，在测试系统平台运行过程中，嵌入式结构对于数据信息的需求量不断增大，所以完成打包后的半导体芯片信息数据包所占存储空间也会不断增大。

3) 输出层：输出层端口的执行功能与输入层完全相反，在 LeNet 网络模型中，该结构负责将完成打包的半导

体芯片信息传输至下级应用结构之中, 由于 LeNet 网络模型是一个完整的结构体单元, 所以该端口组织也接受嵌入式终端体系的统一调度^[8]。

1.3 SMTExecutor 执行结构

SMTExecutor 执行结构是系统主机生成半导体芯片信息测试结果的核心部件组织, 获取 LeNet 网络模型输出的所有信息对象, 并可以按照嵌入式验证机制的运行标准, 对所输出信息参量进行整合与重排处理。SMTExecutor 执行可以理解为基于 SMTExecutor 语句所定义的数据信息处理原则, 对于半导体芯片信息测试系统而言, 其运行过程中, 该结构单元始终负载大量的数据信息参量, 且随着测试线程的接连启动, 主机元件对信息对象的筛选原则会不断发生变化, 这就意味着该元件的运行状态不会始终保持绝对稳定的状态^[9]。完整的 SMTExecutor 执行结构运行流程如图 3 所示。

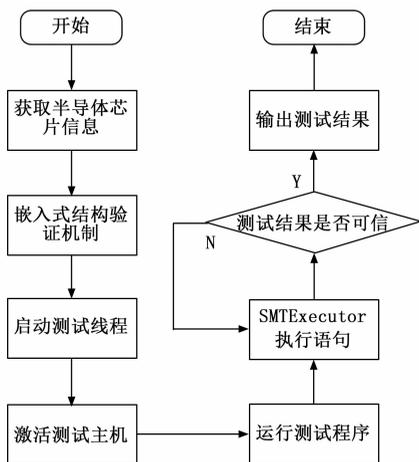


图 3 SMTExecutor 执行流程图

半导体芯片信息实时累积量相对较大的情况下, 嵌入式结构所承担的数据转存压力相对较多, 此时 SMTExecutor 执行结构针对信息对象所制定的判别条件也就相对较为宽松, 只要待测信息中包含与 SMTExecutor 执行语句相同的部分, 就会被系统主机判定为可信的测试结果; 反之, 若半导体芯片信息实时累积量相对较少 SMTExecutor 执行结构针对信息对象所制定的判别条件就较为严格, 待测信息必须与 SMTExecutor 执行语句完全符合, 才会被系统主机判定为可信的测试结果^[10]。此外, 若待测信息中不包含与 SMTExecutor 执行语句相符的部分, 那么无论半导体芯片信息处于哪一种累积情况, SMTExecutor 执行结构都判定当前信息对象的测试结果不可信, 且这些信息样本会顺着传输信道组织, 返回 LeNet 网络模型之中, 直至系统主机对其发出二次测试的指令。

2 半导体芯片信息处理

在各级工具集模块的基础上, 测试系统为实现对半导体芯片信息的处理, 还应联合嵌入式结构, 定义 Deflate 机制、LZ4 机制的作用原则, 并联合相关线程指令, 以完成

测试程序的同步化配置。

2.1 Deflate 机制

在嵌入式结构体系中, Deflate 机制对于半导体芯片信息给予长度为“7”的滑动测试窗口, 按照每组窗口滑过的平均字符串长度, 寻找后续半导体芯片信息字符串中的最长重复串, 通常情况下, 测试主机将该串字符直接替换为滑窗单元, 以供 LeNet 网络模型的直接调取与利用^[11]。由于 SMTExecutor 执行结构直接接收 LeNet 网络模型输出的半导体芯片信息, 所以为保证 Deflate 机制滑动测试窗口能够准确定义待测信息参量, 最长重复串、平均字符串中必须包含相同的信息字段。

χ 表示半导体芯片信息的平均字符串长度, 且 $\chi \neq 0$ 的不等式取值条件恒成立, 其求解表达式如下:

$$\chi = \frac{\beta \cdot |\Delta W|}{n!} \times \sqrt{\frac{\bar{\alpha}^2 - 1}{\hat{q}_1^2 + \hat{q}_2^2 + \dots + \hat{q}_m^2}} \quad (1)$$

其中: ΔW 表示半导体芯片待测信息的单位累积量, β 表示平均字符串的重复频率参数, $\bar{\alpha}$ 表示半导体芯片信息长度值描述特征, $\hat{q}_1, \hat{q}_2, \dots, \hat{q}_m$ 表示基于 Deflate 描述原则所选取的 m 个半导体芯片信息测试字段, 且其取值同时属于 $[1, +\infty)$ 的数值区间。

利用公式 (1), 可将半导体芯片信息的 Deflate 机制测试表达式定义为:

$$Q = (\chi - 1)^2 \cdot \left[1 - \left(\frac{E}{\delta |e_{\max} - e_{\min}|} \right) \right] \quad (2)$$

E 表示滑窗单元所捕捉到的标准半导体芯片信息测试对象, δ 表示信息字符串的平均字段长度, $\delta \neq 0$ 的不等式条件恒成立, e_{\max} 表示半导体芯片信息测量行为描述指征的最大取值, e_{\min} 表示信息测量行为描述指征的最小取值。测试半导体芯片信息的过程中, Deflate 机制主要针对字符串对象的平均字段长度进行提取, 且滑动测试窗口长度保持定值状态, 所以当输入信息保持频繁变化状态时, 其测试结果准确性有可能出现一定程度的下降。

2.2 LZ4 机制

LZ4 机制是在 Deflate 机制基础上, 定义的更加完善的半导体芯片信息测试条件, 能够在精准探查信息对象冗余项指标的同时, 将连续字符串分割成多个不连续的小型字段结构。对于系统测试主机而言, 其在 LZ4 机制的作用下, 能够建立多个完善的哈希表单, 且每一个表单结构都对应一个独立的待测信息对象, 若二者对应关系发生变化, 那么系统主机也就无法得到准确的测试结果^[12]。

在公式 (2) 的基础上, 设 γ 表示半导体芯片信息冗余项提取参数, ϵ 表示字段结构非连续性定义参数, \bar{R} 表示连续字符串分割权值, \bar{y} 表示半导体芯片信息非连续字段的输入均值, φ 表示半导体芯片信息的哈希性判别参数, 联立上述物理量, 推导待测信息对象定义为:

$$r' = \varphi \cdot \sum_{\epsilon=1}^{+\infty} \gamma^{\epsilon} Q + \left(\left| \frac{1}{\bar{R}} \bar{y} \right| \right)_{\gamma \neq R} \quad (3)$$

利用公式 (3), 求解半导体芯片信息的 LZ4 机制测试表达式为:

$$Y = \frac{1}{|\Delta T|} \times r' \times \int_{\epsilon=1}^{+\infty} \bar{U}^2 - \left(\frac{\bar{u}}{\varphi}\right)^2 \Big|_{\varphi>0} \quad (4)$$

式中, ΔT 表示测试系统的单位运行周期, ϵ 表示半导体芯片待测信息导出系数, \bar{U} 表示哈希表单中的半导体芯片信息排列特征, φ 表示半导体芯片信息字段的取样参数, \bar{u} 表示基于 LZ4 描述原则所选取的半导体芯片信息测试字段。 $\varphi < 0$ 表示系统主机当前所选取半导体芯片信息在嵌入式结构中保持逆序传输特征, 在测试过程中, 利用该类型数据对象构建哈希表所需时间较长, 而过长的测试时间, 会导致信息测试结果的准确性下降。因此, 为避免上述情况的发生, 默认 $\varphi > 0$ 的取值条件恒成立。

2.3 同步化线程

同步化线程就是通过修正数据顺序的方式, 使系统主机对半导体芯片信息的测试优先级条件与嵌入式结构中数据对象的输出优先级条件保持一致, 完成该程序指令要求线程池中数据样本的实时存储数量必须小于系统主机对于半导体芯片信息的测试处理能力^[13-14]。线程池是同时满足 Deflate 机制与 LZ4 机制认证条件的虚拟化数据处理结构, 具有重新排序数据信息样本的能力。对于系统主机而言, 为实现对半导体芯片信息的精准测试, 就必须使线程池结构具有独立处理数据对象的能力。

n 表示半导体芯片信息的位数取样条件, $1 < 2 < \dots < (n-4) < (n-3) < (n-2) < (n-1) < n$ 的不等式条件恒成立, 表明 n 是一个大于零且不断向正无穷方向趋近的自然数。规定 t_1, t_2, \dots, t_n 表示同时满足 Deflate 机制、LZ4 机制认证条件的半导体芯片信息认证对象, 其定义式满足如下条件。

$$t_n = \frac{t_{n-2}}{t_{n-1}} \times \frac{t_{n-4}}{t_{n-3}} \times \dots \times \frac{t_1}{t_2}, n \in (0, +\infty) \quad (5)$$

在测试半导体芯片信息时, 线程池对于信息对象的排列遵循数值由大到小的原则, 所以 $t_{n-1} > t_{n-2}, t_{n-3} > t_{n-4}, \dots, t_2 > t_1$ 的不等式条件同时成立。

联立公式 (4)、公式 (5), 计算同步化线程表达式, 如公式 (6) 所示。

$$I = \sum_{-\infty}^{+\infty} i_{\kappa} \hat{p}^2 + \sqrt{\frac{Y}{\lambda \cdot t_n}} \vec{O} \quad (6)$$

其中: i_{κ} 表示信息测试线程在 κ 输入情况下的取值, \hat{p} 表示同时满足 Deflate 机制与 LZ4 机制的信息认证参量, λ 表示半导体芯片信息在线程池中的实时存储参数, \vec{O} 表示半导体芯片信息的同步化处理向量。为保证线程池对半导体芯片信息的动态认证能力, 不要在同一测试区域内, 完成对数据对象的取样。

3 基于嵌入式结构的测试系统功能优化

基于嵌入式结构半导体芯片信息测试系统平台的实现, 还需借助已生成的配置文件, 对导入信息进行初步测试, 再通过量化测试条件的方式, 完成对关键命令词的识别, 从而实现对测试系统基本应用功能的优化。

3.1 配置文件生成

配置文件是系统执行测试指令所遵循的必要处理条件, 约束了半导体芯片信息的编码形式。在线程程序保持同步化状态的基础上, 生成必要的配置文件, 才可以使系统主机具有测试信息对象的能力。从功能性角度来看, 生成配置文件需同时满足如下两个条件: 1) 在 LeNet 网络模型中声明需要测试的半导体芯片信息。由于嵌入式结构对于半导体芯片信息的提取同时遵循 Deflate 机制与 LZ4 机制, 所以为使 LeNet 网络模型能够在较短时间内确定信息对象所处存储位置, 就必须对其进行多次声明。2) 将绑定好的半导体芯片信息转换成其他存储格式。配置文件要求满足系统测试需求的半导体芯片信息至少具有两种不同的存储格式, 这就表示为实现嵌入式结构对导体芯片信息的测试需求, 就必须保障信息对象的存储格式的多样性。生成测试系统配置文件主要遵循如下原则。

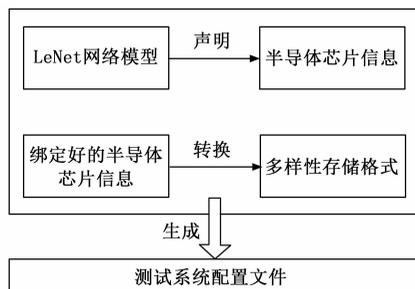


图 4 配置文件生成原则

嵌入式结构规定半导体芯片信息单位传输速率最大值不能大于测试系统配置文件的平均生成速率, 一方面可以使 LeNet 网络模型对待测半导体芯片信息进行精准定义, 另一方面也使线程池对信息对象的认证需求得到较好满足^[15]。此外, 由于 LeNet 网络模型对于 Deflate 机制、LZ4 机制的响应能力并不相同, 所以在生成配置文件的过程中, 系统测试主机可能会出现运行速率不规律的情况。

3.2 信息导入测试

信息导入测试是在开始系统测试之前, 针对嵌入式结构当前所提取半导体芯片信息所制定的预测试条件, 可以利用配置文件估算信息样本的总存储量, 从而使得系统主机能够制定更加合理的测试指令执行方案。SMTExecutor 结构是信息导入测试指令的主要执行部件, 能够在配置文件的作用下, 将相似程度更高的信息对象集合在一起, 对于系统主机而言, 其在测试半导体芯片信息时, 每次所提取到的数据样本都以包装集合体的形式存在, 可以有效保障预测试结果与实际测试结果之间的相关性^[16-17]。

整个导入测试环节由如下两个环节组成。

信息导入权限求解:

$$A = \frac{\kappa}{\left| \frac{s \times s}{\Delta D} \right|} \times I \quad (7)$$

预测试标准计算:

$$G = \kappa |\Delta D| - \left(\frac{s \times s'}{I} \right)^2 \quad (8)$$

式中, κ 表示预测试指令执行参数, ΔD 表示 SMTExecutor 结构中半导体芯片信息的实时累积量, s 表示嵌入式结构对于信息测试指令的响应参数, s' 表示参数 s 的一次求导结果。

联立公式 (7)、公式 (8), 求解信息导入测试标准, 如公式 (9) 所示。

$$H = \frac{(A \times G)}{\sum_{\mu \rightarrow +\infty} f \cdot (a-1)^{-\mu}} \quad (9)$$

μ 表示半导体芯片信息打包参数, a 表示测试信息导入阈值, f 表示预测试指令执行等级评定参数。信息导入测试结果可以大致描述出测试系统的最终执行结果, 特别是在等级评定参数 f 取值属于 $(0, 1]$ 区间之内时, 公式 (9) 的执行结果与测试系统最终执行结果完全相同, 但由于当前情况下, 量化测试条件并不满足固定取值标准, 所以预测求解结果只具有参考性。

3.3 量化测试条件

量化测试条件是在信息导入测试基础上, 对半导体芯片信息进行的二次数据量化处理, 整个执行周期完全与嵌入式结构对于信息参数的测试行为保持同频状态, 且受到系统主机独立运行能力的影响, 待测试半导体芯片信息的实时累积量越大, 量化测试条件的实际取值就越大。所谓量化是指从数值角度对信息导入测试结果进行处理, 对于系统主机而言, 量化条件越精准, 半导体芯片信息测试结果就越符合嵌入式结构的识别需求^[18]。

规定 \bar{h} 表示已导入半导体芯片信息的数值量化参数, 当其取值满足 $\bar{h} < 0$ 时, 表示嵌入式结构对待测半导体芯片信息进行负向赋值, 当其取值满足 $\bar{h} > 0$ 时, 表示嵌入式结构对待测半导体芯片信息进行正向赋值, 当其取值满足 $\bar{h} = 0$ 时, 表示嵌入式结构不对待测半导体芯片信息进行赋值, 即当前情况下, 系统主机中不存在待测试的半导体芯片信息 (在系统运行过程中, $\bar{h} = 0$ 的存在几率极小)。在上述物理量的支持下, 联立公式 (9), 可将已导入半导体芯片信息的量化测试条件表示为:

$$J = \int_{c=1}^{+\infty} \left[\frac{H\bar{h}}{\eta} \left(\frac{1}{j} + \bar{k} \right) \right] \quad (10)$$

式中, c 表示嵌入式结构对待测半导体芯片信息的赋值权限, η 表示系统主机对半导体芯片信息的测试效率, j 表示基于数值量化标准所选取的半导体芯片信息取样向量, \bar{k} 表示嵌入式结构中半导体芯片信息的录入均值。若存在系统主机对半导体芯片信息测试效率过低的情况, 表示嵌入式结构当前所取样的信息对象不满足预测试条件, 为避免非精准测试结果的出现, 可对半导体芯片信息进行重新取样^[19]。

3.4 命令词识别

命令词识别是系统主机生成半导体芯片信息测试指令的关键环节。主机元件在量化测试条件的基础上, 根据半导体芯片信息的实时排序规律, 生成与测试指令相关的命

令词语句, 再将其传输至嵌入式结构部件之中, 生成完整的测试执行程序。所谓识别可以理解成测试主机对命令词语句的按需定义, 在半导体芯片信息输入量保持不变的情况下, 只有得到唯一的命令词识别结果, 才能保证信息测试结果的准确性^[20]。

定义半导体芯片信息命令词语句参数为:

$$l = 1 - (\vartheta \times \tilde{z})^2 \quad (11)$$

其中: ϑ 表示半导体芯片信息的实时序列参数, \tilde{z} 表示信息文本测试段的数值特征。

在公式 (11) 的基础上, 推导命令词识别表达式为:

$$B = b'l \left(\frac{J}{\omega^2} \right) + |M|^2 \quad (12)$$

b' 表示命令词语句查询参数, ω 表示命令词语句的单位执行周期, M 表示半导体芯片信息在系统平台中的测试基向量。嵌入式结构按照半导体芯片信息的命令词识别条件, 向系统平台发送数据对象获取指令, 从而实现对信息样本的测试。

4 实验结果与分析

4.1 实验环境

选择 LP7801D 型的半导体芯片作为实验对象, 将其置于 28 V、1 μ A 的微电容驱动电路中, 开始测试实验, 详情如图 5 所示。



图 5 LP7801D 型半导体芯片测试

在测试半导体芯片的过程中, 测试信息回传至处理器主机的过程称为“数据导入”, 在数据导入过程中, 半导体芯片信息平均压缩比会出现明显变化, 而这也会延长芯片测试所需时间。本次实验的主要目的就是通过分析数据导入过程中半导体芯片信息平均压缩比的变化情况, 来判断信息测试时间是否会出现不断延长的情况。

4.2 原理与步骤简述

半导体芯片信息平均压缩比受信息输出峰值 ω_{\max} 、回传受阻系数 ξ 两项物理量的直接影响, 其计算式如下:

$$\bar{\psi} = \frac{\xi \cdot \omega_{\max}}{\nu} \quad (13)$$

其中: ν 表示所选半导体芯片信息实验对象个数。

回传受阻系数 ξ 是一项规律性指标, 其取值与半导体芯片信息个数数值之间存在表 1 所示关系。

表 1 回传受阻系数 ξ 取值

半导体芯片信息个数/bit	最大值	最小值
2.0	5.3	2.1
4.0	5.8	2.1
6.0	6.4	2.1
8.0	6.7	2.5
10.0	6.9	2.7
12.0	7.0	3.3

由于回传受阻系数取值符号表 1 所示规律，所以后续实验步骤仅需对信息输出峰值 ω_{\max} 进行实验。

首先，将基于嵌入式结构半导体芯片信息测试系统平台的执行程序输入处理器主机中，确定信息输出峰值在各个实验节点处的数值水平，所得结果记为实验组数据；

其次，将基于无线同步信息的测试系统的执行程序输入处理器主机中，确定信息输出峰值在各个实验节点处的数值水平，所得结果记为 A 对照组数据；

然后，将基于 LabVIEW 的测试系统的执行程序输入处理器主机中，确定信息输出峰值在各个实验节点处的数值水平，所得结果记为 B 对照组数据；

最后，利用所得实验结果，计算半导体芯片信息的平均压缩比，并根据计算数值，总结实验规律。

4.3 数据处理

图 6 反映了实验组、A 对照组、B 对照组信息输出峰值 ω_{\max} 的具体实验结果。

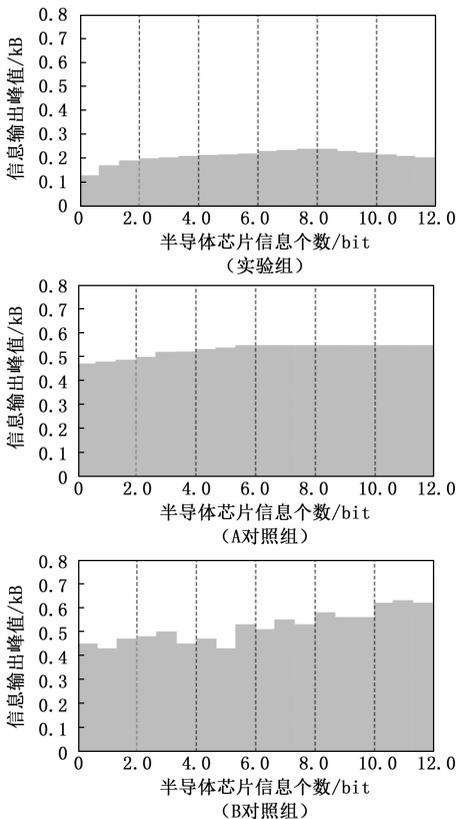


图 6 信息输出峰值 ω_{\max} 的实验结果

分析图 6 可知，实验组、A 对照组、B 对照组信息输出峰值的变化规律并不相同。实验组峰值指标始终保持低水平状态，最大值仅能达到 0.24 kb；A 对照组峰值指标在一段时间的上升状态后，开始逐渐趋于稳定，最大值达到了 0.55 kb，与实验组最大值相比，增大了 0.31 kb；B 对照组峰值指标则保持波动变化状态，最大值为 0.63 kb，与实验组最大值相比，增大了 0.39 kb。

4.4 测试结果数据分析

本次实验以半导体芯片信息平均压缩比作为测试指标，分别在表 1、图 6 中取各组实验结果的最大值与最小值，按照公式 (13)，对半导体芯片信息平均压缩比进行计算，具体计算参数取值如表 2 所示。

表 2 平均压缩比计算参数取值

项目	实验组	A 对照组	B 对照组
半导体芯片信息个数/bit	8.0	6.0~12.0	10.0~12.0
回传受阻系数	极大值	6.7	7.0
	极小值	2.5	2.1
信息输出峰值/kb	0.22	0.54	0.61

$$\text{实验组: } \begin{cases} \bar{\psi}_{\max} = 0.18 \\ \bar{\psi}_{\min} = 0.07 \end{cases} \quad \text{单位: kb} \quad (14)$$

$$\text{A 对照组: } \begin{cases} \bar{\psi}_{\max} = 0.31 \\ \bar{\psi}_{\min} = 0.19 \end{cases} \quad \text{单位: kb} \quad (15)$$

$$\text{B 对照组: } \begin{cases} \bar{\psi}_{\max} = 0.36 \\ \bar{\psi}_{\min} = 0.16 \end{cases} \quad \text{单位: kb} \quad (16)$$

根据公式 (14) 至公式 (16) 可知，实验组半导体芯片信息平均压缩比最小；A 对照组平均压缩比的极大值相对较小，而极小值相对较大；B 对照组平均压缩比的数值情况刚好与 A 对照组相反。由于半导体芯片信息平均压缩比较大将会导致信息测试时间过长的的问题，所以根据上述实验结果可知，实验组平均压缩比最小，即实验组信息测试时间最短，B 对照组平均压缩比最大，即 B 对照组信息测试时间最长。

4.5 结果与结论

综上所述本次实验结论为：

- 1) 基于无线同步信息的测试系统的应用，不足以在数据导入过程中，解决半导体芯片信息平均压缩比过大的问题，故而应用该系统不能缓解信息测试时间过长的情况。
- 2) 基于 LabVIEW 的测试系统的应用能力与基于无线同步信息的测试系统类似，都不能有效控制半导体芯片信息的平均压缩比，也就无法解决信息测试时间过长的的问题。
- 3) 基于嵌入式结构半导体芯片信息测试系统平台应用，可将半导体芯片信息平均压缩比控制在 0.05~0.28 kb 的数值区间之内，相较于其他两类系统，该系统能够更好解决信息测试时间过长的的问题。

5 结束语

相较于基于无线同步信息的测试系统、基于 LabVIEW (下转第 166 页)