

基于 FSMC 技术的 NorFlash 功能验证系统研究

廖 勇¹, 张思佳², 李佳俊¹, 韦纯进¹, 吴佩雯¹, 张亭亭¹

(1. 航天科工防御技术研究试验中心, 北京 100854;

2. 西南石油大学 电气信息学院, 成都 610500)

摘要: 针对闪存存储器 NorFlash 而言, 其功能验证与参数测试主要依赖于集成电路自动测试机 (ATE, automatic test equipment), 采用 ATE 进行测试程序开发时存在测试向量编写困难、测试程序编写流程复杂、ATE 机时占用时间长等不足, 通过研制一款基于可变静态存储控制器 (FSMC, flexible static memory controller) 技术的 NorFlash 功能验证装置, 在功能验证时可以实现 NorFlash 测试向量的地址动态递增和数据动态添加, 时序设置简单, 从而减少开发周期和难度, 同时释放 ATE 机时占用; 并且可广泛外接各类型高精度源表设备进行部分交直流参数的测试; 在板级模拟 NorFlash 实际工作条件进行验证测试所得到的功能验证效果与测试数据均符合芯片手册要求, 为后续此类存储芯片的选用与评估提供可靠的试验支撑。

关键词: FSMC 技术; NorFlash; 功能验证; 参数测试; 可靠性

Research on NorFlash Functional Verification System Based on FSMC Technology

LIAO Yong¹, ZHANG Sijia², LI Jiajun¹, WEI Chunjin¹, WU Peiwen¹, ZHANG Tingting¹

(1. Aerospace Science and Engineering Defense Technology Research and Test Center, Beijing 100854, China;

2. School of Electrical Information, Southwest Petroleum University, Chengdu 610500, China)

Abstract: For flash memory NorFlash, its function verification and parameter testing mainly rely on integrated circuit automatic test equipment (ATE). When the ATE is used for the development of test programs, there are the shortcomings of difficultly writing test vectors, complex testing process, and long runtime occupation by the ATE. Therefore, a NorFlash function verification device based on flexible static memory controller (FSMC) is developed, which can realize the dynamic address increment and data addition of NorFlash test vector during the function verification. The sequence setting is simple, thus reducing the development cycle and difficulty, and releasing the occupied time of the ATE machine; various types of high-precision source table equipment can be widely connected to test the partial parameters of alternating current and direct current; The functional verification results and test data obtained by simulating the actual working conditions of NorFlash at the board level are in line with the requirements of the chip manual, which provides a reliable test support for the subsequent selection and evaluation of memory chips.

Keywords: FSMC technique; NorFlash; functional verification; parameter test; reliability

0 引言

对于闪存存储器 NorFlash 而言, 国内外大多数生产或测试厂家采用的主流测试方式是使用 ATE 机台或者存储器专用测试设备进行测试, 这些设备可通过编写测试程序完成对 NorFlash 的功能和各类参数测试, 同时可设置多 SITE 模式实现批量测试, 但 ATE 和存储器专用测试设备的价格往往十分高昂, 同时对于传统 ATE 机台进行存储器功能测试与参数测试而言, 还存在测试开发流程复杂的情况, 需要编写 pin configuration 文件、level 文件、timing 文件、pattern 文件、testflow 文件等测试程序配置文件, 这些测试文件中时序设计和向量文件一般编写较为复杂、编写时间过长, 开发效率较低^[1]。并且基于 NorFlash 芯片的特点,

在进行测试程序开发时, 需要将其容量和功能模式完全覆盖, 而测试开发人员在编写存储器测试向量时一般的测试机台无法自动生成测试向量, 也无法完成地址的动态递增, 单纯靠手动或靠编代码的方式实现半自动地址递增会使得测试向量编写困难, 特别是对于 256Mbit 及以上的 NorFlash 芯片通过手动复制上千万行测试向量时会使得计算机变得卡顿, 完成一个完整的向量编写通常需要几十小时, 开发效率极低, 而且 NorFlash 的功能测试涵盖大量控制命令以及种类繁多的控制时序, 靠测试人员手动编写测试向量和调整时序会存在较大开发难度, 并且由于测试机台测试向量深度的限制, 上述方式往往难以覆盖大容量的存储器, 进而会增加测试程序开发难度, 延长开发周期^[2-3]。

收稿日期: 2023-03-18; 修回日期: 2023-04-11。

基金项目: 航天科工防御技术研究试验中心所基金课题(210002112NN0139)。

作者简介: 廖 勇(1995-), 男, 硕士, 助理工程师。

通讯作者: 张思佳(1997-), 女, 硕士研究生。

引用格式: 廖 勇, 张思佳, 李佳俊, 等. 基于 FSMC 技术的 NorFlash 功能验证系统研究[J]. 计算机测量与控制, 2024, 32(1): 312-318, 326.

针对 NorFlash 测试存在的问题, 可采用 FSMC 扩展技术进行解决, 此技术是 STM32 系列微控制器单元采用的一种新型的存储器控制技术^[4-5]。其中, FSMC 内部包含 4 个模块: AHB 接口 (包括 FSMC 配置寄存器)、NOR 闪存和 PSRAM 控制器、NAND 闪存和 PC 卡控制器、外部设备接口等^[6]。FSMC 接口可以支持扩展静态的内存, 如 SRAM、NorFlash、NandFlash、ROM 等存储器。在进行 NorFlash 验证测试时, 通过设置 FSMC 控制器, 实现对存储器芯片的优化调度, 通过对待测 NorFlash 芯片 ID 的读取, 可以自动匹配不同厂家、不同型号、不同封装的 NorFlash 芯片测试算法, 减少了基于传统 ATE 机台的存储器芯片测试开发需要编写的 pin configuration 文件、level 文件、timing 文件、pattern 文件、testflow 文件的工作, 并且由于要覆盖 NorFlash 的所有存储空间, 常规采用 ATE 利用手动或者半自动的方式极大依赖于测试机台的向量存储深度和测试机台的编程灵活性, 而往往通用大规模集成电路测试机台, 如: 日本爱德万公司的 V93K 和美国泰瑞达公司的 Ultra-Flex 在这两方面做的均不好, 除非花费极大的成本完成软硬件升级才能满足大容量的 NorFlash 的功能测试, 但是测试向量编写困难、测试流程复杂且冗余的缺点仍然存在, 这样就会极大的增加了测试开发人员的效率, 而自主设计的 NorFlash 功能验证系统可以较好的解决此问题, 可以通过编写代码灵活的完成测试向量中地址动态递增和存储空间数据动态赋值的工作, 并且外围电路可配置大容量的存储介质以用于测试向量的存放, 从而较好的应对常规测试机在进行 NorFlash 测试程序开发时所面临的问题, 而且由于编程软件采用 Visual Studio 2022 进行嵌入式开发, 编程的灵活性和可用的函数库更加丰富多样, 从而使得测试程序编写的兼容性和可行性大为提升。此外, 针对传统的 ATE 机台的扇区擦除及整片芯片擦除测试时间长的问题, 本系统内部集成 MATCH 功能, 可以实时判断芯片的 BUSY 输出信号及时控制擦除操作, 省去芯片额外的擦除时间, 极大地增强了系统的测试效率。针对 NorFlash 而言, 在测试时设置具有特殊功能的寄存器, 动态调整发出的控制指令^[7], 动态实现 NorFlash 存储空间的遍历访问, 控制时序设置简单, 可便捷的完成对 NorFlash 的功能测试。

1 NorFlash 功能验证技术方案设计

1.1 FSMC 拓展技术的应用

本文选择单片机 STM32F407IGT6 在不增加外部的器件的条件下, 可以扩展不同型号、不同类型、不同容量的外部静态存储器^[8-10]。在 STM32 系列单片机, 一些引脚被专门设置为地址线、数据线、控制线, 这些地址线、数据线等对应着固定的地址^[11-12], 使用时只需外部存储器将数据线与 STM32 对应的数据线连接, 配置 FSMC 即可完成访问操作。针对 NorFlash 而言, 选择 FSMC 内部集成的 NorFlash 控制器, 通过配置特殊寄存器直接完成 NorFlash 的访问^[13-14], 其核心工作原理是利用 STM32F407-IGT6 的高性能 Arm[®]Cortex[®]-M4, 32 位的 RISC 内核通过 AHB 高速

总线连接到 FSMC, 再由 FSMC 连接至扩展 NorFlash 的外部总线^[15-18]。FSMC 接口在 CPU 与外部扩展存储器实现通讯时起到转换的作用, 将 CPU 对外部 NorFlash 的访问信号转换为可被外部扩展 NorFlash 所识别到的信号, 并发送给外部扩展 NorFlash, 实现 CPU 与外部扩展 NorFlash 的数据通讯^[19-20]。

1.2 NorFlash 功能验证系统框架搭建

NorFlash 功能验证系统框架如图 1 所示, 此系统框架主要涵盖 12 个部分, 分别是: 以 STM32F407IGT6 为核心的主控电路、供电电路模块、RS485 电路、AD7606 电路、输入继电器控制电路、输出继电器控制电路、输入源控制电路、输出源控制电路、波形产生电路、示波器及通讯电路、台式电路及通讯电路、数字万用表及通讯电路;

图 1 详细的展示了测试母板中各部分电路的连接关系, 图中, 深色线标识输入信号的流动方向, 浅色表示输出信号的流动方向。输入信号即被测芯片的激励信号流动轨迹如下: 输入激励信号 (单片机激励源、高精度台式电源、波形产生电路) → 输入信号选择电路 → 输入接口 → 被测芯片; 输出信号即被测芯片输出信号的流动轨迹如下: 被测芯片输出信号 → 输出接口 → 输出测试源选择电路 → 测试源 (高精度台式电源、高精度 AD 采样电路和高性能外部示波器)。各个组成单元都承担着十分重要的作用:

核心控制电路是整套功能验证系统的关键组成部分, 它以 STM32F407IGT6 为主, 该芯片内部集成了可变静态存储控制器 FSMC, 通过集成的 Thumb-2 高密度指令集设置特殊功能寄存器, 如图 1 所示, 然后 FSMC 接口利用控制接口、地址接口和数据接口可以依据不同的外部存储器类型发出相应的数据/地址/控制信号以匹配信号的速度, 在不增加外部器件的情况下就可以实现对不同厂家、不同容量、不同协议的 NorFlash 进行地址的遍历、向量的动态生成、时序的便捷设置, 极大增强了该系统的兼容性和灵活性。

基于 VS2022 开发平台, 它涵盖大量的库函数固件库, 在进行初始化时使用到会用到 FSMC _ NORInit ()、FSMC _ NANDInit ()、FSMC _ SRAMInit () 等库函数, 还有 FSMC 的使能函数 FSMC _ NORInit ()、FSMC _ NANDInit ()、FSMC _ SRAMInit () 等, 而且 FSMC 读写时序、地址建立保持时间, 数据建立时间等配置也可以在调用库函数的基础上进行编程开发。总之, 库函数调用十分方便, 嵌入式软件编程非常灵活。

但是在嵌入式编程时也有需要注意的地方, FSMC 进行 NorFlash 访问时有几个寄存器非常重要, 其中 FSMC _ BCRx 控制寄存器可配置要控制的存储器类型、数据线宽度以及信号有效极性能参数, FSMC _ BTRx 时序寄存器用于配置 NorFlash 访问时的各种时间延迟, 如数据保持时间、地址保持时间等, FSMC _ BWTRx 写时序寄存器专门用于控制写时序的时间参数, 但是在所调用的 ST 官方库中, 并没有定义 FSMC _ BCRx、FSMC _ BTRx、FSMC _ BWTRx 等寄存器, 而利用一些规则进行组合而得到, 其中

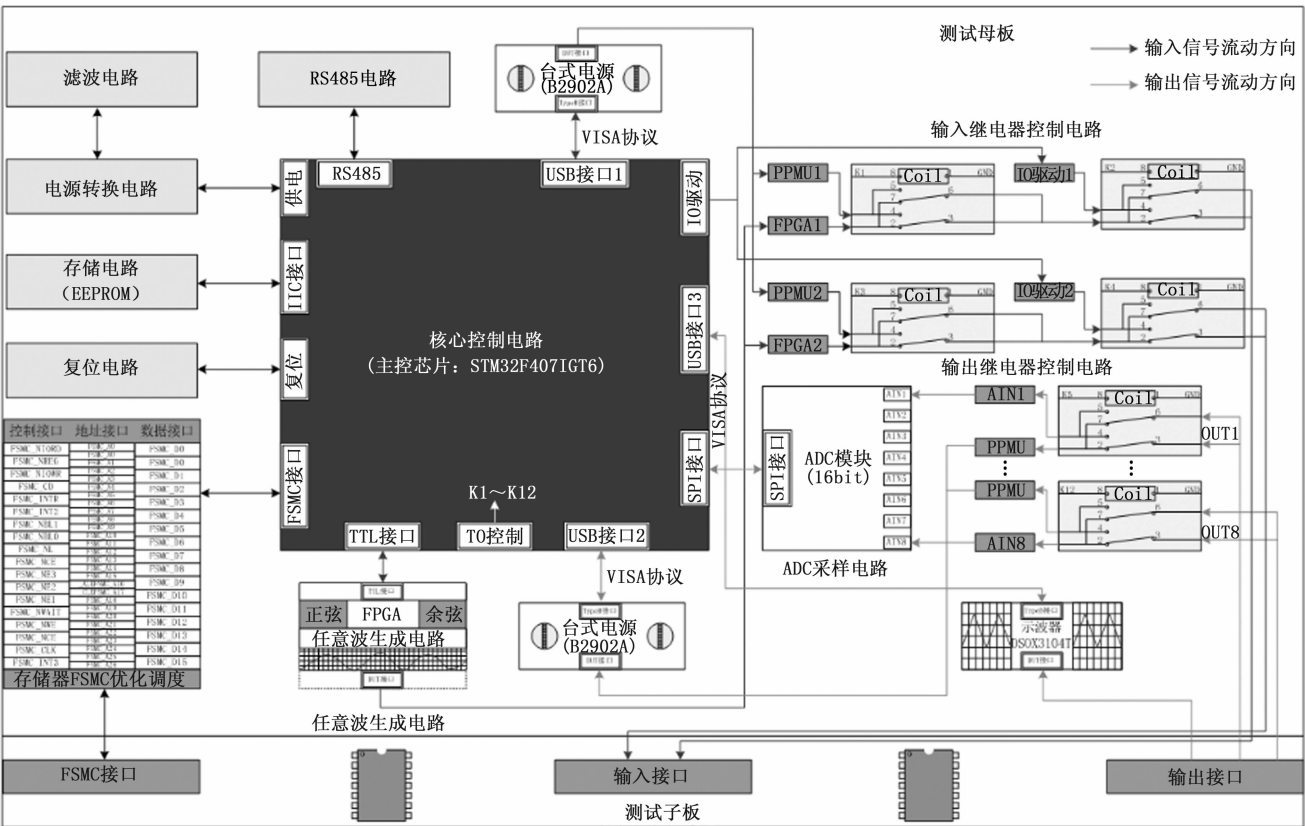


图 1 NorFlash 功能验证系统框架

FSMC_BCRx 和 FSMC_BTRx 组合成 BTCR [8] 寄存器组，其规则如表 1 所示。

表 1 FSMC_BCRx、FSMC_BTRx 与 BTCR[8]对应关系

BTCR[x]	FSMC_B x R x
FSMC_BTCR[0]	FSMC_BCR1
FSMC_BTCR[1]	FSMC_BTR1
FSMC_BTCR[2]	FSMC_BCR2
FSMC_BTCR[3]	FSMC_BTR2
FSMC_BTCR[4]	FSMC_BCR3
FSMC_BTCR[5]	FSMC_BTR3
FSMC_BTCR[6]	FSMC_BCR4
FSMC_BTCR[7]	FSMC_BTR4

而 FSMC_BWTRx 则组合成 BWTR [7]，表 2 为其对应关系：

表 2 FSMC_BWTRx 与 BWTR[7]对应关系

FSMC_BWTR[x]	BWTR[7]
FSMC_BWTR[0]	FSMC_BWTR1
FSMC_BWTR[2]	FSMC_BWTR2
FSMC_BWTR[4]	FSMC_BWTR3
FSMC_BWTR[6]	FSMC_BWTR4
FSMC_BWTR[1]	未用
FSMC_BWTR[3]	未用
FSMC_BWTR[5]	未用

供电电路模块，由于不同芯片的供电范围不同及大量驱动器的驱动，因此设计了 12 V 转 5 V，5 V 转 3.3 V 的电路，用于母板与子板不同芯片的供电需求以及大量继电器的驱动。

RS485 通讯电路，用于提供与上位机软件的通讯，使用的是 RS485 的半双工模式，只需要两根通信线（A，B）即可完成数据通信。

AD7606 电路，16 位精度、可 8 路并行的 ADC 模块，用于采集 DUT 的直流参数，再将采集完成的参数反馈给 STM32F407IGT6 进行数据的处理。

输入继电器控制电路、输出继电器控制电路，通过继电器，完成 I/O 通道的开启与关闭。

输入源控制电路，该电路主要用于输入激励信号的选择，激励信号可以选择单片机激励源、高精度台式电源、波形产生电路作为 DUT 的输入激励源。核心控制算法可以根据器件的不同频率、不同精度的激励需求，对这 3 种激励信号灵活选择。通过 VISA 协议，本系统可以对高精度台式电源进行程控，实现程序对激励信号幅值的动态调整；单片机激励源可提供常见的高电平、低电平驱动信号；波形产生电路可提供常见的正弦波、余弦波等激励信号，可以根据不同器件动态调整驱动需求。

输出源控制电路，该电路主要用于对测试芯片输出信号测试源进行选择，输出信号测试源包括高精度台式电源、

高精度 AD 采样电路和高性能外部示波器 3 种。通过 VISA 协议可以在上位机对高精度台式电源进行程控, 根据不同芯片动态的进行 VIH、VIL、VOH、VOL 等直流参数的测试。高精度 AD 采样电路以 16 位精度的 AD7606 为核心, 可同时采集 8 路输出信号的数据, 提高采样效率。外部高性能示波器主要用于对交流参数的测试, 可以实现对输出使能到数据有效时间 tOE、片选到数据有效延迟时间 tCE、地址到输出延迟时间 tACC 等交流参数的抓取。波形产生电路, 由于不同的 DUT 对输入激励需求不同, 常规的存储器输入激励包括: 驱动高、驱动低等, 同时对激励信号的测试频率要求较高, 通常高速存储器的输入激励频率要求达到 150 MHz 左右。因此设计以 FPGA 芯片 XC7A100T 为主控配合双路 10 位 DA 模块及部分外设电路的任意波生成电路, 满足不同频率的激励需求, 该电路可以同时生成 4 路不同频率的信号, 而且信号最大频率可以达到 200 MHz, 能够覆盖大多数存储器的输入激励需求。根据不同的 DUT 输入激励需求, 核心 CPU STM32-F407IGT6 可通过 TTL 接口对该电路发出控制指令, 产生不同类型、不同频率的激励信号, 输出包括: 正弦波、余弦波、锯齿波、方波、高电平、低电平、差分信号等, 电压覆盖: 2.7~5 V 动态变化, 频率覆盖: 0~200 MHz 动态变化, 核心 CPU 可以根据不同被测器件的需求改变输出信号的相位及幅值。

示波器及通讯电路, 利用 type-B 接口通过 VISA 通讯协议, 实现对芯片的交流参数的测试高精度台式电源及通讯电路, 利用 type-B 接口通过 VISA 通讯协议, 以及输入、输出源继电器, 可以实现对芯片电信号的施加、直流参数的测试与采集、输入源的激励。

数字万用表及通讯电路, 7 位半精度, 利用 GPIB 通过 VISA 通讯协议, 实现对 DUT 高精度的电信号测试。

整个 NorFlash 功能验证系统的所有组成可以大致分为两大核心, 第一部分是: 基础功能验证, 包括 ID 读取, 读操作, 写操作和擦除操作等, 这是整套验证系统的关键和前提; 第二部分是: 参数测试系统, 参数的测试除了完成芯片手册的基本规定指标之外, 它也是功能验证非常关键的一种辅助验证手段, 换言之, 参数测试更加系统和全面的支撑了 NorFlash 的功能验证。

2 NorFlash 功能验证系统测试流程

本系统的验证流程设计如图 2 所示: 上位机通过 RS485 总线给测试母板核心 CPU 下发测试指令, 母板接收到测试指令后启动测试流程, 整体 NorFlash 验证流程包含: 功能验证与参数测试。

其中, 对于 NorFlash 功能验证, 首先要完成 FSMC 拓展接口的配置, 其核心为 STM32F407IGT6 调用内置的 FSMC 拓展接口, FSMC 内部有 3 个控制寄存器, 配置 FSMC_BCR 控制寄存器完成 NorFlash 类型选择、数据线宽度以及写使能操作; FMC_BTR 读时序寄存器用来控制与读操作相关的时序, 如数据保持、地址保持等时序;

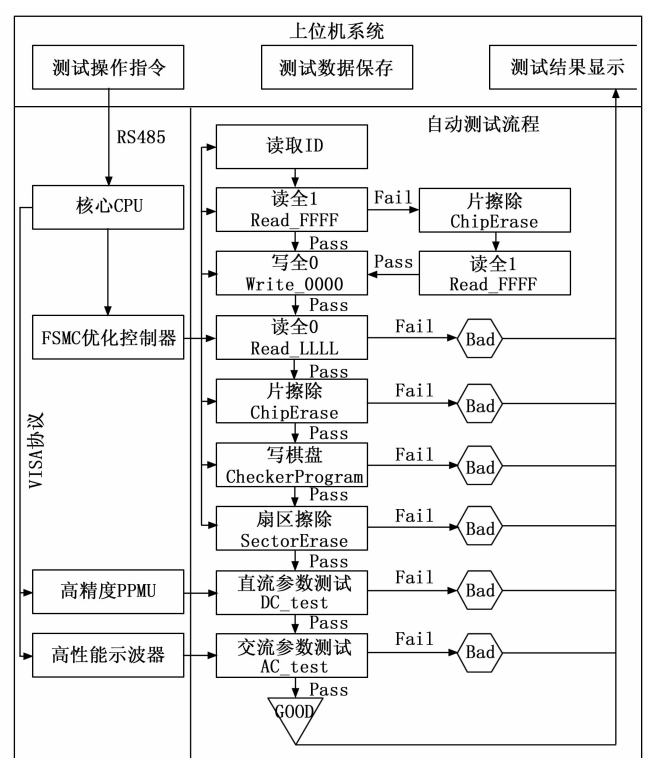


图 2 NorFlash 验证流程

FMC_BWTR 写时序寄存器用来控制与数据写入存储器相关的时序。对于被测芯片的功能测试输入激励形式, 默认情况下功能测试采用 FSMC 接口, 无需额外的外部输入激励即可完成功能测试。当需要特殊的外部激励, 例如, 目前大部分存储器芯片均具有高电压擦除功能, 如需要验证该功能, 则需要特定引脚施加规定电压才能完成, 基于以上特征, 可对该引脚设定外部高精度台式电源作为输入激励源, 完成程控配置后, 点击测试按钮, 系统将自动开始执行测试流程。与传统 ATE 机台相比, 通过 CPU 内部的 FSMC 配置, 可以省去对 pinmap 文件、level 文件、timing 文件、pattern 文件、testflow 文件的编写工作, 提高测试开发效率。

然后, 上位机软件通过 RS485 传输线下发控制指令, CPU 接收到指令后调用 FSMC 拓展接口, FSMC 内部根据芯片种类动态调整地址、数据和时序, 实现自动测试操作, 完成包括全 0 (0x00)、全 1 (0xFF)、棋盘 (0x55)、反棋盘 (0xAA)、片擦除、扇区擦除等测试图形的向量输入以及对应测试图形的数据读取, 完成对 NorFlash 全地址覆盖的读写操作; 在完成功能验证后进行参数测试, 参数测试包含直流参数测试与交流参数测试, 对于直流参数, CPU 将控制输入输出继电器对 DUT 的对应通道的打开或关闭, 可以实现对 DUT 的串、并行测试。根据不同器件的输入激励需求, CPU 可以选择单片机激励源、高精度台式电源、波形产生电路为器件的输入激励源。CPU 可以通过切换高速继电器选择使用 TTL 协议调用波形生成单元, 产生供

DUT 使用的激励信号或者使用 type-B 接口利用 VISA 协议调用示波器或台式电源产生激励。

完成合适的激励源施加后,根据不同芯片的测试需求,可以进行包括高精度台式电源、高精度 AD 采样电路和高性能外部示波器 3 种输出测试源的选择。若不用 PPMU 功能,采用 CPU 利用 SPI 协议调用 AD7606 模块或者通过 type-B 接口利用 VISA 协议调用数字万用表实现对直流参数的测量;使用 PPMU 功能,利用 type-B 接口利用 VISA 协议调用台式电源,实现对 DUT 的四象限测试;CPU 将测量完成后的数据进行采集,通过 RS485 接口,将数据发送至上位机软件进行数据分析与处理。

当测试开始后,一旦有测试数据上传至上位机软件后,数据就会被上位机软件进行处理,按照指定的数据解码协议(MODBUS 协议)进行解码,然后将测试数据在上位机界面显示出来,同时,由于对测试参数进行了阈值设定,若采集的数据在设定的阈值范围内,则会出现“PASS”标志,测试程序按照顺序继续执行;反之,若测试数据没有达到关键阈值,则会出现“FAIL”标志。以此来完成对器件逻辑功能的验证,比如:对于 NorFlash 存储器,写入全 0 功能测试时,当读取的低电平信号在 VOL 的阈值范围内时,将会输出“PASS”,反之,则会出现“FAIL”。与此同理,其他参数的测试也是同样的判断机制和处理模式。因此,此系统可以很好地完成待测器件的功能验证以及交、直流参数测试,测试精度能够达到小数点后 4 位。并且所有的测试数据能够进行实时的波形显示,用于分析整个测试周期内测试数据的波动情况,极大的提高了对器件的性能分析。测试数据都能以专业的格式生成 EXCEL 表格导出。

3 NorFlash 功能验证系统测试试验与数据分析

3.1 S29GL 系列功能验证

本文选用 S29GL 系列芯片作为测试对象,具体选型为:S29GL128P10TFI101、S29GL256P10TFI101、S29GL512P10TFI102、S29GL01G13TFI102 容量分别为 16 MB、32 MB、64 MB、128 MB。测试系统搭建如图 3 所示,上位机软件通过 USB 转 RS485 连接线与 NorFlash 功能验证装置进行硬件连接,通过 USB 转 type-B 连接线与示波器、高精度台式电源进行连接。



图 3 NorFlash 功能验证系统实验实物图

从图 2 可知,对于 S29GL 芯片系列来说,功能验证包括:读、写、擦除三部分,具体的功能设置项涵盖:读 ID、读全 1、写全 0、读全 0、片擦除、写棋盘、读棋盘等功能。

图 4 为 S29GL128P 芯片的功能测试截图,展示了读取设备 ID、读取芯片及制造商 ID、读取前 128 个扇区数据功能。



图 4 读制造商 ID 和设备 ID

传统 ATE 机台对于 NorFlash 存储器的功能测试而言,由于需要对其大量的指令重复进行编写,重复进行读取,使得单片测试时间几乎都在 30~40 分钟。由于 FSMC 内部集成对 NorFlash 读、写操作不同的时序控制寄存器无需重复编写指令、时序文件,由图 5~6 可以看出,向前 128 个扇区编程得时间为 44 103 毫秒,约等于 0.74 分钟,并且在上位机软件窗口能够打印出读取编程的数据,以验证是否编写成功。



图 5 向指定扇区编程

图 6 为整片芯片擦除,由图 6 可以看到,由于系统内部集成 MATCH 算法,可以实时的对芯片的 BUSY 输出信号进行判断,能够及时的控制擦除操作,因此整片擦除时间为 105 614 毫秒,约等于 1.8 分钟,使用传统 ATE 机台测试,无法实时对擦除时间进行动态监控,其整片擦除约为 3~4 分钟。擦除完成后向芯片读取数据,以验证是否擦写完成。

对于存储器功能验证而言,相较于 ATE 机台,本系统通过使用 FSMC 技术,减少了对于数据的写入和读取时大量重复的指令输入,减小芯片功能验证的时间,由原来的



图 6 整片擦除

ATE 机台单片测试 30~40 分钟降低为 10 分钟以内, 极大的缩小了测试等待时间; 同时, 本系统内部测试算法 MATCH 则将原来的 ATE 机台片擦除时间由 3~4 分钟降低至 1.8 分钟。

3.2 关键参数测试分析

选取 VOL、VOH、VIL、VIH、I_{CC1}、I_{CC1}、t_{ACC} 作为芯片关键测试验证参数, 直流参数每个容量选取 3 个器件, 取平均后进行分析比对。交流参数器件后缀不同, 器件的读写速度不同, 因此交流参数为同容量 3 个器件互相对比分析。其中, VOH、VOL 为器件的输出高、低电平, 可以检测器件在指定电流条件下输出电压的能力, VIH、VIL 为器件的输入高、低电平, 用于判断芯片输入高电平和低电平的最低限制数值, I_{CC1}、I_{CC1} 为器件的工作电流 (动态电流) 和静态电流, 反应器件在工作和不工作情况下的功耗, t_{ACC} 为器件地址到输出延迟时间。

3.2.1 VOL 测试

测试条件为: 选取 VIO=VCC=3.0 V, IOL=100 μA。

表 3 VOL 测试结果

被测器件	测试值/V
极限值(最大值)	0.45
S29GL128P	0.3
S29GL256P	0.4
S29GL512P	0.3
S29GL01GP	0.2

3.2.2 VOH 测试

测试条件为: 选取 VIO=VCC=3.0 V, IOH=-100 μA。

表 4 VOH 测试结果

被测器件	测试值/V
极限值(最小值)	2.55
S29GL128P	2.7
S29GL256P	2.8
S29GL512P	2.7
S29GL01GP	2.6

3.2.3 VIL 测试

选取 VIO=VCC=3.0 V, 根据测试原理, 测试参数应该具有覆盖性, 当测量 VIL 值时, 应该选取手册规定值的最大值作为测试卡限的最小值。

表 5 VIL 测试结果

被测器件	测试值/V
极限值(最小值)	0.9
S29GL128P	1.5
S29GL256P	1.4
S29GL512P	1.6
S29GL01GP	1.8

根据测试规范 VIH 和 VIL 测试值的卡限应该在 VIH 的最小值与 VIL 的最大值之间, 四型待测芯片测试得到的实际 VIL 的数据符合芯片手册的参数卡限值, 说明该系统方案对 VIL 的测试符合测试规范。

3.2.4 VIH 测试

选取 VIO=VCC=3.0 V, 根据测试原理, 测试参数应该具有覆盖性, 当测量 VIH 值时, 应该选取手册规定值的最小值作为测试卡限的最大值。

表 6 VIH 测试结果

被测器件	测试值/V
极限值(最大值)	2.1
S29GL128P	1.7
S29GL256P	1.8
S29GL512P	1.8
S29GL01GP	2.0

四型待测芯片测试得到的实际 VIH 的数据符合芯片手册的参数卡限值, 说明该系统方案对 VIH 的测试符合测试规范。

此处对 VIH 和 VIL 的测试是通过采集 VOH 和 VOL 的值进行判断的, 具体过程为: 以 VIH 测试为例, 通过编写一个 FOR 循环, 设置一个 VIH 的起始值, 然后按照一定的步长动态增加 VIH 的数值, 然后判断 VOH 的数值是否符合高电平的卡限值, FOR 循环起始执行过程使得输出为低电平, 当 VIH 的数值到达一定值后, 芯片输出 VOH 符合高电平的数值, 此时的 VIH 的值即为测试值, 提取此时输入高电平的值 VIH, 然后上位机判断此时的 VIH 是否在芯片手册规定的卡限内, 如果在那么此时测试数据正确, 反之不正确。同理, VIL 的测试过程与 VIH 相反, 本文不再赘述。

3.2.5 I_{CC1} 测试条件为: CE#=VIL, OE#=VIH, VCC=3.6 V

由表 7 可知, 四型被测芯片的工作电流 I_{CC1} 随着工作频率的增加而增加, 各系列的 I_{CC1} 均在器件手册给的典型值上下浮动。总体而言, 四片待测芯片测试得到的实际 I_{CC1} 的数据符合芯片手册的参数卡限值, 说明该系统方案对工作电

流 I_{CC1} 的测试符合测试规范。

表 7 I_{CC1} 测试结果

被测器件频率/MHz	1	5	10
极限值	20	55	110
典型值	6	30	60
S29GL128P	10	41	55
S29GL256P	8	38	61
S29GL512P	9	27	58
S29GL01GP	11	31	66

此处，被测器件的动态电流测试过程中，一直会持续给芯片的地址进行赋值操作，会持续对数据引脚进行输出电平判断工作，既让“测试向量”持续运行，其目的在于芯片处于工作状态，进而让测试的电流为工作电流。

3.2.6 I_{CC4}

测试条件为：CE#、RESET# = 3.6 V±0.3 V，OE# = VIH，VCC=3.6 V，VIL=VSS+0.3 V/−0.1 V。

表 8 I_{CC4} 测试结果

被测器件	测试值/μA
极限值	5
典型值	1
S29GL128P	0.9
S29GL256P	1.2
S29GL512P	1.1
S29GL01GP	0.9

由表 8 可知，四型待测芯片测试得到的实际静态电流 I_{CC4} 的数据符合芯片手册的参数卡限值，说明该系统方案对静态电流 I_{CC4} 的测试符合测试规范。

此处，被测器件的静态电流测试过程中，不会持续给芯片的地址进行赋值操作，不会持续对数据引脚进行输出电平判断工作，既让“测试向量”持续不运行，其目的在于芯片处于非工作状态，进而让测试的电流为静态电流。

3.2.7 tACC

S29GL128P10TFI01：将三片器件分别命名为 A-S29GL128P10TFI01、B-S29GL128P10-TFI01、C-S29GL128P10TFI01。测试条件为 VIO = VCC = 3.0 V。

表 9 S29GL128P 系列 tACC 测试结果

被测器件	测试值/ns
极限值(最大值)	100
A-S29GL128P10TFI01	75
B-S29GL128P10TFI01	77
C-S29GL128P10TFI01	62

S29GL256P10TFI01：将三片器件分别命名为：A-S29GL256P10TFI01、B- S29GL256P10TFI01、C-S29GL256P10TFI01。测试条件为 VIO = VCC = 3.0 V。

表 10 S29GL256P 系列 tACC 测试结果

被测器件	测试值/ns
极限值(最大值)	100
A-S29GL256P10TFI01	61
B-S29GL256P10TFI01	58
C-S29GL256P10TFI01	55

S29GL512P11TFI02：将三片器件分别命名为 A-S29GL512P11TFI02、B- S29GL512P11TFI02、C-S29GL256P-11TFI02。测试条件为 VIO = VCC = 3.0 V。

表 11 S29GL512P 系列 tACC 测试结果

被测器件	测试值/ns
极限值(最大值)	110
A-S29GL512P10TFI02	82
B- S29GL512P10TFI02	75
C- S29GL512P10TFI02	69

S29GL01GP13TFI02：将三片器件分别命名为 A- S29GL01GP13TFI02、B- S29GL01GP-13TFI02、C-S29GL01GP13TFI02。测试条件为 VIO = VCC = 3.0 V。

表 12 S29GL01GP 系列 tACC 测试结果

被测器件	测试值/ns
极限值(最大值)	130
A-S29GL01GP13TFI02	102
B- S29GL01GP13TFI02	97
C- S29GL01GP13TFI02	89

由表 9、表 10、表 11、表 12 可知，四型待测芯片测试得到的地址到输出延迟时间 tACC 的数据符合芯片手册的参数卡限值，说明该系统方案对地址到输出延迟时间 tACC 的测试符合测试规范。

3.2.8 片擦除

表 13 片擦除测试结果

	典型值/s	最大值/s	测试值/s
S29GL128P	64	256	89
S29GL256P	128	512	132
S29GL512P	256	1 024	271
S29GL01GP	512	2 048	527

由表 13 可知将每个容量 3 片芯片片擦除后取平均，最终测试值均略高于典型值，远小于最大值，符合测试规范。

4 结束语

本文介绍了基于 STM32F407IGT6 作为核心主控采用 FSMC 拓展技术实现 NorFlash 全地址动态访问、时序灵活配置、向量自动生成进而完成功能验证的全过程，解决了基于传统 ATE 机台存在的测试机台向量深度不足、全地址

(下转第 326 页)