

反射内存高速光电转换接口单元设计与实现

王廷凯, 周强, 武元

(北京航空航天大学 自动化科学与电气工程学院, 北京 100191)

摘要: 针对远程分布式仿真测试系统的实际需求, 提出了远距离多功能节点的设计方案, 构建实现了以高速 SFP 光纤通信和反射内存网络为核心技术的高速光电转换接口单元; 接口单元包括光纤转换器和多功能接口模块; 其中多功能接口模块以 FPGA 为控制核心, 借鉴 PMC 以及 XMC 结构, 采用通用式母板与多种专用子板组合的硬件架构形式, 实现了数字 IO、LVDS、RS422、ARINC429、模拟量等多种通用接口, 提高了硬件资源的复用性; 母板与子板间通信选用 GTX 作为物理层, 并设计了专用的通信协议帧格式, 通过 Verilog 编程实现了协议的解析与通信控制, 既实现了多种电信号接口的集成, 又具有低数据处理延时的突出特点; 实验测试表明, 模块的数据处理延时可稳定控制在 800~1 000 ns, 满足了分布式仿真节点间数据交互时对传输距离和实时性的要求。

关键词: FPGA; 反射内存; 高速光纤; 低延时

Design and Implementation of Reflective Memory High-speed Photoelectric Conversion Interface Unit

WANG Tingkai, ZHOU Qiang, WU Yuan

(College of Automation Science and Electrical Engineering, Beihang University, Beijing 100191, China)

Abstract: According to the actual requirements of remote distributed simulation and testing system, a remote multi-function node design scheme is proposed, and a high-speed photoelectric conversion interface unit is constructed to realize the high-speed SFP optical fiber communication and reflective memory network as the core technology; the interface unit consists of optical fiber converter and multi-functional interface module; The multi-function interface module takes FPGA as the control core, refers to PMC and XMC structures, adopts the hardware architecture form of the combination of universal motherboard and multiple special sub boards, realizes a variety of universal interfaces such as digital IO, LVDS, RS422, ARINC429, analog quantity, and improves the reusability of hardware resources; GTX is selected as the physical layer for the communication between motherboard and sub boards, and a special communication protocol frame format is designed; the protocol analysis and communication control are realized through Verilog programming, which not only realizes the integration of multiple electrical signal interfaces, but also has the outstanding characteristics of low delay; the experimental results show that the data processing delay of the module can be stably controlled by 800 ns to 1 000 ns, which meets the requirements of transmission distance and real-time when the data interaction between distributed simulation nodes.

Keywords: FPGA; reflective memory network; high speed optical fiber; low delay

0 引言

随着仿真技术的迅速发展, 仿真模型变的较为复杂, 仿真规模也越来越大, 目前单节点仿真测试系统已经无法满足实际仿真需求。采取多个节点协同仿真, 建立分布式仿真系统是未来的发展方向。

对于分布式仿真测试系统, 业内已有部分研究。国外, 1978 年美国空军上尉 J. A. Thorpe 在“Future Views: Aircrew Training 1980-2000”论文中首次提出分布式仿真的概念, 但限于当时的技术条件, 未能投入到工程领域中^[1]。1983 年, 美国国防部提出 SIMENT 计划, 将车辆、飞机等多种仿真器连接起来组成了仿真网络, 首次成功应用了分布式仿真

技术^[2]。1989 年, 分布式仿真技术有了新的发展, 不再仅支持同构网络, 也兼容支持异构网络^[3]。1996 年美国国防部建模与综合办公室提出仿真综合框架 (HLA), 综合了 DIS 以及 ALSF 协议, 支持多类型仿真应用^[4-5]。

国内, 国防科技大学建立的 KD-DRT 系统是基于反射内存连接实现多计算机节点仿真数据通信^[6]; 中国航天科工二院建立了基于协同仿真技术、支持多产品多领域协同仿真的 COSIM 平台^[7]; 华如公司建立的 XSIM 可扩展仿真平台是借助多台计算机共同完成多实验、多设计、多样本的仿真需求^[8]。北京神州惠普科技公司研制的 DWK 借鉴了 HLA 仿真结构, 采用实时数据分发服务 (DDS), 并对各个组件建模,

收稿日期: 2022-10-20; 修回日期: 2022-12-02。

作者简介: 王廷凯 (1997-), 男, 河北石家庄人, 硕士研究生, 主要从事反射内存网络高速通信方向的研究。

通讯作者: 周强 (1972-), 男, 北京人, 博士, 副教授, 硕士生导师, 主要从事 FPGA 系统集成开发技术、光电测量、计算机集成测试系统等方向的研究。

引用格式: 王廷凯, 周强, 武元. 反射内存高速光电转换接口单元设计与实现[J]. 计算机测量与控制, 2023, 31(8): 183-189.

从而建立起分布式仿真测试系统及其开发工具^[9]。

目前,分布式仿真系统都是采取反射内存网络作为通信协议,反射内存网络又多是采用光纤作为传输介质^[10]。反射内存网络直接靠硬件实现数据映射,延迟低且可预测。随着分布式仿真技术的蓬勃发展,仿真节点个数逐渐增加,各个仿真节点由于分散在不同区域^[11],有时相距较远可达数十千米。这时网络的传输延时、数据处理延时增大,会严重影响仿真系统性能^[12]。为解决各仿真节点远距离实时通信的问题,研制实现了用于长距离、高速率、低数据处理延时的高速光电转换接口单元。该接口单元可以作为一个节点加入到用户原有的反射内存网络中,主旨是用于解决远程多节点分布式仿真测试系统中仿真节点互连问题,以及实现多种电信号(数字 IO、LVDS、RS422、ARINC429、模拟量)的接口通信功能。该系统可以满足如下功能需求:

- 1) 可以实现电信号和光信号间的高速转换,可支持数字 IO、LVDS、RS422、ARINC429、模拟量接口电信号的交互传输;
- 2) 有效传输距离达到 10 km 以上,信息在各仿真节点间的数据处理延时达到微秒级;
- 3) 配备人机交互监控界面。

1 总体设计

高速光电转换接口单元包括光纤转换器和多功能接口模块两个组成部分。单元的总体架构如图 1 所示。

光纤转换器用于接入原有多模光纤反射内存网络,将多模光纤信号转换为单模光纤信号,以便于实现长距离传输。实际方案实施中选用了商用的千兆单多模双纤转换器,具体型号为 STC-9SMCMM-D-SC,其主要技术指标如下:

- 1) 可在 850 nm、1 310 nm 多模光纤和 1 310 nm、1 550 nm 单模光纤之间进行转换;
- 2) 支持全双工和半双工网络通信,带有自动协商能力;
- 3) 支持各种长度数据包;
- 4) 低功耗低发热可长时间稳定工作。

光纤转换器实现了多模反射内存网络和多功能接口模块的远距离通信。当光纤网络中某一节点有数据更新时,数据经过光纤转换器后将多模光纤信号转换为单模光纤信号并远距离传输给多功能接口模块。多功能接口模块接收到单模光纤数据后,一方面将光纤数据转发,另一方面根

据地址信息截获数据进行处理。多功能接口模块接收到外部电信号时,将数据按照反射内存网络帧格式进行重组,通过单模光纤发送至光纤转换器,再由光纤转换器将数据同步到反射内存网络中。

2 多功能接口模块硬件设计

为满足强实时性远距离传输的目的,多功能接口模块具有如下技术特点:

- 1) 采用单模光纤作为通信介质;
- 2) 通信协议兼容反射内存网络;
- 3) 采用主板配合子板的架构。

传统的总线协议转换装置一般将所有的通信接口集成到一块板卡上,并通过 FPGA 或者 DSP 实现各通道协议之间的转换^[13]。

但是对于分布式仿真测试系统,各个仿真节点具有的总线类型不完全相同,而且通道数量迥异,如果采用集成到一块板卡上的架构设计,会使得通信接口使用率低,造成浪费。

因此接口模块设计采用了主板配合子板的总体架构形式。其中,主板通过高速光纤与仿真网络完成数据交互,子板与主板采用 GTX 高速差分线连接通信,物理连接上采用可插拔的 XMC 接口。主板与多个子板协同工作,共同完成仿真任务,实现对不同接口信号的处理。

2.1 主板结构设计

主板设计基于 FPGA 技术,用于实现与光纤网络的数据交互,并将指令及信息通过 GTX 高速串行数据线分发至各子板。主板在硬件结构上主要包括 5 个模块:FPGA 最小系统模块、电源模块、光纤通信模块、板间通信模块和状态显示模块。其结构如图 2 所示,实物如图 3 所示,其中子板一、子板三在主板正面插载,子板二、子板四在主板背面插载。

FPGA 最小系统采用 Xilinx 公司 XC7K325T 系列产品,具体型号为 XC7K325T FFG900C。该芯片逻辑资源充足,内部 RAM 可达一万六千多 KB,单端 IO 数量 500 个,差分 IO 数量 120 对,还有 16 对高速差分收发端口,可以满足设计需要。设计中采用的是 Master BPI 配置模式(即主 BPI 配置模式),通过配置 M [2: 0] 为“010”,并且外挂一片 BPI Flash 芯片实现,具体型号为 PC28F00AP30TF,该型号芯片存储容量是 1G bit,具有并行独立的 16 位数据线和 26 位地址线,可以通过并行加载的方式更快的向 FPGA 中写入固化程序。在这种配置模式下,可以兼容 JTAG 配置模式,实现 FPGA 的在线配置和调试。

电源模块采用 12 V 的开关电源供电,为满足板卡各芯片的供电需求,借助 PTH08T230 芯片搭建电压转换电路将 12 V 电压转换为 1 V、1.8 V、2.5 V、3.3 V 供 FPGA 内核以及 IO 输出使用;使用

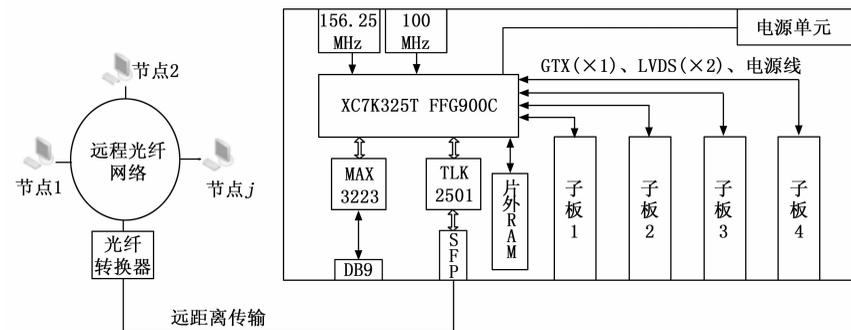


图 1 高速光电转换接口单元架构简图

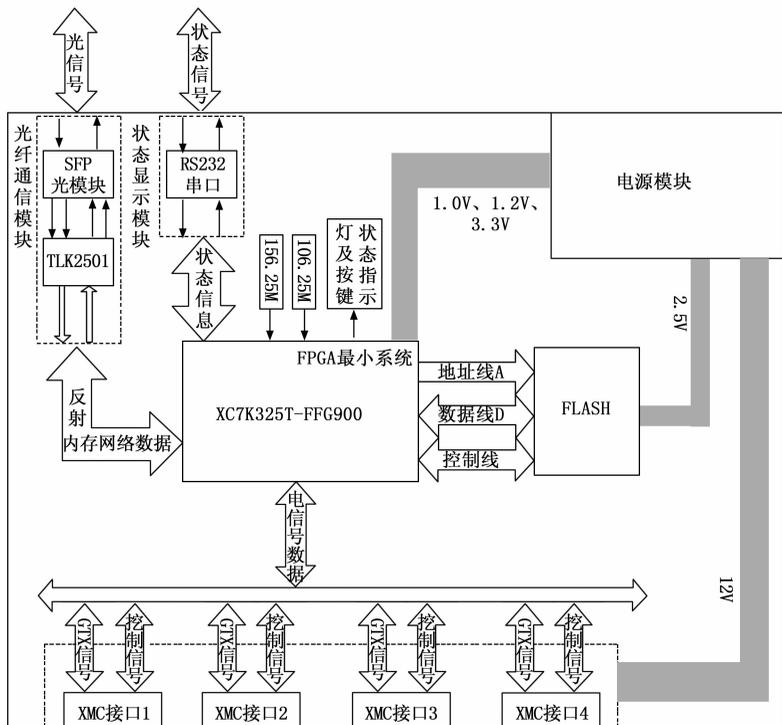


图 2 多功能接口模块主板结构示意图

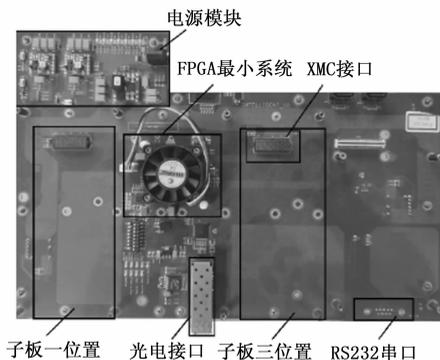


图 3 接口模块主板实物图

LT1963 和 LT1528 芯片产生 2.5 V、3.3 V 给光纤模块及串并转换芯片 TLK2501 供电。

因为电路中包含多种类型电源, 为避免各模块工作顺序混乱造成电路产生不确定状态, 对于每种电压的上电时序要有精确的控制。为保证 FPGA 最小系统的可靠性和稳定性, 要求 FPGA 的上电时序符合先上电内核电压, 而后上电 IO 端口电压, 并且要求内核电压在建立的过程中单调上升。在本设计中, 采用的上电时序为: 首先上电内核电压 1 V, 第二上电辅助电压及普通 IO 端口电压 1.8 V, 第三上电普通 IO 端口电压 2.5 V 和 3.3 V。设计过程中, 通过采用上电延迟芯片 TPS3808, 将 1 V 作为 1.8 V 上电的使能信号, 1.8 V 作为 2.5 V 和 3.3 V 的上电使能信号, 从而达到顺序上电的目的。

光纤通信模块由高速串并转换芯片 TLK2501 和 SFP 光纤模块 FTCS-1324-20 组成, 数据在光纤中以串行方式传输,

经过转换芯片后变为并行信号传递给 FPGA, 结构图如图 4 所示。TLK2501 是一款千兆位级收发器, 可以支持 1.5~2.5 Gbps 的串并转换, 芯片内部分为接收数据转换区和发送数据转换区两部分^[14]。

因为反射内存网中各个节点是采用 GE 研制的反射内存卡, GE 卡的 TLK2501 芯片采用 106.25 MHz 时钟发送, 为了保持通信的稳定可靠性, 同样选择 106.25 MHz 时钟作为母板 TLK2501 芯片的发送参考时钟, 此时 TLK2501 的数据传输速率位 2.125 Gbps。

板间通信模块用来实现母板与子板的通信连接, 包括一对 GTX 信号, 一个复位信号, 两个状态指示信号。GTX 高速通信采用的是 IB-ERT 7 Series GTX IP 核, 该 IP 核实现用户层数据与 8B/10B 编码方式的串行 GTX 数据的相互转换, 在使用时仅需要配置参考时钟, 通信速率等设置即可实现高速串行通信。配置 IP 核时, 选择设置参考时钟为 156.25 MHz, 数据输入为 32 位并行输入, GTX 的通信速率可以达到 3.125 Gbps。在 PCB 设计过程中, GTX 差分线走线完全遵循等长等间距的规则^[15]。

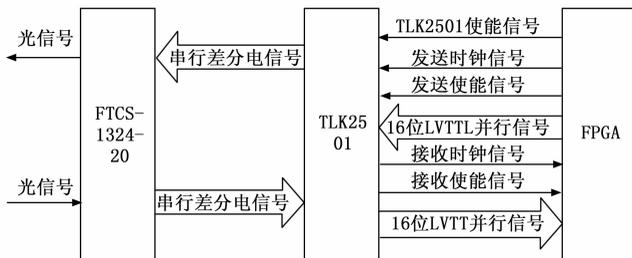


图 4 光纤模块框图

状态显示模块是实现 RS232 串口与上位机的通信, 使用 MAX3223 芯片实现串口差分信号与单端信号的转换。另外使用 Python+pyqt 设计了人机交互界面, 实现对系统的监控, 监控信息包括: 各个功能子板的连接状态、反射内存接口的连接状态、各个接口的数据流量情况。

2.2 子板结构设计

功能需求上需要完成包括 ARINC429、RS422、LVDS、数字 IO 四种通信总线以及 AD 数模转换功能。由于 LVDS 信号常伴随着 TTL 信号使用, 用于判别 LVDS 信号所代表的信息段含义, 因此在设计时, 将 LVDS 接口与 IO 接口设计在同一块子板上。

因此共设计出四块子板, 分别实现上述 4 种功能。四张子板均是通过 XMC 接口与母板进行 GTX 通信, 在设计过程中有较多通用部分, 主要区别在于各个子板实现的接口类型不同。子板结构如图 5 所示, 实物如图 6 所示, 依次是 LVDS 与 IO 接口子板, ARINC429 接口子板, RS422 接

口子板, AD 采集子板。

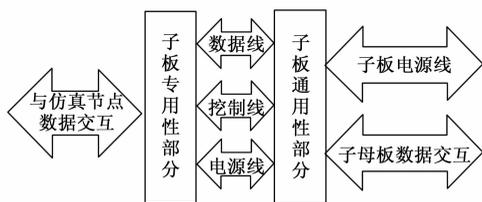


图 5 接口模块子板结构示意图

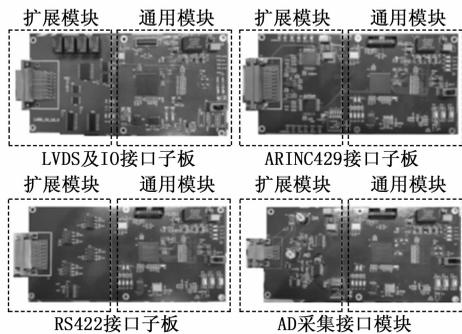


图 6 接口模块子板实物图

2.2.1 子板通用部分设计

子板通用部分设计主要包括电源部分、FPGA 芯片及其外围电路、子母板连接器设计, 其中电源模块总电源采取 12 V 电压, 其是通过 XMC 接口从母板取得, 再通过 LTM4644 四降压型稳压器转换出 1.2 V、2.5 V、3.3 V、5 V 电压给 FPGA 及其余接口芯片供电。该芯片可支持同时输出四路不同电压, 并且每路的最大电流值可达 4 A, 输出的供电精度误差在 33 mV。

FPGA 最小系统采用 Xilinx 公司的 FPGA, 具体型号是 XC6SLX45T-2CSG324I, 该型号有四对 GTX 专用引脚, 普通 IO 引脚有 100 多个, 足以满足通信需求。子板采用的配置电路与母板有所不同, 使用的是 Master SPI 配置模式(即主 SPI 配置模式)。主 SPI 配置模式同样可以支持 JTAG 配置模式, 与母板采用的主 BPI 配置模式相比, 两种配置模式仅在程序存储芯片的选择上不相同, 主 SPI 配置模式中 FPGA 和 Flash 之间采用的是串行数据线连接, FPGA 固化程序的加载速度相比 BPI 配置模式较慢。在设计中, 子板的 FPGA 程序的复杂程度小于母板, 不需要采用 BPI 配置模式提升 FPGA 固化程序的加载速度, 因此子板最小系统存储芯片选择的是 128Mbit 的 SPI Flash 芯片 N25Q128A13ESE40G。

在通信领域, 板卡间通信速率主要取决于连接器的质量与性能^[6]。采用 XMC 接插件, 该类型接插件最高可达 8 Gbps 的通信速率, 可以满足子母板高速通信需求。

2.2.2 子板专用部分设计

子板专用部分设计主要是 FPGA 与外部不同接口信号的通信设计。

LVDS 信号为 3.3 V 的低压差分信号, 其本质上是在差

分线之间产生 330 mA 的微小电流, 通过附加 100 欧姆的终端电阻实现 3.3 V 的电压差。因此 LVDS 信号的收发需要分别采用专用的驱动器和接收器实现, 而不能直接连接 FPGA 的引脚。开关量的输入输出都是符合 TTL 电平标准, 而 FPGA 的引脚采用的是 LVTTL 电平标准, 因此需要采用芯片实现 TTL 电平标准与 LVTTL 电平标准的转换, 作为 FPGA 与外部开关量信号之间的数据交互的桥梁。因此 LVDS 与 IO 接口子板采用 DSLV047、DSLV048 电平转换芯片, 实现 LVDS 信号两路发送两路接收, 采用 74ACT244 实现 TTL 数字 IO 信号的输入输出。

ARINC429 属于广播方式单总线, 节点之间的数据交互采用 78 Ω、非平衡的屏蔽双绞线作为传输介质, 双极性归零码作为数字量表示方式, 可以连接一个发送者和最多 20 个接收者。ARINC429 接口子板以 HOLT 公司出产的 ARNIC429 总线底层通信控制芯片 HI3585PQI 为核心设计而成。芯片的组成部分有发送模块、接收模块和控制模块 3 个模块^[17], 主要功能是通过 SPI 总线实现对芯片控制寄存器的配置, 状态寄存器的读取以及 ARNIC429 数据、Label 值的读写。

RS422 子板采用 MAX3077 芯片实现 RS422 差分信号与单端信号的转换。该芯片具有一个接收器和一个驱动器, 能够实现 RS422 差分信号和单端信号之间的转换。而且 MAX3077E 的驱动器压摆率不受限制, 可以支持高达 16 Mbps 的传输速率。

AD 子卡用于实现模拟电压采集与输出的功能, 采用 AD9280、AD9708 实现 AD、DA 数据的转换, 两芯片均为 8 位精度。设计中选用 AD9280 芯片 2 V 输入模式, 即电压的采集范围是 0~2 V。因为设计中对模拟量的采集范围要求是 -10~+10 V, 因此需要通过 AD9280 芯片搭配电压调理电路, 以满足采集范围的要求^[18]。为保证模拟量输入在电压调理电路前后的电压值不会因为分压特性而下降, 需要在设计时尽可能的增大输入阻抗和减小输出阻抗。因此设计中利用运放高输入阻抗低输出阻抗的特性, 采用运放构成电压调理电路, 将 -10~+10 V 的电压采集范围映射到 0~2 V 之间。

3 固件设计

3.1 母板固件程序设计

母板 FPGA 程序主要包括 3 个组成部分, 第一部分负责与反射内存网络通信, 包括解码反射内存帧, 将 FPGA 本地需要上传的数据按照反射内存协议进行编码; 第二部分负责处理 FPGA 本地帧消息, 负责对子板数据的读写, 包括判断当前本地帧归属的子板接口序号, 循环扫描子板数据接口状态。第三部分负责处理 GTX 帧数据, 包括对接收到 4 个子板的 GTX 帧数据进行处理, 以及将发送给子板的 FPGA 本地帧转换为 GTX 帧, 母板程序如图 7 所示。

本设计在解码存储反射内存网络信息过程中是调用母板 FPGA 的 RAM 硬核资源作为节点的共享内存。因为 FPGA 的存储资源不足以支持存储反射内存网络中所有的数据信

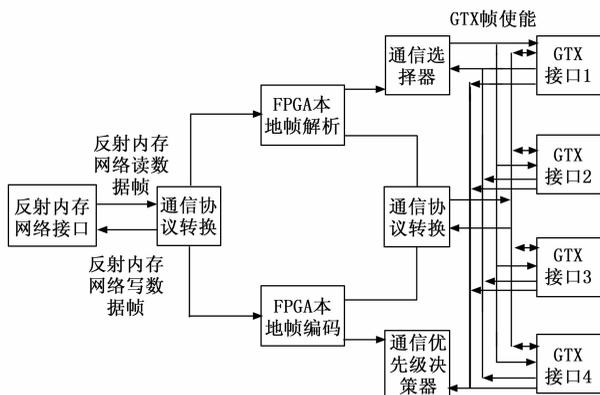


图 7 主板程序结构图

息, 而且远距离智能 IO 接口系统作为一个节点加入到反射内存网络中后, 读写的反射内存信息都存储在反射内存网络中的某一段地址中, 因此 FPGA 只需要存储这一段的地址信息, 并将更新其他地址的数据帧信息转发到下一个节点。

反射内存网络帧共包含 128 bit, 依次分别是地址位 (32 bit 双字)、类型判别 (8 bit, 用来判断帧类型: 数据帧以及命令帧)、ID 号 (8 bit)、固定码 1 (16 bit)、数据位 (32 bit 双字)、固定码 2 (16 bit)、校验码 (16 bit)。

FPGA 对接收到的反射内存网络帧进行解码, 根据地址信息定位对应的子板接口信号, 4 个子板接口对应的基地址分别为 0x0h、0x20000h、0x40000h 和 0x80000h, 通过基地址判断出子板接口序号后, 将偏移地址部分映射到 8bit 的子板寄存器地址。根据类型判别判断是命令帧还是数据帧。

子板间的通信采用自定义的帧格式, 自定义的 GTX 帧格式如图 9 所示。为保证通信过程中传输数据不出现错位、丢数等问题, 在设计 GTX 帧时在帧的首位分别添加帧头 0xAAFF0055 和帧尾 0x55FF00AA, 用以在判断当前 GTX 帧是否发送成功。CMD 表示一个命令字, 母板或子板的 FPGA 固件程序会根据该位的数值执行相应的操作。Length 表示帧数据的长度, 若长度不符则丢弃该帧数据。Data 表示帧数据, 长度由帧数据长度 Length 决定, 为 Length * 32 bit, 用来承载需要传递的数据。

帧头	CMD	Length	Data	校验	帧尾
32bit	16bit	16bit	Length*32bit	32bit	32bit

图 8 自定义 GTX 帧格式

分析系统中涉及到的总线协议时, 发现 RS422 以 8 bit 为发送数据的最小单位, 但是 GTX 帧消息由于使用官方 IP 核的原因, 需要以 32 bit 为发送数据的最小单位, 所以可能会出现发送数据信息不满足 32 bit, 无法构成 GTX 的一个数据位的情况。为解决这个问题, 将不满足 32 bit 的数据信息通过高位补 0 的方式填充为 32 bit, 然后在 CMD 中控制 32 bit 数据的无效字节个数。母板向子板发送的下行 CMD 命令中包含读写命令、数据有效位数和命令操作的寄存器地址三部分信息。

为确保每一个指令和数据都正确的从母板传输到子板, 每当母板向子板发送一个 GTX 帧后, 都需要子板向母板返回一个 GTX 返回帧表示 GTX 帧是否发送成功。子板向母板发送的 GTX 返回帧中, CMD 命令操作状态和寄存器地址两部分信息。当下行命令发送正确或错误时, GTX 返回帧中的 CMD 命令字 [15: 8] bit 为 0 或 1; 当下行命令请求访问子板某个寄存器地址的值时, GTX 返回帧返回该数据值, CMD 命令字 [15: 8] bit 为 2。

3.2 子板固件程序设计

子板程序设计主要内容包括接收母板发送过来的 GTX 数据帧, 通过 FPGA 解码重组转发给接口芯片; FPGA 接收到接口芯片上传的数据并将其转换为 GTX 帧发送给母板。

3.2.1 LVDS 子板程序设计

LVDS 接口子板的 FPGA 程序主要包括四部分功能, 分别是 GTX 帧收发、数据分类、LVDS 遥测字收发和 IO 通道指令收发。其程序如图 9 所示。

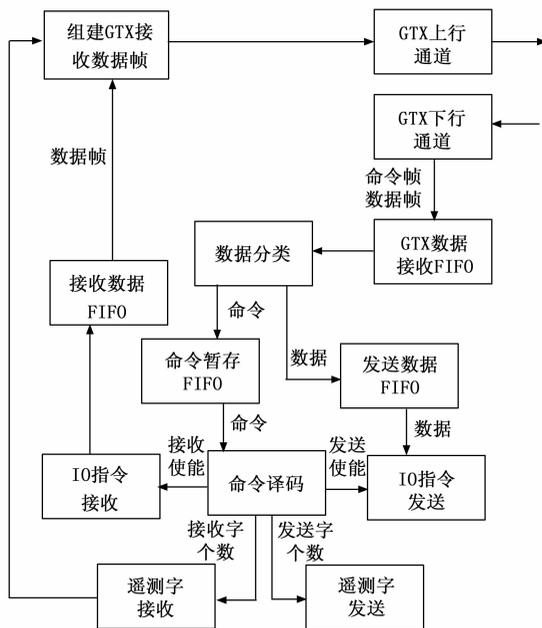


图 9 LVDS 子板程序框图

在接收到 GTX 帧消息后, 根据帧消息中的寄存器地址判断是命令信息还是数据信息, 命令信息主要包括 LVDS 遥测字的收发使能, 收发遥测字个数, IO 指令的收发使能以及收发数据的清零, 每一条命令信息都对对应一个特定的寄存器地址。LVDS 遥测信号在接收过程中, 是以帧的形式接收的, 并伴随着采样时钟, 每一个遥测帧由多个遥测字组成。每一个 LVDS 遥测字都包含 26 bit 的信息, 从低位到高位依次是起始位 0、8 位地址信息、16 位数据信息和 1 位奇偶校验位。

LVDS 遥测信号输入存在因干扰导致数据丢失, 影响遥测字接收数量的可能。因此在设计遥测信息接收模块时, 利用 FPGA 并行处理的特性, 设计了用于识别遥测字丢失的功能。每一个遥测帧之间的时间间隔最少为 4 ms, 遥测帧中每

一个遥测字的时间间隔最多为 10 个遥测时钟周期（遥测时钟为 13 MHz），大约为 1 μ s。通过这个判断条件，设置计数模块，每当接收完成一个遥测字后开始以 125 MHz 的系统时钟重新计数，若计数值超过 500（即 4 μ s）还未收到下一个遥测字，则表示接收过程中丢失遥测字。

3.2.2 ARINC 子板程序设计

ARINC429 接口子板的 FPGA 程序主要包括三部分，GTX 帧收发、数据分类和 ARINC429 总线数据收发。基本功能与 LVDS 子板类似。不同之处是需要将 GTX 帧发送的寄存器地址和数据译码为满足协议芯片 HI3585 配置和读写规则的数据。主控芯片 FPGA 与 HI3585 通过 SPI 总线通信，SPI 通信协议包括 CS、SCLK、MOSI、MISO 四个信号。FPGA 则负责 GTX 帧与 SPI 通信格式的互相转换。

ARINC429 接口子板中采用的系统时钟为 125 MHz 的高频时钟，当 FPGA 中组合电路过于复杂时更易发生亚稳态的现象。因此控制模块在 FPGA 中对状态机编码时，采用了独热码的编码技术，即任一个状态编码中只有一位二进制数为 1，其余各位都为 0，如 1_0000_0000。上述编码经过 FPGA 编译后得到的集成电路中，N 个 D 触发器就可以实现 N 个状态的状态机，可以降低状态机在状态转换时出现亚稳态的概率。

3.2.3 RS422 子板程序设计

RS422 接口子板程序同样包括以上 3 个部分。RS422 接口数据由 11 bit 组成，包括 1 位起始位，8 位数据位，1 位停止位，1 位校验位。在接收 RS422 数据时，为防止干扰毛刺的影响，采取三次采样取众数的方法。根据系统时钟 125 MHz 计算出 RS422 信息中每一位串行数据需要占用的时钟周期个数 n ，例如 1 MHz 的波特率需要占用 125 个系统时钟。在采样时钟周期中选取 $n/2+1$ 、 $n/2$ 和 $n/2-1$ 这 3 个时刻进行三次采样，进而提高了系统采样的可靠性。

3.2.4 AD 采集子板设计

AD 采集接口子板程序中包含 GTX 帧收发、数据分类和 AD 采集滤波 3 个部分。其中程序的关键部分在于 AD 采集滤波模块。常用的滤波算法包括中位值滤波法和算数平均滤波法。中位值滤波法是通过连续采集 15 个数据，并将 15 个数据排序得到中间值，此中间值即为采样结果^[19]。但是这种方法需要对包含 8 bit 信息的 15 个数据排序，会采用大量的比较器，占用 FPGA 过多的资源。算数平均滤波法，通过连续采集 16 个数据，并计算出 16 个数据的平均值即为采样结果。这种方法在计算平均值时借用了二进制除法的思想，通过将 16 个数据的和右移四位实现除以 16 的运算，适用于 FPGA 的运算逻辑。但是当这 16 个数据中出现一个过冲击数据时，虽然经过算数平均，但是依然会对结果造成影响。

滤波方法采用防脉冲干扰平均滤波法，该方法综合了上述两种方法的优点，通过连续采集 18 个数据，判别并去除其中的最大值和最小值，并将剩余的 16 个采集数据进行平均，得到的算数平均值即为最终的采样结果。这种方法

一方面避免了偶然发生的脉冲性干扰的影响，另一方面滤除了随机性的干扰信号。这样既避免了偶然发生的脉冲性干扰的影响，又滤除了随机性的干扰信号。

4 上位机软件设计

上位机软件配合串口实现对系统状态及数据的监控显示。界面采用 python 编写，实现母板与上位机的 232 串口通信，实时显示光纤以及各个子板的连接状态，各个子板收发数据显示。进入软件后首先查询光纤及各个子板连接状态，当连接正常后，启动系统。这里选取 RS422 子板为例，其人机交互监控界面如图 10 所示。

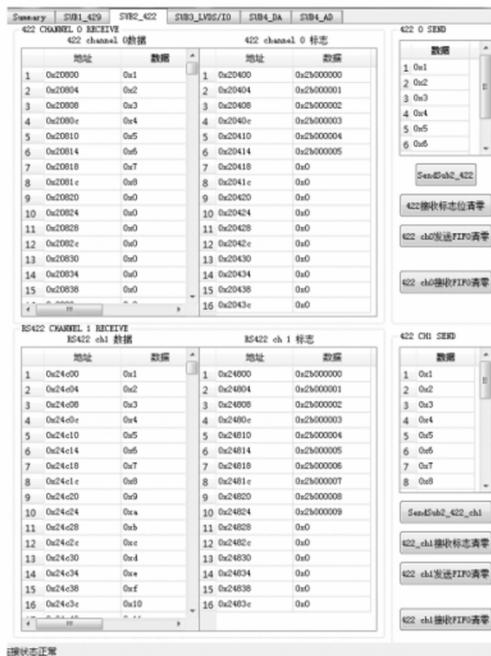


图 10 RS422 子板测试

5 性能测试分析

智能 IO 系统是为了解决分布式仿真测试中数据通信的问题，最重要的是实现系统数据通信的低延时。

整个系统的延时时间包括光纤的传输延时以及数据处理延时。传输延时是由节点间距离决定，每千米距离传输延时大约为 5^[20]。处理延时是光信号与对应接口电信号的转换延时。现对该系统处理延时性能进行评估，测试选取 422 子板测量，其他子板测量方法相同。测量方法是将母板开始接收反射内存卡的光纤数据这一时刻记为 T_0 ，母板接收到光纤数据后，对反射内存数据进行译码并组建成 GTX 帧，再通过 GTX 发送给 422 子板，子板收到 GTX 帧后经过译码、数据缓存后发送到 422 通道，将准备发送第一个 422 字节的时刻记为 T_1 ，数据处理延时。

处理延时的测量有两种方法，方法一是示波器测量，方法二是使用 FPGA 计数测量。示波器测量的方法是选取 FPGA 的 A、B 两个 IO 输出端口，在 T_0 时刻 A 端口电压置高， T_1 时刻 B 端口置高，通过示波器测量 A、B 两个端口置高的

时间间隔即为处理延时, 如图 11 所示。FPGA 计数测量方法采用 125 MHz 时钟作为基频, 在 T_0 时刻从 0 开始计数, T_1 时刻停止计数, 每一个数实际代表 8 ns 时间, 最后的计数值乘 8 则为处理延时。示波器测量方法易有测量误差, 并且多次测量时较为费时费力, 采用 FPGA 计数测量, 可以将每一次的计数值存入 ROM 中随时查看, 可以较快完成多次测量。本次测量方法选择的是 FPGA 计数测量。

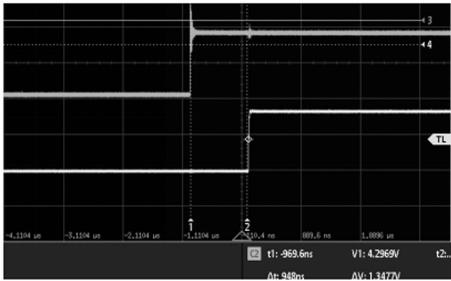


图 11 示波器测量图

随机测试三组延时数据, 每组测试 100 次, 结果如图 12 所示。延迟时间稳定于 800~1 000 ns 内, 远低于光纤数据的每千米延时时间, 可以满足使用需求。

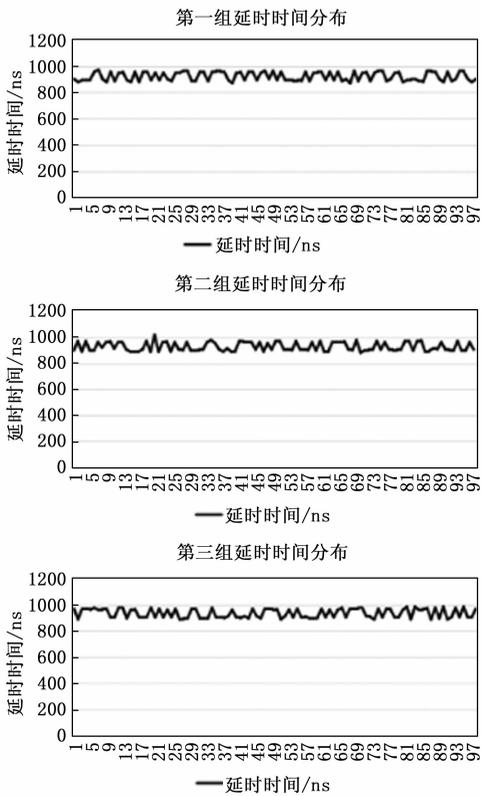


图 12 延时数据分布图

6 结束语

本文设计了一种面向反射内存网络远程通信的高速光电转换接口单元, 其中的多功能接口模块采用了与多种专用子板组合的模块化、可扩展硬件架构形式, 实现了数字 IO、LVDS、RS422、ARINC429、模拟量等多种硬件接口功能。

通过实验测试, 该单元有较低的数据处理延时, 并且可处理多种电信号类型, 实现了多种信号接口的集成, 对于远距离分布式仿真系统中各节点数据处理交互的实时性有显著提高。同时设计了人机交互监控界面, 可以实现对系统状态以及节点处理数据的观察。

参考文献:

- [1] 王磊. 船舶电力推进系统建模及分布式仿真研究 [D]. 大连: 大连海事大学, 2013.
- [2] 田诗奇. 面向分布式飞行仿真系统的实时通信中间件的研究与实现 [D]. 成都: 电子科技大学, 2019.
- [3] 何晓鹏. 分布式船舶运动仿真系统的研究与实现 [D]. 哈尔滨: 哈尔滨工程大学, 2017.
- [4] 王成, 赵鑫, 孔德庆, 等. 一种复杂分布式协同制导仿真验证系统研究 [C] // 21 全国仿真技术学术会议论文集, 2021: 91-93, 259.
- [5] 姚益平. 高性能分布式交互仿真运行支撑平台关键技术研究 [D]. 长沙: 国防科学技术大学, 2003.
- [6] SONG L, YAO X, WU W, et al. Design of a CAN card model based on KD-DRT [C] // 2014 International Conference on Virtual Reality and Visualization (ICVRV). IEEE, 2014.
- [7] 孙建, 陈航, 张小慧, 等. 基于 COSIM 的舰艇防御系统分布式仿真平台开发研究 [J]. 系统仿真学报, 2007 (19): 4428-4433.
- [8] 徐小生. 导弹攻防分布式仿真管理设计与实现 [D]. 长沙: 国防科学技术大学, 2016.
- [9] 刘兆政, 肖明清, 胡阳光, 等. 基于流向图的不完备信息下导弹故障诊断知识获取 [J]. 计算机测量与控制, 2023, 31 (1): 126-129.
- [10] 周强, 张秀磊, 骆冬, 等. 基于 CPCI 总线的反射内存网络接口卡研制 [J]. 计算机测量与控制, 2014, 22 (9): 2934-2936.
- [11] 雷子昂. 大规模分布式网络仿真系统及半实物仿真的研究与实现 [D]. 成都: 电子科技大学, 2022.
- [12] 刘晓建. 大规模分布式仿真信息传输延迟技术研究 [D]. 长沙: 国防科学技术大学, 2003.
- [13] 叶承卓. 基于光纤通道和以太网的双网系统的设计与实现 [D]. 成都: 电子科技大学, 2019.
- [14] 沙启迪. 基于 FPGA 的光纤通信数据传输技术研究 [D]. 哈尔滨: 哈尔滨工业大学, 2015.
- [15] 邵新武. 印刷电路板差分传输线的研究 [D]. 上海: 上海师范大学, 2020.
- [16] 张春恒. 基于 PCI Express 总线的 XMC 接口设计 [D]. 太原: 中北大学, 2017.
- [17] QUAN Y Q. Commercial aircraft ARINC429 data collecting from avionics system integration RIG [C] // International Conference on Machinery, 2018.
- [18] 别致. 基于 FPGA 的 ADCP 信号处理方法研究 [D]. 哈尔滨: 哈尔滨工业大学, 2018.
- [19] 韩焯. 基于 DSP+FPGA 的实时图像处理系统研究与设计 [D]. 北京: 北京理工大学, 2016.
- [20] 黄鑫鑫. 基于频域相移法的光纤延时测量系统的设计与实现 [D]. 北京: 北京邮电大学, 2019.