

基于正弦数据压缩算法的 DDS 研究及 FPGA 实现

闵令辉¹, 曹晓东^{2,3}, 程 凯¹, 王 哲³

(1. 聊城大学 山东省光通信科学与技术重点实验室, 山东 聊城 252000;

2. 中国科学院大学 高速电路与神经网络实验室, 北京 100049;

3. 中科院 半导体研究所, 北京 100083)

摘要: 针对直接数字频率合成器 (DDS) 芯片因存储空间开销大导致功耗增加, 可靠性降低的问题, 设计了一种将改进 sunderland 算法与 QE-ROM 技术相结合的一种用于直接数字频率合成器 (DDS) 的紧凑型 16 位精度正弦查找表 (ROM); 对所设计的正弦查找表算法进行了系统级仿真与硬件描述语言 (Verilog HDL) 实现, 并最终在 FPGA 上进行了整体算法功能与性能的验证; 基于 AD5360 芯片制作了一款多通道 16 位输出数模转换器 (DAC), 并搭载降压稳压芯片 LM317 和 LM337 实现了一款可以将 220 V 工频转换为 DAC 所需的 ± 9 V 和 3.75 V 的供电电源; 测试结果显示, 设计的正弦查找表算法在达到 16 位精度的同时, 只占据 8 576 bit 的存储空间; 所使用的正弦数据优化算法相比较传统的 DDS 正弦波形发生器资源节省 99.2%, 实现了 122:1 的压缩比, 有效降低了 DDS 的芯片面积和功耗。

关键词: 直接数字频率合成器; 存储空间压缩; Sunderland 算法; QE-ROM 算法; 数模转换器

Research on DDS Based on Sinusoidal Data Compression Algorithm and FPGA Implementation

MIN Linghui¹, CAO Xiaodong^{2,3}, CHENG Kai¹, WANG Zhe³

(1. Shandong Province Key Laboratory of Optical Communication Science and Technology, Liaocheng University,
Liaocheng 252000, China;

2. High-speed Circuits and Neural Networks Lab, University of Chinese Academy of Sciences, Beijing 100049, China;

3. Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: Direct digital frequency synthesizer (DDS) chip has the shortages of increasing power consumption and reducing reliability because of large memory space, a compact 16-bit precision sine lookup table (ROM) for DDS is designed by combining the improved Sunderland algorithm with QE-ROM technology. The designed sine lookup table algorithm is completed to the system level simulation and implementation in hardware description language (Verilog HDL), and finally the overall algorithm function and performance are verified on FPGA; A multi-channel 16-bit output digital-to-analog converter (DAC) is fabricated based on AD5360 chip, and the voltage reduction and stabilization chips (LM317 and LM338) are equipped to realize a power supply that can convert power frequency 220 V to the power supplies of ± 9 V and 3.75 V required by DAC. The test results show that the designed sinusoidal lookup table algorithm can reach 16-bit accuracy and only occupies the 8 576 bits of storage space. Compared with the conventional DDS sine waveform generator, the sine data optimization algorithm saves 99.2% of resources, and achieves a compression ratio of 122:1, which effectively reduces the chip area and power consumption of the DDS.

Keywords: DDS; storage space compression; sunderland algorithms; QE-ROM algorithm; DAC

0 引言

频率合成技术 (DDS, direct digital synthesis) 由美国学者于 1971 年基于相位转换概念出发首次提出^[1]。近年来随着数字技术的发展以及器件制作工艺水平的提高, 直接数字频率合成器 (DDS) 技术也越来越成熟, 它在很多的性能方面都远远超过了以前传统的频率集成合成器。比如

说它的工作频率范围比传统的要广, 在设计上频率的转换速度比传统的快, 频率的分辨能力也比传统的强, 相位的连续性比传统的要好, 正交输出参数比传统的精度高等等。光具备以上的性能优势还不够, 接着 Garvey 等人为了更好地挖掘出 DDS 的优点于是对 DDS 的组成结构以及工作时的频谱特性进行更加深入的研究。为了能对传统频率合成技术的缺点进行完善和克服所以选择完全采用数字技术

收稿日期: 2022-09-22; 修回日期: 2022-11-04。

作者简介: 闵令辉 (1997-), 男, 山东济南人, 硕士研究生, 主要从事数字集成电路方向的研究。

引用格式: 闵令辉, 曹晓东, 程 凯, 等. 基于正弦数据压缩算法的 DDS 研究及 FPGA 实现[J]. 计算机测量与控制, 2023, 31(2): 269-276, 284.

来进行频率合成,同时是因为从相位的概念出发所以频率合成技术具有高频率分辨率、高稳定性、易操控、转换频率快等优点^[2-3]。DDS 要实现高精度的输出必然要占据很大的内存空间,数据转换时,数据量大,处理速度受到限制。

基于以上问题文献 [4] 提出了一种在不使用 ROM 的情况下将贝塞尔曲线进行 5 次迭代的方式合成正弦信号的设计,但设计较为繁琐,电路结构复杂。文献 [5] 使用 CORDIC 算法来获取对应的正弦波,其获取的方式以及角度主要是通过上一次的迭代的角度来确定下一次的迭代方向,精度越高,迭代次数越多,速度就越慢。文献 [7] 使用 sunderland 算法将相位累加器的输出分成高位、中间位和低位,读取两个存储正弦波幅度值的查找表后相加作为输出,压缩比为 1:42.6。

与以上不同的是,本论文提出了一种将改进 sunderland 算法与 QE-ROM 算法相结合的正弦数据压缩方法,在不改变波形输出精度的前提下,对全周期的正弦波数据进行压缩从而达到降低 ROM 存储空间开销的目的。通过对整体设计进行建模仿真验证了设计的正确性,并利用 FPGA 进行了硬件电路的实现。

1 DDS 工作原理

DDS 指的是数字频率合成技术,其更深层次的含义则是从相位的角度来对波形进行合成。它的硬件电路设计主要包括有基准时钟模块设计,内部的频率累加器设计,波形相位累加器设计,波形幅度与相位相互转换的模块电路设计,数模转换器模块电路设计,低通滤波器设计以及其他外围硬件等等。要想获取到 DDS 的输出信号频率则需要得到相位累加器的溢出频率即可。但是要想相位累加器出现溢出则需要在时钟 f_{clk} 信号的辅助下将数据加法器输入端的频率控制字信号 F_{word} 进行线性相位的叠加直至产生溢出为止。如图 1 所示,其中相位累加器包括一个 N 位频率寄存器,该频率寄存器存储频率控制字 $\Delta\varphi$,全加器和相位寄存器分别用于累加和保存累加后的数据。 N 位的频率控制字在每个时钟周期被执行一次累加。频率控制字表示相角步长,得到线性循环增长的相位值。输出频率由式 (1) 表示:

$$f_{\text{out}} = \frac{\Delta\varphi f_{\text{clk}}}{2^N} \quad (1)$$

其中: N 为相位累加器的位宽, $\Delta\varphi$ 为频率控制字, f_{clk} 为系统时钟, f_{out} 为输出频率。

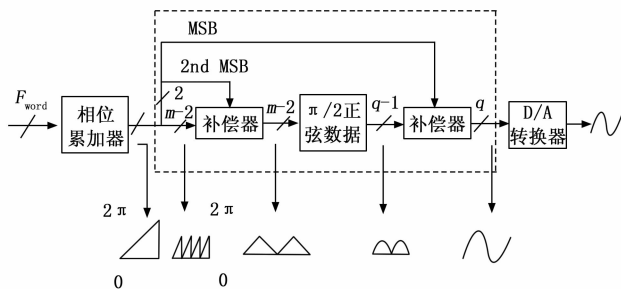


图 1 全周期正弦数据重建过程

为系统时钟, f_{out} 为输出频率。 x 相位—幅值转换器将相位信息转换为正弦波的幅度值^[6]。在相位精度无穷大且无幅值量化的理想情况下,它的输出序列由式 (2) 确定:

$$\sin\left(2\pi \frac{\varphi(n)}{2^N}\right) \quad (2)$$

其中: $\varphi(n)$ 为相位累加寄存器在第 n 个周期的值,相位累加器输出序列的数字周期定义为 T 的最小值,对于所有的 n 存在 $\varphi(n) = \varphi(n+T)$,相位累加器输出序列的数字周期为:

$$T = \frac{2^N}{\text{GCD}(P_{\text{word}}, 2^N)} \quad (3)$$

$\text{GCD}(P_{\text{word}}, 2^N)$ 为 P_{word} 与 2^N 间的最大公约数,当为 2 的整数次幂时,相位截断后锯齿波的周期等于理想化连续时间锯齿波的周期。ROM 的输出被送到 D/A 转换器,它产生一个量化的模拟正弦波。

一个 16 位输出的 DDS 所使用 ROM 的尺寸为 $2^B \times M$,其中 B 是被截断的相位地址的字长, M 是 ROM 的字长。若希望提高 ROM 的分辨率,则需要更大的 ROM 存储,这就意味着更高的功耗、更低的速度和更大的成本,所以对 ROM 尺寸的精简就显得尤为重要。

2 ROM 压缩算法对比分析

2.1 Sunderland 算法

其本质为利用和积化差公式将 $\sin(\alpha + \beta + \gamma)$ 等效成 $\sin(\alpha + \beta)\cos(\gamma) + \cos(\alpha)\cos(\beta)\sin(\gamma) - \cos(\alpha)\sin(\beta)\cos(\gamma)$ 通过两个更小的存储单元 coarse ROM 与 fine ROM,大小为 $2^{\alpha+\beta}$ 和 $2^{\alpha+\gamma}$ 来代替原来大小为 $2^{\alpha+\beta+\gamma}$ 的 ROM,其中 α 、 β 、 γ 分别为想正弦函数相位的最高位、中间为和最低位^[7]。因为 α 远大于 β 和 γ 所以原始又可化简为 $\sin(\alpha + \beta + \gamma) \approx \sin(\alpha + \beta) + \cos(\alpha)\sin(\gamma)$ 。

为了进一步对 ROM 进行缩小处理,其中可以通过常规的方式来进行,将上述的方程式分成粗略的 ROM 和精确的 ROM 两个部分来完成存储,这样可以达到缩小 ROM 空间的目的,但是此种方式还需要添加一个加法器将两部分的结果相加并进行重组才能获取到新的正弦函数。除此之外 Nicholas 等人还对上述的方式进行了改进,利用计算机技术中的近似算法来代替三角函数近似法最终实现缩减 ROM 的目的^[7]。

2.2 基于泰勒级数的线性插值法

Bellaouar 提出的新型的映射技术方法是基于泰勒级数的线性插值法。其主要的原理就是在变换的过程中可以通过查表法将相位值转换成幅度值 $\sin(\theta)$ ^[8]。这种方法在正弦函数四分之一周期对称性的基础上,同时采用了线性插值法。在 coarse ROM 中每一个 (x_i, x_{i+1}) 范围内正弦函数可以用式 (4) 表示:

$$\sin(\theta) = \sin(\theta_i) + \alpha(t - t_i) + \delta_{\sin} \quad (4)$$

其中: $\theta = 2\pi\varphi/2^M$; x_i 和 x_{i+1} 是粗略 ROM 中的连续相位; $t - t_i$ 代表累加输出,同时 t 表示的是 ROM 地址的低有效位, t_i 表示的是 ROM 地址的高有效位; α 表示的是

ROM表内的正弦函数插值系数。在式(4)中, δ_{\sin} 是正弦函数的泰勒展开式余项^[8]。其可定义如下:

$$\delta_{\sin} = -\frac{1}{2} \sin \theta_{\delta} \cdot (t - t_i)^2 \quad (5)$$

其中: $\theta_{\delta} \in (\theta_i, \theta_{i+1})$, 由于正弦函数 ≤ 1 , 因此式(5)等价于 $|\delta_{\sin}| = \left| \frac{1}{2} \sin \theta_{\delta} \cdot (t - t_i)^2 \right|$, 即 $|t - t_i|_{\max} = l^2/2$ 。比如在 $[0, \pi/4]$ 范围内采样为16个点的查找表, $l = (\pi/4)/16 = 0.049$, 因此 $|\delta_{\sin}| = 1.2 \times 10^{-3}$ 可以得到最大为58 dB的信噪比^[8]。Mohamed等相关学者设计了正弦相位差算法, 用 $\sin(\theta) - 2\theta/\pi$ 代替 $\sin(\theta)$ 存储在正弦查找表中可以节省两位的字长而代价只需在原电路的基础上增加一个加法器。

已知相位幅度转换输出的幅度值为:

$$f(x) = A \sin(\pi x/2) - \epsilon(x), 0 \leq x \leq 1 \quad (6)$$

其中: A 的幅度值 $\leq \epsilon(x)$ 是近似误差^[8]。假设正弦信号的幅度值是 L_{bit} 。为了能获取到最大的输出幅度值则需要选择最优的幅度系数 A 。一般 A 取 $(2^L - 1)/2^L$ 。在此基础上要想完成相位与幅度之间的转换则线性插值法的表达式如式(7)所示, 其中 $f(x)$ 为幅度值的输出:

$$f(x) = \begin{cases} y_0 + m_0(x - x_0), & x_0 \leq x \leq x_1 \\ y_1 + m_1(x - x_1), & x_1 \leq x \leq x_2 \\ \dots\dots\dots \\ y_k + m_k(x - x_k), & x_k \leq x \leq x_{k+1} \\ y_{s-1} + m_{s-1}(x - x_{s-1}), & x_{s-1} \leq x \leq x_s \end{cases} \quad (7)$$

其中: s 为分段的个数, m_k 和表示的是斜率值, y_k 表示的是初始的幅度值, x_k 是表示的是每个阶段的下限值。若要想将上式进行最大的简化则需要挑选合适的分段个数以及长度才能实现。若分段个数的权值取值为2, 则分段个数的最高有效位 $\log_2 s$ 其表示分段个数的值为 k , 同时通过查表得到所存储的斜率系数的原始幅度值进行寻址。

2.3 存储增量压缩算法

文献[9]通过验证奈奎斯特采样定理当正弦曲线满足方程 $y = a \times \sin(\omega t + \varphi) + c$ 即可得到一组离散序列:

$$y_i = a \times \sin(\omega t + \varphi) + c, i = 0, 1, \dots, 4095 \quad (8)$$

峰峰值 $2a = 2^{12} - 1$, 角频率 $\omega = 2\pi$, 采样间隔 $t_{i+1} - t_i = 1/(2^{12} - 1)$, 由此可以计算幅度序列相对增量的绝对值:

$$|y_{i+1} - y_i| = |[a \times \sin(\omega t_{i+1} + \varphi) + c] - [a \times \sin(\omega t_i + \varphi) + c]| \quad (9)$$

可以得出, 当输出精度是12位且采集幅度序列的相位为 2^{12} 时, 在一个采样周期内幅度序列的相对增量其绝对值 ≤ 4 , 此时的存储空间仅仅需要3 bit即可, 这相比与以前传统的存储方式缩减了原有空间的75%, 在这样的情况下则出现了一种ROM的新型压缩方法。这种方法的主要目的就是可以还原出正弦波的真实幅度序列, 同时为了更进一步地压缩存储空间, 可以采用单象限幅度序列存储结合反相器最终获取到完整的正弦波形, 这样的操作方式还能更好地节约硬件资源。

2.4 ROM压缩算法分析

由上述讨论可知, DDS输出信号的频谱纯度取决于储存在正弦波查找表ROM中数值的分辨率, 因此只有增加ROM的分辨率才能提高频谱纯度^[10-11]。然而大的ROM意味着较高的功耗、较低的速度和昂贵的成本, 为此需要有精确算法的压缩技术。王晓音在实现DDS的波形存储幅度值压缩方法一文中提到: 为了改善DDS的输出频谱主要是通过增大ROM表的寻址空间同时对幅度表进行压缩来实现。其最终的表现方式是通过减少相位截断位数来改善杂散抑制的功率值。

为了能获取到正弦函数的近似波形, 主要采用的是三角函数的恒等变换再加上外部的逻辑控制电路来完成对ROM表的输出进行随机组合。前几节列出的几种方法中, 1/4周期表、Sunderland结构和Nicholas优化方法都会引入有限的算法误差。其中较为简单的结构方法是Sunderland粗细表, 它虽然简单但是它的杂散抑制水平还是相对较好的; Nicholas优化方法相对于Sunderland结构来说其杂散抑制水平更高, 同时其还具有非常好的压缩比; 基于改进的正弦一相位差法与Nicholas优化方法具有同样的杂散抑制水平, 并进一步提高了压缩比。

存储相对增量的ROM压缩算法可以生成包括正弦波、方波在内的多种波形但整体压缩比为27:1, 还有一定的提升空间。基于泰勒级数的线性插值算法与线性插值算法都有比sunderland算法更高的压缩比但是在电路补偿结构中使用了乘法器, 很大程度上增加了电路资源的使用, 且逻辑控制过于复杂, 实时性相对来差了一些。若在设计的过程中做到幅度表压缩节约的资源比提高压缩比所占用的电路设计资源还要多的话则高压压缩的追求才会意义重大。论文采用的数据压缩方法是在Sunderland提出的粗细ROM结构压缩结构基础上对粗ROM进一步优化并结QE-ROM技术实现高压压缩的条件下简化电路结构, 该结构能够大大降低查找表的存储容量, 代价是需要增加能够产生累加器和查表输出的补码逻辑电路。

3 Sunderland算法优化及性能分析

利用正弦函数的对称性, 通过控制相位累加器输出相位值的MSB(最高有效位)和second MSB(次高有效位)即可在只保存 $(0, \pi/2)$ 范围内的正弦数据情况下通过两个补偿器重建出全周期的正弦数据。sunderland算法将1/4周期的正弦数据分别放到两个存储单元分别是coarse ROM与fine ROM中进行保存。

3.1 改进sunderland算法

sunderland算法在正弦函数1/4对称性质的基础上, 将映射 $\sin(\theta)$ 的地址位分解成高位 α 、中间位 β 和低位 γ (本文中 α 、 β 、 γ 依次为5、4、5)。如此 $\sin(\pi/2(\alpha + \beta + \gamma))$ 可表示为:

$$\sin\left(\frac{\pi}{2}(\alpha + \beta + \gamma)\right) \approx \sin\left(\frac{\pi}{2}(\alpha + \beta)\right) +$$

$$\cos\left(\frac{\pi}{2}(\alpha+\beta)\right)\sin\left(\frac{\pi}{2}\gamma\right) \quad (10)$$

四分之一的正弦波幅度值被分别存放在 $\sin(\pi/2(\alpha+\beta))$ 所代表的 coarse ROM 以及 $\cos(\pi/2(\alpha+\beta))\sin(\pi/2\gamma)$ 所代表的 fine ROM。coarse ROM 提供了低分辨率的样本, 而 fine ROM 通过在低分辨率样本之间进行插值来提供额外的分辨率。正弦相位差算法 (sindiff) 利用公式:

$$d(\theta) = \sin(\theta) - \frac{2\theta}{\pi}$$

$$\max[d(\theta)] \approx 0.21\max[\sin(\theta)] \quad (11)$$

在 $[0, \pi/8]$ 范围内定义 $d(\theta)$ 的值为 $m0$, 代表矩阵为 $q0$ 则:

$$m0(\alpha_i, \beta_i) = A1 * 2 * (2 * \pi * t0) / \pi;$$

$$q0(\alpha_i, \beta_i) = \text{round}(m0(\alpha_i, \beta_i));$$

其中: α_i 代表高的地址位 α , β_i 代表 β 。随着迭代次数的增加而变化, $q0$ 矩阵代表 $[0, \pi/2]$ 范围内正弦相位差算法所代表的幅度值, 将其与 coarse ROM 中的值作差, 结果重新保存在 coarse ROM 中, 此时存储的数据为图 2 中的 sindiff。

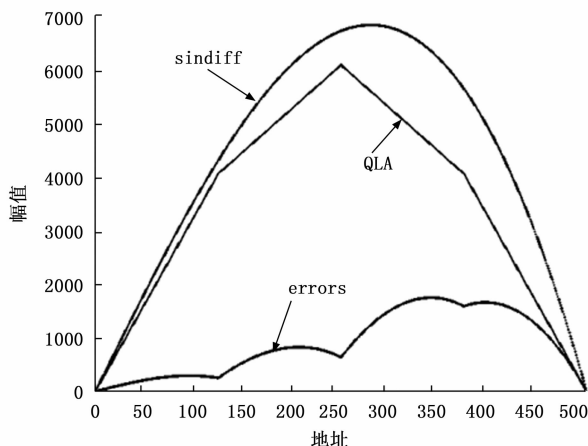


图 2 四线近似和正弦相位差算法函数图

为了进一步减小保存在 coarse ROM 中的值引入四线近似算法 (QLA)。在 $[0, \pi/2]$ 内的函数表达式为:

$$\begin{aligned} q(\theta) &= \frac{\theta}{\pi}, 0 < \theta < \frac{\pi}{8} \\ q(\theta) &= \frac{1}{16} + \frac{\theta}{2\pi}, \frac{\pi}{8} < \theta < \frac{\pi}{4} \\ q(\theta) &= \frac{1}{16} + \frac{1}{4} - \frac{\theta}{2\pi}, \frac{\pi}{4} < \theta < \frac{3\pi}{8} \\ q(\theta) &= \frac{1}{2} - \frac{\theta}{\pi}, \frac{3\pi}{8} < \theta < \frac{\pi}{2} \end{aligned} \quad (12)$$

用四段函数近似模拟正弦相位差算法后的数据在 $[0, \pi/2]$ 范围内的变化曲线, 相比于双三角近似算法来说四线近似算法与原曲线有更高的贴合度, 误差值也就更小。

以 $[0, \pi/8]$ 范围内的数据为例, 定义 $q(\theta)$ 为 $m1$, 代表矩阵为 $q1$:

$$m1(\alpha_i, \beta_i) = A1 * ((2 * \pi * t1) / \pi);$$

$$q1(\alpha_i, \beta_i) = \text{round}(m1(\alpha_i, \beta_i));$$

将 coarse ROM 的原数据依次与正弦相位差 (sindiff) 算法、四线近似 (QLA) 算法作差后的误差值重新保存在 coarse ROM 中, 注意此时 coarse ROM 中存储的数据为图 2 中的 errors 而不是原数据。

3.2 QE-ROM 算法设计

改进的 sunderland 算法旨在分割原 ROM 的地址位并对 coarse ROM 的数据进行两次幅度值上的压缩, QE-ROM (量化和误差) 算法将分别对 coarse ROM 和 fine ROM 进行幅度值上的量化, 并对量化值与误差值分别存储。

量化过程如图 3 所示, 假设此时的地址位和幅度值分别为 A 和 L , 将地址等分为 2^S 段, 每个段具有 Q 位量化值, 并且量化值小于该节中的所有数据以使量化误差为正数。Q-ROM 大小变成 $2^S \times Q$ 位。E-ROM 存储量化值与原始数据之间的误差。这些误差比原始数据小得多, 因此只需要更小的尺寸。当存储误差所需的位是 E 时, E-ROM 的大小变成 $2^A \times e$, Q-ROM 和 E-ROM 的总大小变成了 $2^S \times Q + 2^A \times e$ 。为了最小化 ROM 的尺寸, 我们必须找到最佳的 2^S 的值, Q-ROM 的量化位, 以及存储 E-ROM 所需的位数。具体可以通过以下方法找到:

- 1) 当初始数据的地址位为 A , 输出为 L 位时, 假设 $S = A$ 、 $Q = L$ 。
- 2) 计算每一段的量化值并计算初始数据与量化值之间的误差, 得到 Q-ROM 尺寸。
- 3) 得到可以表示所有误差的 E 的最小值。
- 4) 计算 Q-ROM + E-ROM 的大小。
- 5) 减小 Q 的值然后循环 2) ~ 4), 如果 $Q = 1$ 则执行 6)。
- 6) 减小 S 的值然后循环 2) ~ 5), 如果 $S = 1$ 则执行 7)。
- 7) 通过比较计算结果得到最合适的 Q 、 S 、 E 使 Q-ROM + E-ROM 的值最小。

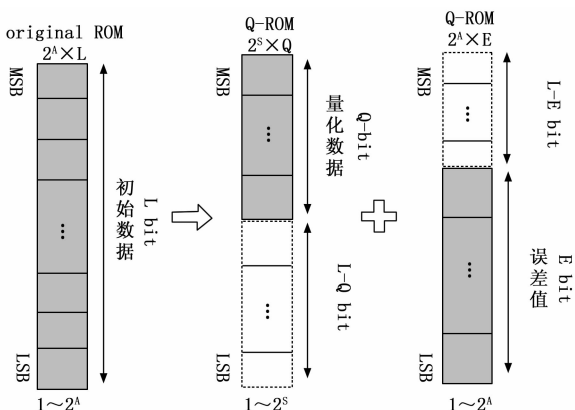


图 3 QE-ROM 算法量化过程

3.3 性能分析

表 1 为通过 sunderland 算法将原始数据分割后各类算法对 coarse ROM 再压缩的过程和结构。图 4 为各阶段算法的幅值以及数据总量。

表 1 几种正弦压缩算法对比

方法	近似函数	代价(额外电路)	字长节省/bit
无压缩算法	$\sin(\theta)$	—	—
正弦相位差算法	$2\theta/\pi$	一个加法器	2
双三角近似算法 ^[15]	$2\theta/\pi+\theta/2\pi$, for $0<\theta<\pi/4$ $2\theta/\pi+(1/4-\theta/2\pi)$ for $\pi/4<\theta<\pi/2$	两个加法器,一个补偿器	3
抛物线算法 ^[14]	$(2\theta/\pi)\times(1-\theta/\pi)$	一个加法器,一个乘法器	4
文献 [13]	$3\theta/\pi$ for $0<\theta<5\pi/32$ $2\theta/\pi+5/32$ for $5\pi/32<\theta<3\pi/8$ $\theta/\pi+1/2$ for $3\pi/8<\theta<\pi/2$	两个加法器 两个复用器 一个控制模块	4
文献[12]	$2\theta/\pi+\theta/2\pi+\theta/4\pi$, for $0<\theta<\pi/4$, $\sin(\theta)$ $(1-2\theta/\pi)+\theta/2\pi+\theta/4\pi+g(\theta)$, for $\cos(\theta)$ $g(\theta)=\theta/2\pi$, for $0<\theta<\pi/8$ $g(\theta)=0.125-\theta/2\pi$, for $\pi/8<\theta<\pi/4$	三个 sine 加法器 四个 cosine 加法器 两个补偿器 两个复用器	4
四线近似算法	θ/π , for $0<\theta<\pi/8$ $1/16+\theta/2\pi$, for $\pi/8<\theta<\pi/4$ $1/16+1/4-\theta/2\pi$, for $\pi/4<\theta<\pi3/8$ $1/2-\theta/\pi$, for $\pi3/8<\theta<\pi/2$	两个加法器 一个复用器 一个补偿器	4

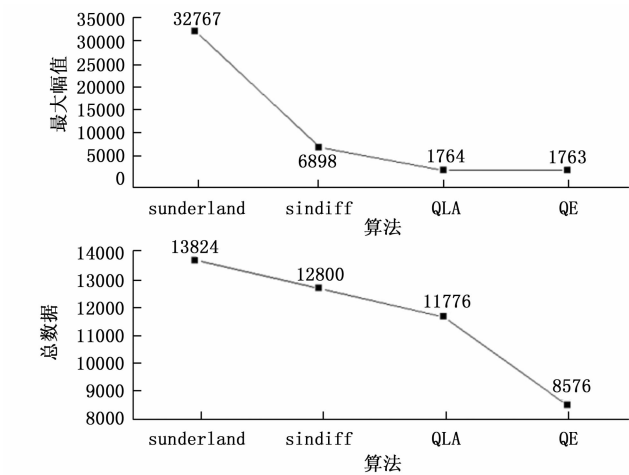


图 4 各阶段算法最大幅值与数据量

横坐标中的算法从左往右依次为 sunderland 算法、正弦相位差算法、四线近似算法、QE-ROM 算法。改进后 sunderland 算法的最大幅度值为 1 764，数据总量为 11 776 bit，与 sunderland 算法相比节省了四位字长，ROM 面积为原来的 85%。

QE-ROM 算法以 2 bit 为步长对幅度值进行量化，然后将量化后的数据与误差值分别存储，结果如图 5 所示。改进 sunderland 算法结合 QE-ROM 算法后的数据总量为 8 576 bit，ROM 面积为 sunderland 算法的 62%。与压缩前 ROM 尺寸 ($2^{16}\times16$) 相比，压缩比为 122:1。

4 基于 FPGA 的直接数字频率合成器的硬件设计与实现

4.1 相位累加器

如 6 图所示，相位累加器是基于一个 32 位纹波进位加

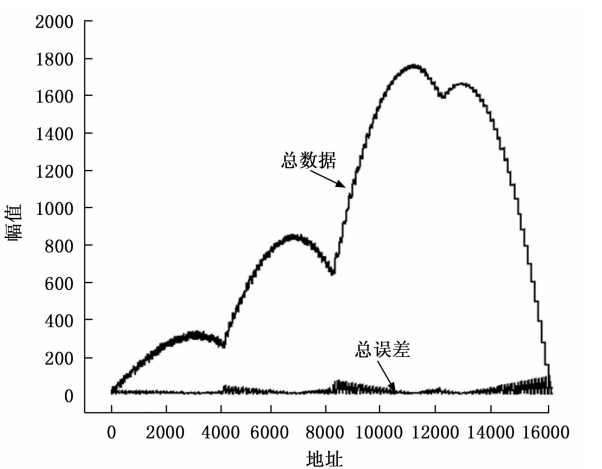


图 5 ROM 内总数据量

法器，与一串在相同的时钟相位上工作的全加法器。全加法器的输出有内置寄存器与和位在内部反馈以执行累加。用多路复用器（MUX）选择存储在寄存器中的 32 位频率控制字以执行累加，结果取高 16 位用于 ROM 表的寻址。

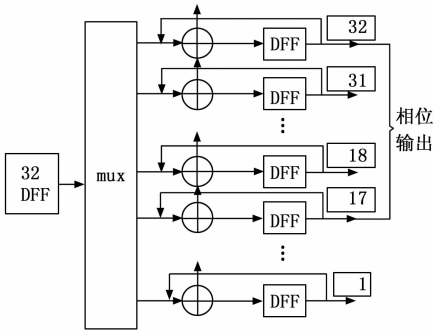


图 6 相位累加器结构图

4.2 相位—幅度转换器设计

相位—幅度转换器设计的设计为本文的重点内容, 包括四线近似算法和正弦相位差算法部分的数据重建以及 QE-ROM 算法的数据配置。结构如图 7 所示, 地址位 ($\alpha + \beta$) 以 1:61 的比例放大后重建出正弦相位差部分数据, 四线近似算法中 $0 < \theta < \pi/8$ 范围内的数据是通过向相位 ($\alpha + \beta$) 下移 1 位生成的。 $\pi/8 < \theta < \pi/4$ 部分的数据是通过将相位下移 2 位, 并将相位的第一个和第二个 MSB 更改为 10 来生成。这些数据以 1:61 的比例放大后匹配量化和误差算法部分恢复后的数据。 $0 < \theta < \pi/4$ 和 $\pi/4 < \theta < \pi/2$ 的数据是对称的, 因此, 后半周期的数据由一个补偿器生成。

相位—幅值转换器结构如图 7 所示, 总 ROM 由 4 个子 ROM 组成, 即两个 Q-ROM 和两个 E-ROM, 用于分别存储 coarse ROM 和 fine ROM 中的数据。将四分之一相位累加器的输出分解为 $\alpha + \beta + \gamma$ 。coarse ROM 和 fine ROM 的地址分别为 $\alpha + \beta$ 和 $\alpha + \gamma$ 。coarse ROM 和 fine ROM 共享 α 地址位, 因为 α 都是它们地址位中的最高位。因此, 这四个子 ROM 共享一个行译码器以及四个不同的列复用器。图 8 显示了相位 ($\alpha + \beta$)、四次线近似算法幅度值以及重构 1/2 周期正弦波的四个 ROM 数据幅度值的相对位置, 其中第一行表示 9 位的相位值, 第二行表示 11 位的四线近似方法压缩后的数据幅度值, 第三第四行分别表示 coarse ROM 中的量化值和误差值, 第五第六行表示 fine ROM 中量化值和误差值, 第七行表示加法器的输出。

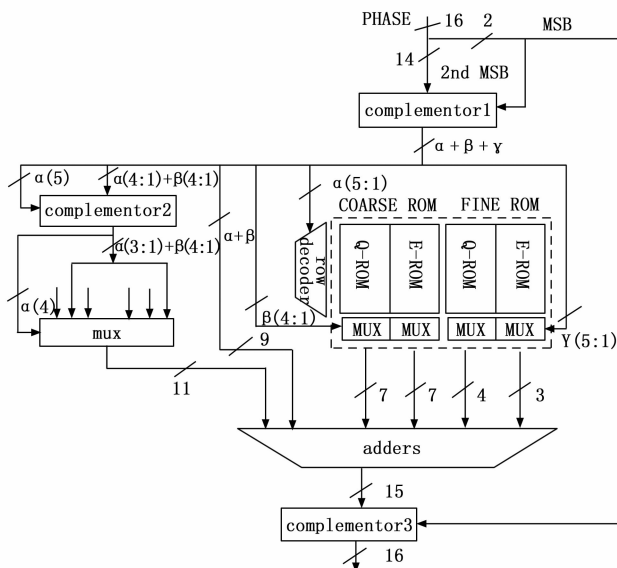


图 7 16 位相位—幅值转换器

4.3 电源模块设计

为做到设计目标中的需求, 采用了全桥整流的方式完成交直流转换并利用全桥整流特性分离正负电压^[11]; 通过交流变压器及 LM317 和 LM337 两级降压、稳压实现 $\pm 9\text{ V}$ 及 3.75 V 降压输出; 在电源模块的整体设计中均有为尽量减小电源噪声而进行的设计, 通过整流桥后及降压输出端

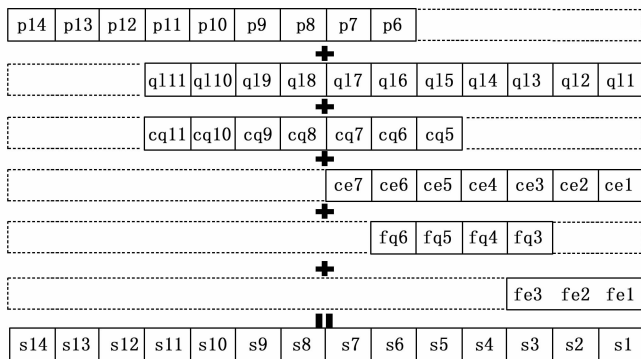


图 8 数据位置表

均使用滤波电容来降低电源纹波并且所采用的降压稳压芯片 LM317 和 LM337 噪声仅有 $38\mu\text{VRMS}$ 。

本设计中采用了环形变压器来进行交流降压^[16], 可较大幅度减小 PCB 面积及整体设计重量, 并且内阻、磁干扰以及震动噪声较小, 比较适合该设计中的高性能需求。设计中所用到的 LM317 和 LM337 为三端可调正电压低压差线性稳压器和三端可调负电压低压差线性稳压器, 与同类器件相比, 有较小的输入输出电压比, 还有较为优越的电压和负载调节性能以及较小的输出电压误差, 并且有较好的抗损性。采用输入跳线的方法, 使输入既可以单端进行输入, 亦可双端输入, 提高了设计的可调节性; 并且在稳压电路部分设计了以 LM317、LM337 与电位器组成的可调输出, 使输出范围更加灵活; 输出部分做到正负输出分别可控并且共用同一个公共地点, 增加了输出的可控性同时也保证了稳定性; 设计了 LED 指示灯, 以便于工作状态的可视化。

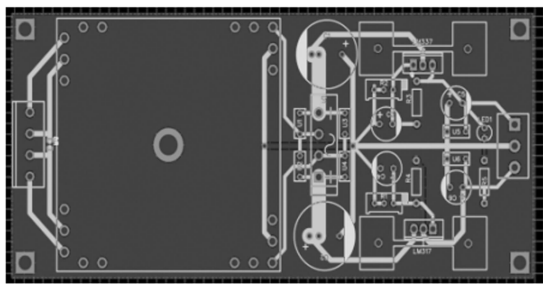


图 9 电源模块 PCB 图

4.4 DAC 模块设计

在该模块的设计中, 为减小整体体积及单片机管脚的使用, 采用 16 通道串行 DAC 芯片 AD5360 来实现该设计; AD5360 输出寄存器到输出端为透传模式, 故通过 LDAC 引脚可控制 DAC 寄存器向输出寄存器传输的功能实现所有通道需同时同相位输出^[14-16]; 利用 VREF 引脚使 AD5360 的输出幅度控制在 $+7.5\text{ V} \sim -7.5\text{ V}$, 并通过缩小信号幅值至 8.5 V 、在输入信号中加入 3.25 V 直流分量的方式来调整输出范围 $+7.5\text{ V} \sim -1\text{ V}$ 。

设计中所用的 AD5360 芯片其封装方式为 LQFP-52,

芯片内部集成两组 16 位的数模转换器,同时为了降低输出的误差在芯片封装的时候将每个数模转换器模块分开并且让其能够独立的调整设置增益以及失调,除此之外它的缓冲电压输出范围是基准电压的 4 倍。并且在 PCB 设计中采用了单点接地的方法分离数字地和模拟地,在二者之间添加一个 $0\ \Omega$ 电阻进行隔离,可以有效避免模拟地点的抖动带来的干扰;并且在各输入端添加电解电容来减小输入纹波,以此来减小输入噪声。

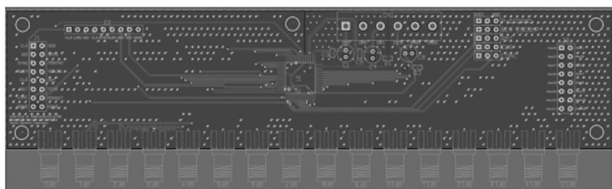


图 10 DAC 模块 PCB 图

5 系统仿真与测试

整体仿真是在 vivado 2017.4 开发环境下搭建工程,图 11 所示为对改进 sunderland 算法和量化误差算法压缩后的数据硬件实现全周期正弦函数的整体架构图控制模块的输入即为相位累加器输入端的频率控制字 F_{word} 、相位控制字 P_{word} 和幅度控制字 R_{word} ,输出为 16 位精度的正弦波幅度值^[17-18]。顶层模块主要包含两个子模块,控制模块和接口模块。

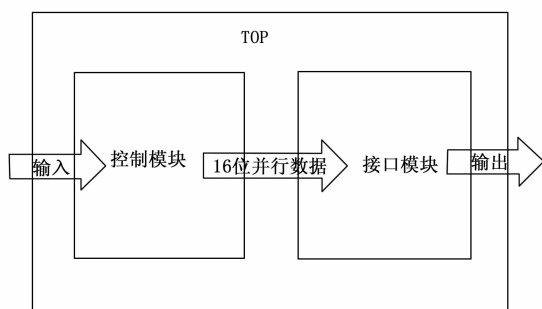


图 11 整体框架价结构图

控制模块主要完成控制 4 个存储单元中的量化和误差数据值按照其量化规则完成数据恢复,四线近似算法四条函数的阶段数据以及正弦相位差的数据还原。定义相位一幅值转换器中相位累加器的输出为 Rom_Addr ,因为 Rom_Addr 的最高两个有效位分别控制完成正弦数据由 $1/4$ 周期向 $1/2$ 以及全周期的重建过程,所以 $\alpha + \beta + \gamma = 14$ 即 $a_0 + b_0 + c_0 = 14$ 。

$\text{assign } c_0 = \text{Rom_Addr}[14]? \sim(\text{Rom_Addr}[4:0]):\text{Rom_Addr}[4:0];$

$\text{assign } b_0 = \text{Rom_Addr}[14]? \sim(\text{Rom_Addr}[8:5]):\text{Rom_Addr}[8:5];$

$\text{assign } a_0 = \text{Rom_Addr}[14]? \sim(\text{Rom_Addr}[13:9]):\text{Rom_Addr}[13:9];$

X_1 、 X_2 分别为 coarse ROM 和 fineROM 中对幅度进行

量化后的相位。

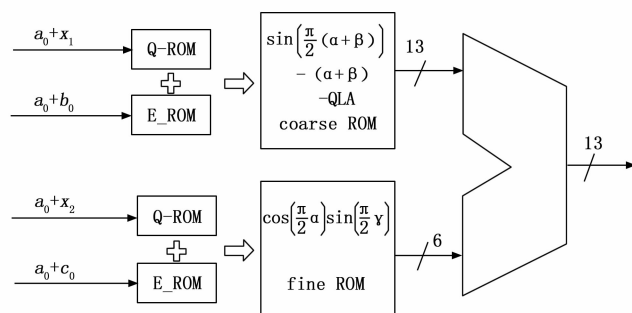


图 12 数据重建结构图

定义 $\text{shift}_1 \leq \{\text{Rom_Addr}[13:9], \text{Rom_Addr}[8:5]\} >> 1;$

$\text{shift}_2 \leq \{\text{Rom_Addr}[13:9], \text{Rom_Addr}[8:5]\} >> 2;$

其中: shift_1 、 shift_2 分别对应式 (6) 中 $0 < \theta < \pi/8$ 以及 $\pi/8 < \theta < \pi/4$ 范围内的数据。因为 $0 < \theta < \pi/4$ 与 $\pi/4 < \theta < \pi/2$ 部分的函数实对称的,所以后半周期的数据使用一个补偿器生成。

$\{\text{Rom_Addr}[13:9], \text{Rom_Addr}[8:5]\}$ 则对应正弦相位差算法作差时减掉的数据。三部分数据相加就会得到 $1/4$ 周期的正弦波数据, $1/4$ 周期向 $1/2$ 周期扩展以及 $1/2$ 周期向全周期扩展则需要通过两个补偿器来完成。

接口模块主要完成 FPGA 与数模转换器 (DAC) 数据传输所使用协议的时序设计以及 DAC 每个通道增益参数的设置^[19-20]。AD5360 芯片与外部硬件器件通讯的方式是采用 4 线串行的方式,其接口与 DSP 芯片的通讯接口完全兼容,同时还具有 16 个通道且每个通道最高可达到 16 位的输出精度,能够处理最高 50 MHz 的时钟速率。端口连接如图 13 所示。

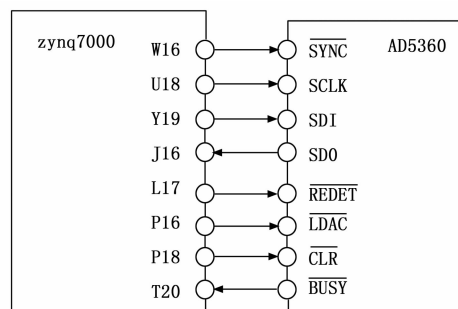


图 13 硬件接口图

其中: SYNC 为片选信号,低位有效,选同时开始数据传输; SCLK 为 FPGA 生成的门控时钟; SDI 为串行输入信号; SDO 为数据回读端口; RESET 为复位信号,低位有效; LDAC 为输出控制信号,可调节全通道同时通相位输出; CLR 为数据清除信号,低电位有效,可清除通道的增

益参数。BUSY 为 DAC 数据处理进程信号。串并转换转换后的数据加上 DAC 通道地址位共计 24 位数据采用线性序列机由高到低依次输出。此次设计 FPGA 与 DAC 之间数据传输所用时钟为 20 M, 系统时钟设置为 50 M, 正弦波频率为 200 Hz, DAC 基准电压 VREF 设置为 3.75 V。

图 14 为用 vivado 2017.4 对代码进行的仿真结果, 器件选择为 xc7z020clg400-2。FF 触发器的使用量为 144, 占片上可用总量的 0.14%, LUT 的使用量为 176, 占片上可使用总量的 0.32%。片上总功耗为 0.11 W。

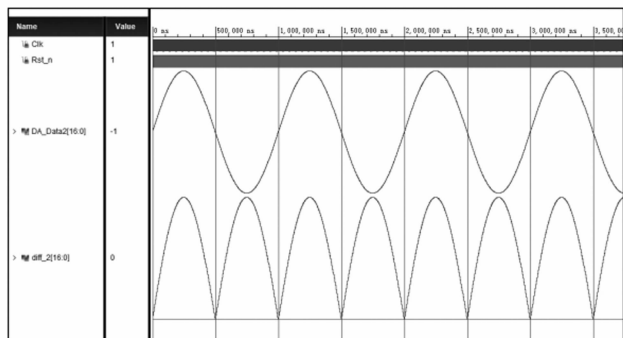


图 14 Vivado 仿真结果图

以上正弦波形发生电路均 vivado2017.3 集成开发环境下搭建工程, 利用 Verilog 硬件描述语言编写, 并且编译通过。该 DDS 信号发生器设计使用的 BRAM 位为两个仅占用 FPGA 芯片可使用总量的 1.43%。将编译生成的 DDS.bit 文件通过 USB-Blaster 下载 FPGA 开发板上, 并在数模转换器输出端连接示波器探头, 测试结果如图 15 所示。

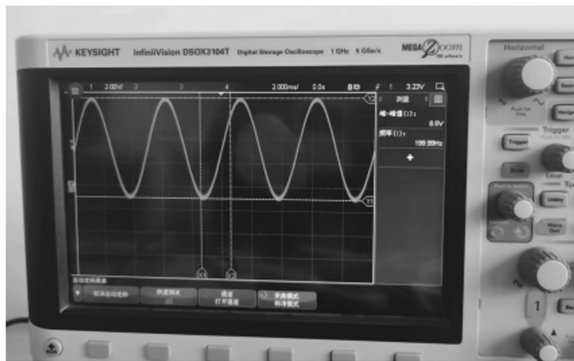


图 15 正弦信号测试图

图 15 为 DDS 测试系统与正弦信号在示波器上的测试结果。图中显示正弦波频率为 200 Hz, 峰峰值为 8.5 V, 为满幅情况下 DAC 的输出电压, 可以看到在不影响波形平滑度的情况下完成 16 位精度输出, 并且 ROM 占用资源比传统方式节省 99.2%。

6 结束语

本文提出了一种将改进 sunderland 算法与 QE-ROM 算法相结合的正弦数据压缩算法。改进 sunderland 算法是在 sundeland 算法的基础上利用正弦相位差算法与四线近似算

法将 coarse ROM 中的数据作差后将差值部分存储到 coarse ROM, 这比原数据要小得多。QE-ROM 再对整体数据量化, 量化后的数据整体占用空间变小, 对量化后的数据与量化误差分别保存。利用加法器对重建出 $[0, \pi/2]$ 范围内的输出, 然后结合正弦函数对称性通过补偿器重建出全周期的数据。本文提出的正弦数据压缩算法将正弦数据查找表 (ROM) 的尺寸从 $(2^{16} \times 16)$ 压缩至 $(2^7 \times 7 + 2^9 \times 7 + 2^8 \times 4 + 2^{10} \times 3)$ 8 576 bit, 压缩比为 122:1, 尺寸仅为原来的 0.8%。能够有效降低 DDS 芯片的面积和功耗。

但该算法也存在一定的不足之处, 当频率控制字并非为 2 的整数次幂时, 相位截断后锯齿波的周期不等于理想化连续时间锯齿波的周期, 就会引入相位截断误差, 相位截断误差序列的周期性是造成 DDS 输出频谱中含有大量杂散分量的主要原因之一。在算法的设计过程中, 如果想要降低 DAC 的非线性误差以及 ROM 幅度量化的误差则可通过两方面来实现, 一方面是采用更多位数的 DAC 器件, 这样其精度可以随之得到提高, 从而降低它的非线性误差; 另一方面是增加 ROM 的字长从而实现降低它的幅度量化误差。同时要想在设计的过程中增加 ROM 地址位数的话, 则在硬件的选型设计时就会更加的复杂。在设计的过程中需要考虑到的是 DAC 的非线性误差是与其位数成线性关系的, DAC 的位数越大其对应的精度以及分辨率就会越高, 则非线性误差也会越小; ROM 幅度量化的误差是与 ROM 的字节长度成线性关系, 与 ROM 的地址位数成指数关系, 若 ROM 的字节长度越长对应的地址位数越多, 则其幅度量化的误差也会越小。若在硬件方面增加对应成本便可以选择更多地址位数的 ROM, 但是在此情况下, 其对应的相位截断误差在所有噪声的比率中会有所上升。因此如何提高对相位截断杂散的抑制来提高 DDS 性能需要进一步研究。

参考文献:

- [1] TIERNEY J, RADER C M, GOLD B, et al. A digital frequency synthesizer [J]. IEEE Trans Audio Electroacoust, 1971, 19 (1): 48-57.
- [2] 牟 珊. 基于 DDS 技术的模拟频率调制电路设计及 FPGA 实现 [J]. 无线互联科技, 2021, 18 (10): 52-53.
- [3] 沈莉丽. DDS 信号源中的测频电路设计 [J]. 工业控制计算机, 2014 (10): 165-166.
- [4] SINGH R, ROY K, KAPURIYA B R, et al. A ROM-less direct digital frequency synthesizer based on fifth-degree Bezier curve approximation [C] // 2013 International Conference on Intelligent Systems and Signal Processing (ISSP), IEEE, 2013.
- [5] 吴 琦, 金楚丰, 陈 刚, 等. 基于 DCORDIC 算法的 Tanh 函数硬件设计与实现 [J]. 微电子学与计算机, 2020, 37 (12): 22-26, 32.
- [6] 樊智勇, 张 同, 刘 涛, 等. 基于 DDS 的飞机机电系统组态监控技术研究 [J]. 计算机测量与控制, 2021, 29 (8): 104-108, 113.

(下转第 283 页)