

基于 MicroBlaze 的时间触发以太网终端设计与实现

顾青松¹, 艾斯卡尔·艾木都拉¹, 马博阳¹, 刘兆沛²

(1. 新疆大学 信息科学与工程学院, 乌鲁木齐 830000;

2. 清华大学 计算机科学与技术系, 北京 100084)

摘要: 针对确定性机载网络通信系统实时性强、可靠性高的需求, 设计了一种时间触发以太网终端的实现方案; 以 MicroBlaze 软核处理器为核心, 使用 LWIP 协议栈实现 UDP 通信; 经过 60 s 的性能测试, 平均带宽约为 621 Mbits/s; 在 TTE 交换机与终端设备之间, 使用主从式同步方式实现时间同步; 经过 10 次时间同步测试, 链路传输延时在 150~250 μ s 之间; 建立时间同步后加入时间触发任务, 进行周期性的发送时间触发消息; 为了保证系统可靠性, 在传输层中采用 MD5 数据校验, 并设计了一种四余度管理机制; 测试结果满足 TTE 终端的功能需求。

关键词: 机载网络; 时间触发以太网; 余度设计; 可靠性; 哈希校验

Design and Implementation of Time Triggered Ethernet Terminal Based on MicroBlaze

GU Qingsong¹, ASKAR Hamdulla¹, MA Boyang¹, LIU Zhaopei²

(1. Xinjiang University, Urumqi 830000, China; 2. Tsinghua University, Beijing 100084, China)

Abstract: Aiming at the requirements of strong real-time and high reliability in deterministic airborne network communication system, a time-triggered Ethernet terminal implementation scheme is designed. With the MicroBlaze soft core processor as the core, the LWIP protocol stack is used to implement UDP communication. After 60s of performance testing, the average bandwidth is about 621 Mbits/s. Between the TTE switch and the terminal device, the time synchronization is achieved by using the master-slave synchronization mode. After 10 times of synchronization testing, the link transmission delay is between 150~250 μ s. After establishing time synchronization, the time trigger tasks are added and the time trigger messages are sent periodically. In order to ensure the system reliability, MD5 data verification is used in the transport layer and a four-degree redundancy management mechanism is designed. The test results meet the functional requirements of TTE terminals.

Keywords: airborne network; time-triggered ethernet; redundancy design; reliability; hash check

0 引言

机载网络通信系统结构的发展过程分为 4 个阶段: 分立式航电系统、联合式航电系统、综合模块化航电系统和分布式集成模块化航空电子系统 (DIMA, distributed)^[1]。DIMA 通过将硬件资源分成几个较小的单元, 分布在整个飞机上, 降低了综合模块化航电系统中央处理模块的尺寸、重量和冷却要求, 并通过安全关键型通信系统连接, 提供了更大的灵活性^[2]。从航空电子系统和机载网络的发展过程可以看出, 机载电子系统的数据交互需求越来越大, 导致网络拥堵、线路间干扰和线缆重量等问题越来越严重,

传统的通信网络已经不能满足航电系统的需求^[3-5]。

时间触发以太网 (TTE, time-triggered Ethernet) 以太网是一种实时通信协议, 它为分布式实时系统提供确定性实时通信服务, 相比于集中式网络系统的优点在于: 成本低, 性能高^[6]。IEEE 标准委员会于 2002 年提出了一种新的高精度时间同步标准, 专门针对测试和测量、工业自动化、军事系统、制造系统、电力公用系统等应用领域测量和控制的需求, 其时钟同步精度可达亚微秒级别^[7-9]。国外研究机构和企业都致力于 TTE 技术研究和产品应用, 但 these 核心技术基本上都掌握在 TTTech 公司手中, 用作轿车、飞机和航天航空系统中关键的传输控制信号^[10]。国内

收稿日期: 2022-07-20; 修回日期: 2022-09-19。

基金项目: 国家自然科学基金青年基金(61701276)。

作者简介: 顾青松(1996-), 男, 新疆奎屯市人, 硕士研究生, 主要从事时间触发以太网关键技术方向的研究。

艾斯卡尔·艾木都拉(1972-), 男, 新疆乌鲁木齐市人, 博士后, 教授, 博士生导师, 主要从事图像处理和智能信息处理方向的研究。

引用格式: 顾青松, 艾斯卡尔·艾木都拉, 马博阳, 等. 基于 MicroBlaze 的时间触发以太网终端设计与实现[J]. 计算机测量与控制, 2023, 31(4): 174-180.

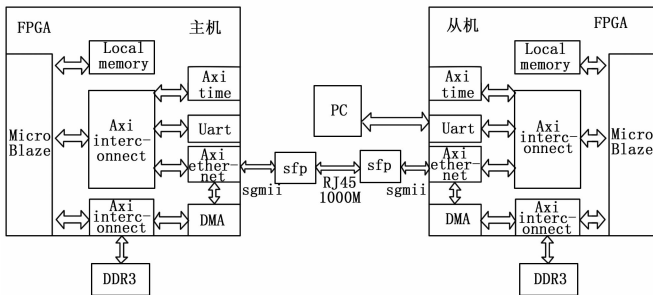


图 3 时间同步硬件系统框图

在时间同步硬件系统中，主从节点的时钟都是由定时器模块产生。通过使用定时器模块的定时中断功能设计时钟。

2.2 时间同步协议报文

IEEE-1588 精密时间协议 (PTP, precision time protocol) 可以封装为两层协议或四层协议，具体的格式大致分为两类：1) Ethernet+PTP；2) Ethernet+IPv4+UDP+PTP^[14]。

二层以太网 PTP 报文不需要进行 IP 报文和 UDP 报文封装，直接将 PTP 报文加入到以太网帧的数据段中。这样做的好处是链路中解析数据需要的时间减少了，可以提高时间的同步精度。缺点也很明显，在整个以太网数据帧传输过程中，只进行了一次 CRC 数据校验，如果数据出错，就没有一个数据容错机制检验数据的可靠性。虽然在通信链路中，四层以太网 PTP 报文的复杂度高，数据解析时间相对较慢，时间同步精度会降低，但是保障了数据的可靠性和完整性，所以本文采用四层以太网 PTP 报文协议。时间同步协议帧格式如图 4 所示。

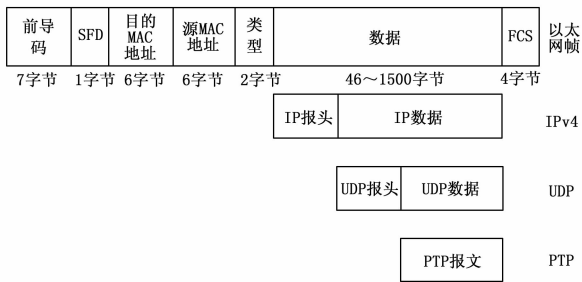


图 4 四层以太网 PTP 报文

其中的 PTP 报文包含 3 个部分：报文头部、报文主体和报文扩展^[15]。其中，报文头部长度为 34 字节，本文主要按照报文类型字段进行判断，其余不用字节填充为 0x00；报文主体主要用于承载 PTP 报文时间戳，长度可变，本文设计长度为 7 字节；报文扩展是可选部分，可以不做填充。

采用主从同步方式，PTP 事件报文可以不用携带时间戳，将 PTP 事件报文定义为 34 个字节，PTP 通用报文定义为 41 个字节。在 PTP 报文头部定义类型字段，主机发送 PTP 消息，从机根据报文类型 (messageType) 字段来

判断 PTP 报文类型，将 4 种报文类型字段分别定义为以下格式：

- 1) 同步报文类型：0x00。
- 2) 跟随报文类型：0x08。
- 3) 延迟请求报文类型：0x01。
- 4) 延迟请求应答报文类型：0x09。

2.3 时间同步软件功能设计

在嵌入式网络设备中，由于硬件资源的限制，采用 LWIP (Lightweight IP)^[16-17] 轻量级 TCP/IP 协议栈实现千兆以太网 UDP 通信。在使用 UDP 通信过程中，由于一个通道设置一个 MAC 地址、IP 地址和端口号。即在建立四光口通信时，需要设置 4 个不同的 MAC 地址、IP 地址和端口号，加入 4 个通信网络和 4 个互不相关的 UDP 接收回调函数，以便可以接收到 4 个端口同时发送过来的数据，减少数据丢失现象，设计流程步骤如图 5 所示。

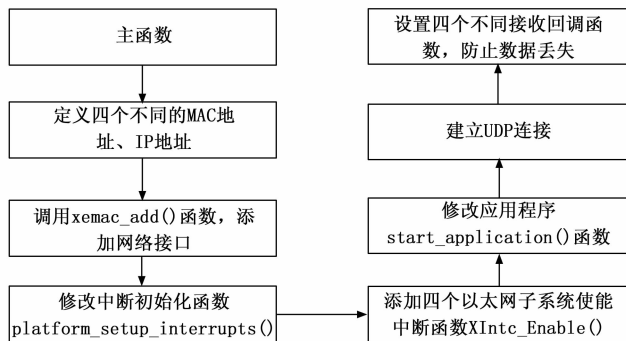


图 5 UDP 通信设计流程

主要分为以下 5 个步骤。

- 1) 主函数中设置 4 个不同的 MAC 地址和 IP 地址。
- 2) 调用 xemac_add () 函数。xemac_add () 函数是 LWIP 中 netif_add () 函数的封装，其功能是将网络接口加入网络列表中。需要使用此函数把 4 个网口的网络接口参数输入网络中。
- 3) 在中断初始化函数中，使用启动中断函数，将 4 个以太网子系统中断 Id 写入函数中。调用此函数后，将出现中断 Id 的任何从属控制器挂起，用于响应中断函数。
- 4) 对于启动应用程序 start_application () 函数，建立 4 个 UDP 端口和 UDP 连接。使用 udp_new () 函数，创建 UDP PCB 结构，用于 UDP 通信；udp_bind () 函数，将 PCB 与本地地址绑定；udp_connect () 函数，使 UDP PCB 与远程地址相关联。
- 5) 在接收数据方面，需要为 UDP PCB 设置接收回调函数。建立 4 个不同的 udp_recv () 回调函数，防止在一个端口接收处理数据时占据所有进程，使其余端口出现数据丢失的情况。当接收 pcb 的数据报时，将会调用此回调函数。

本文通过定时器中断设计时钟，将时钟划分为：时、分、秒、毫秒和微秒 5 个部分。时间同步流程如图 6 所示。

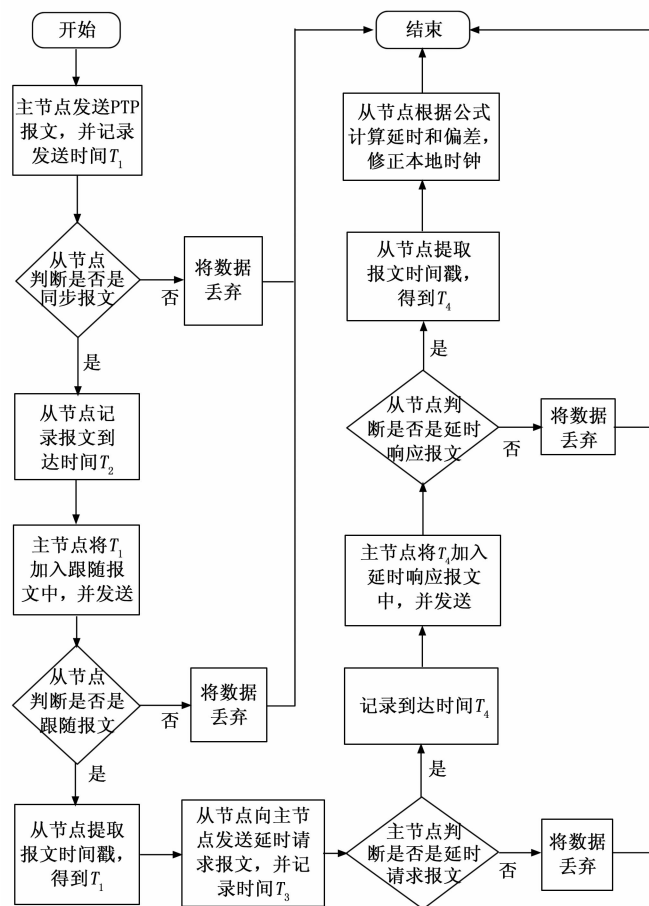


图 6 时间同步流程图

其大致步骤为:

1) 主节点向从节点发送同步报文并记录发送时间 t_1 , 从节点收到报文并判断报文类型是否为同步报文。如果是同步报文, 记录报文到达时间为 t_2 ; 如果不是, 则丢弃数据并重新接收下一组数据。

2) 主节点将时间 t_1 加入到跟随报文的的时间戳中并发送给从节点, 从节点收到报文并判断报文类型是否为跟随报文。如果是跟随报文, 从节点提取时间戳得到时间 t_1 并向主节点发送延时请求报文, 记录发送时间 t_3 ; 如果不是, 则丢弃数据并重新接收下一组数据。

3) 主节点收到报文并判断是否为延时请求报文。如果是, 则记录报文到达时间 t_4 , 并将时间 t_4 加入到延时请求响应报文中, 然后发送给从节点; 如果不是, 则将数据丢弃并重新进行时间同步流程。

4) 从节点接收到报文后判断是否为延时请求响应报文。如果是, 则提取时间戳得到时间 t_4 , 并根据得到的 4 个时间计算出时间同步延时和偏差, 修正从节点时钟; 如果不是, 则将数据丢弃并重新进行时间同步流程。

3 可靠性设计

机载网络作为航空电子系统的互联通道, 其可靠性直

接影响航电系统的正常工作乃至飞行器的安全^[12]。为保证整个网络通信系统的任务可靠性, 通常采用高可靠的设计方案以及有效的容错机制, 保证在子系统出现故障时不会导致整个系统无法工作。本文在传输层采用 MD5 (Message-Digest Algorithm 5) 数据加密算法保证了数据的完整性, 并采用四余度表决机制设计了一个容错通信层保证通信系统的可靠性。

3.1 传输层可靠性

MD5 数据加密算法用于提供消息的完整性保护, 其基本原理是将数据信息压缩成 128 位的 2 进制数, 并且产生信息摘要^[18]。根据 MD5 算法计算方式, 不可能生成具有相同消息摘要的两条消息。虽然现在此算法被已有碰撞攻击破解了不可逆性, 但是由于其在 32 位机器上计算速度快和易压缩性, 作为嵌入式数据加密还是很有必要的。发送端程序设计流程如图 7 所示。

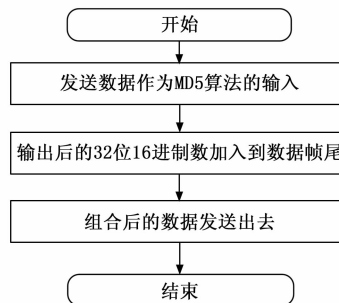


图 7 发送端 MD5 数据加密设计流程图

将开源的 C 语言 MD5 算法移植进网络中, 发送端程序设计步骤如下:

- 1) 需要发送的数据作为 MD5 算法输入。
- 2) 经过 MD5 计算后得到 32 位 16 进制数据。
- 3) 将 MD5 加密数据加入到发送数据帧帧尾。
- 4) 发送数据帧。

在接收端需要将传输数据进行解析, 提取数据帧后 32 位校验数据, 再将剩余数据经过 MD5 计算后得到的加密数据与提取的 32 位校验数据进行对比, 判断整个数据帧的完整性和有效性。程序设计流程如图 8 所示。

接收端程序设计步骤如下:

- 1) 首先判断接收到的数据包是否为空。
- 2) 如果为空, 将数据包丢弃, 并释放 pbuf 空间; 不为空, 将数据先提取出来放入数组缓存中。
- 3) 提取数组的后 32 位 16 进制数据, 放入校验数组中。
- 4) 将提取后的数据作为 MD5 算法输入。
- 5) 得到的输出数据与之前放入校验数组的数据进行逐一对比, 判断两组数据是否一致。如果相同, 则数据正确; 如果不同, 就是数据出错, 将数据丢弃, 清空数组缓存, 准备接收下一组数据帧。

3.2 容错层可靠性

容错通信层在通信系统的传输层和用户服务程序的应

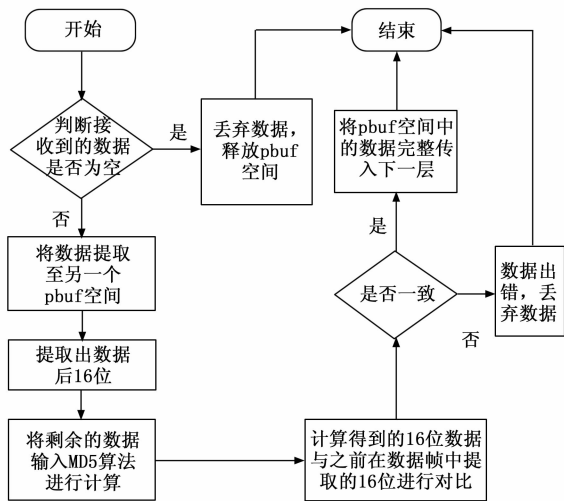


图 8 接收端 MD5 数据校验设计流程图

用层之间, 为了提高系统可靠性, 机载网络通信系统中采用了多余度的设计方案, 避免单通道系统故障后无法保证系统安全工作^[19]。多个余度同时工作时, 如果多个信息来源的数据一致, 直接将数据提交给上层服务程序即可; 如果不一致, 就需要进行余度表决, 再将表决模块得到的输出数据传送给上层服务程序^[20]。

四余度表决控制系统的输入是上一层 MD5 数据校验层的输出数据。单通道系统经过数据校验层后还需通过四余度表决层进行余度表决输出, 得到的最终数据便是正确传输数据, 程序设计流程如图 9 所示。

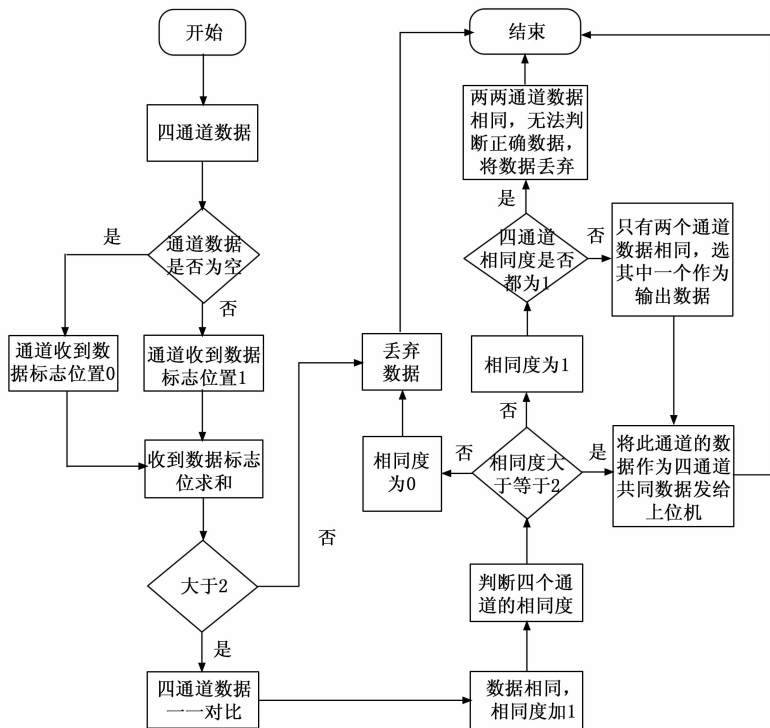


图 9 四余度表决系统设计流程图

四余度表决设计步骤如下:

1) 4 个通道分别判断是否有数据传输进来, 如果有数据传输, 将接收此数据的通道数据标志位置为 1; 如果没有数据传输, 则通道数据标志位置为 0。

2) 把得到的 4 个通道的数据标志位相加, 判断其总和。如果总和值大于 2, 则采用比较表决, 将各个通道的数据一一对比; 如果总和值小于等于 2, 则说明通道数据不在同一时刻发送, 或者在数据传输过程中出现丢包情况, 此时将数据丢弃。

3) 在数据对比过程中, 定义 4 个相似度标志位。若通道数据相同, 相似度标志位加一; 若通道数据不同, 相似度标志位加零。此标志位用来对各个通道的传输数据相同性和完整性判断。

4) 对相似度标志位判断, 如果此通道的相似度数值最大且大于等于 2, 则把此通道的数据作为正确数据存入 DDR 中。或者设置回环, 把正确数据作为 4 个通道的发送数据, 发送给上位机, 在上位机中观察此接收数据与上位机发送给硬件平台的数据是否相同。如果此通道的相似度数值等于 1, 会出现两种情况。一是只有两个通道的数据相等且这两个通道相似度为 1, 其余通道数据都不相同, 则正确数据选择相似度为 1 的通道数据; 二是所有的通道相似度都为 1, 代表 4 个数据通道两两相同, 无法判断正确数据是哪条通道的, 则将所有通道的数据丢弃, 重新接收下一组数据。如果相似度等于 0, 则说明数据出现错误, 需要把所有通道的数据丢弃, 重新接收下一组数据。

4 系统测试

4.1 硬件平台速率测试

硬件平台采用 Xilinx 公司生产的 AX7101 FPGA 开发板, 其型号为 XC7A100T-2FGG484I, 选用的 FPGA 芯片为 Xilinx 公司 Artix-7 系列的 XC7A100T。在通信接口方面, 4 个 GTP 收发器连接了最高可达 6.6 Gb/s, 用于光纤通信, 带宽为 1 Gbps, 满足高速数据传输和交换的要求。硬件开发平台为 Xilinx 公司设计的软件 Vivado 2017.4, 软件驱动开发平台为 Xilinx SDK 2017.4。本软件开发中使用 C/C++ 进行开发。

将光电转换模块插入 SFP 光口中, 通过 RJ45 千兆以太网网线把硬件平台与 PC 端相连。在 PC 端设置以太网本地连接适配器, 将本地主机 IPv4 地址设置为: 192.168.1.100, 与硬件平台同一网段。打开网络调试助手, 配置本地主机端口号为: 5101。远程主机地址设置为: 192.168.1.10, 端口号为: 5001。本地主机向远程主机发送 20 个字节的十六进制数: 0x68, 0x74, 0x74, 0x70, 0x3A, 0x2F, 0x2F, 0x77, 0x77, 0x77, 0x2E, 0x63, 0x6D, 0x73, 0x6F, 0x66, 0x74, 0x2E, 0x63, 0x6E。PC 向硬件平台发送数据, 硬件平台收到数

据后将数据再发还给上位机, 完成一个回环测试, 通过数据日志可以看到发送数据与接收数据一致, 硬件平台与上位机可以正常通信。

使用 iperf 软件测试连接速率, 输入命令 “iperf-c 192.168.1.10-u-b1000M-t 60-I 5-l 64k-p5001”, 指定 iperf 以客户端启动, 使用 UDP 连接到 IPv4 地址为: 192.168.1.10, 端口号为: 5001 的服务器上, 传输带宽为 1 000 M, 缓冲区大小为 64 kB, 测试时间为 60 s, 每隔 5 s 打印输出测试结果。如图 10 所示。

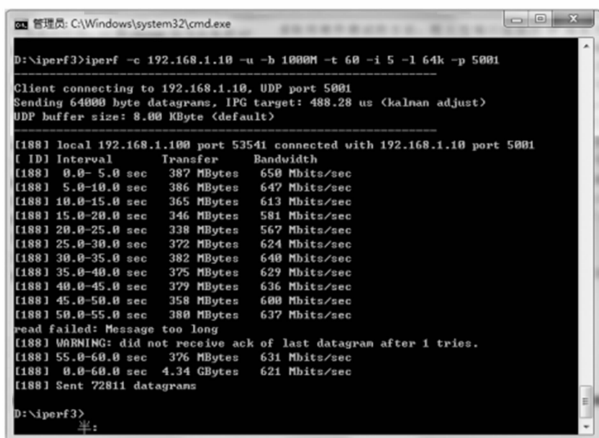


图 10 UDP 连接性能测试

Interval 是测试时间段, Transfer 表示该时间段内传输的数据总量, Bandwidth 为该时间段内的平均带宽。从测试结果可以看出, UDP 连接在 5 s 内的传输数据总量在 346~387 Mbytes, 5 s 内平均传输数据量约为 370.3 Mbytes, 平均每秒传输数据量约为 74 Mbytes/s。虽然达不到理论上千兆以太网每秒传输数据的要求, 但也远远高于百兆以太网的每秒传输数据量标准。其每分钟传输数据总量可达 4.34 GB, 在这段时间内带宽稳定在 600 Mbits/s 以上, 平均带宽约为 621 Mbits/s。

4.2 时间同步测试

在硬件平台间采用端对端的测试。从节点采用的是 AX7101 FPGA 通信板卡, 主节点采用的是米联客的 MA704FA-200T 开发板。此开发板的核心板使用 Xilinx Artix-7 FPGA 芯片, 型号为 XC7A200T-2FBG676I。在通信接口方面, 开发板上有 2 路 SFP 光口, 速度高达 6.6 Gb/s。测试结果通过串口发送给 PC 端。两个硬件平台通过光纤接口插上 SFP 光电转化模块相连, 通信链路采用 RJ45 千兆网线。从机将测试数据计算结果通过 UART 发送给上位机, 上位机在串口调试助手中观察测试数据。

将时间同步周期设置为 1 s, 测试 10 次时间同步后的链路传输延时, 延时数据如图 11 所示。

经过 10 次时间同步, 其延时数据首先呈明显下降然后平稳的趋势。由于定时器定时中断时间是 $100 \mu\text{s}$ 触发一次, 所以时钟的最小单位是 $100 \mu\text{s}$ 。根据时间同步算法和得到

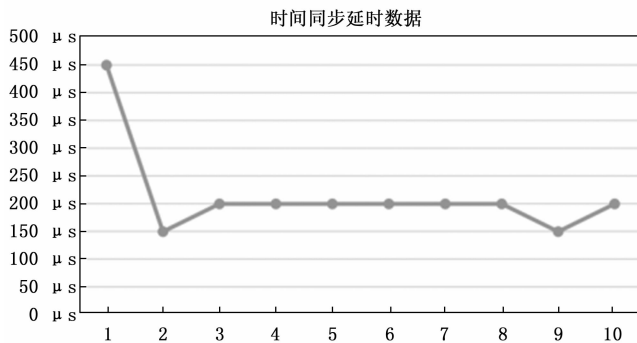


图 11 10 次时间同步时间延时数据

的延时数据可以推算出延时区间在 $150 \sim 250 \mu\text{s}$, 误差区间在 $100 \mu\text{s}$ 。由于无法得到更精确的延时数值, 且时间同步精度达到了微秒级, 所以误差仍在可容受范围。

4.3 可靠性测试

将 4 个通道的本地主机 IPv4 地址分别设置为: 192.168.1.100、192.168.2.100、192.168.3.100、192.168.4.100。主机端口号修改至空闲端口, 分别为: 31777、32777、33777、34777。远程主机 IPv4 地址分别设置为: 192.168.1.10、192.168.2.10、192.168.3.10、192.168.4.10。远程主机端口号分别设置为: 317、32769、33769、34769。使用网络调试助手进行测试。

首先使用 MD5 校验工具将测试数据进行计算, 得到的 MD5 加密数据为 32 位 16 进制数: 0xC20AD4D76FE97759AA27A0C99BFF6710, 测试数据为 4 位 16 进制数 (0x31, 0x32), 发送数据为测试数据加上 MD5 加密数据。

为了测试设计的四余度表决机制和 MD5 数据校验的可靠性, 对整个系统进行了 3 个方面的测试:

- 1) 发送相同的测试数据和 MD5 校验值, 测试了工程的完整性和准确性。
- 2) 修改 MD5 加密数据, 测试了传输层数据校验的可靠性。
- 3) 对四余度表决系统进行测试: 首先对双通道发送两个不同的数据, 其余通道数据与其中一个通道数据相同, 测试余度表决机制符合设计。其次, 对三通道发送不同数据, 剩余通道与其中一个通道数据相同, 分析了测试结果符合设计。最后, 将四通道分成两组, 两组数据不同但组内通道数据相同。经过测试, 得到的结果符合设计, 如图 12 所示。

5 结束语

本文设计了一种基于 MicroBlaze 的时间触发以太网终端的方案, 可以满足航电系统的高带宽、强实时、高可靠的要求。实现了以单核 MicroBlaze 为核心的四光口千兆以太网光通信方案, 提出了一种使用 MicroBlaze 实现时间同步功能方法。针对机载网络的可靠性问题, 在传输层使用 MD5 数据加密算法, 提高数据的完整性。设计了一种四



图 12 最终测试结果图

余度表决机制解决数据一致性问题，提高机载网络系统可靠性。但仍有许多不足之处，由于在时间同步过程中没有设计合适的时间补偿机制，时间同步误差区间仍然不小，需要设计时间补偿机制增加时间同步精度。

参考文献:

[1] TARIQ N, PETRUNIN I, AL-RUBAYE S. Analysis of synchronization in distributed avionics systems based on time-triggered Ethernet [C] //2021 IEEE/AIAA 40th Digital Avionics Systems Conference (DASC). IEEE, 2021; 1-8.

[2] XUAN Z, XIONG H, FENG H E. Hybrid partition-and network-level scheduling design for distributed integrated modular avionics systems [J]. Chinese Journal of Aeronautics, 2020, 33 (1): 308-323.

[3] ZHOU X, HE F, XIONG H, et al. Improving end-to-end delay analysis for TT and RC traffic of TT Ethernet in DIMA systems [C] //2019 IEEE/AIAA 38th Digital Avionics Systems Conference (DASC), IEEE, 2019; 1-8.

[4] PAHLEVAN M, OBERMAISSER R. Evaluation of time-triggered traffic in time-sensitive networks using the Opnet simulation framework [C] //2018 26th Euro Micro International Conference on Parallel, Distributed and Network-based Processing (PDP). IEEE, 2018; 283-287.

[5] 王伟伟. 时间触发网络节点卡通信功能的实现 [D]. 成都: 电子科技大学, 2020.

[6] EIDSON J C, FISCHER M, WHITE J. IEEE-1588™ Standard for a precision clock synchronization protocol for networked measurement and control systems [C] //Proceedings of the 34th Annual Precise Time and Time Interval Systems and Applications Meeting. 2002; 243-254.

[7] 董林峰. TSN 网络中时间同步精度提升与可靠性研究 [D]. 西安: 西安电子科技大学, 2019.

[8] 郑 翊. 基于 IEEE1588 的高精度时间同步技术分析 [J]. 无线电工程, 2019, 49 (6): 545-550.

[9] PEDRETTI D, BELLATO M, ISCRATE R, et al. Nanoseconds timing system based on IEEE 1588 FPGA implementation [J]. IEEE Transactions on Nuclear Science, 2019, 66 (7): 1151-1158.

[10] SHEREEN E, BITARD F, DÁN G, et al. Next steps in security for time synchronization; Experiences from implementing IEEE 1588 v2.1 [C] //2019 IEEE International Symposium on Precision Clock Synchronization for Measurement, Control, and Communication (ISPCS), IEEE, 2019; 1-6.

[11] 陈俊贤, 黄振峰, 杨壮涛, 等. 无人车载以太网技术研究 [J]. 计算机测量与控制, 2022, 30 (5): 203-208.

[12] 黄永东. 增强型时间触发以太网端系统的设计与实现 [D]. 西安: 西安电子科技大学, 2021.

[13] 诸俊辉. 基于 FPGA 的本地多端口计算加速设备设计及实现 [D]. 上海: 华东师范大学, 2021.

[14] Xilinx AXI 1G/2.5G Ethernet Subsystem v7.2 [EB/OL]. [2021-9-20]. https://www.xilinx.com/content/dam/xilinx/support/documentation/ip_documentation/axi_ethernet/v7_2/pg138-axi-ethernet.pdf.

[15] 狄昕涛. 采用 IEEE 1588 的 TTE 网络同步技术研究 [D]. 西安: 西安电子科技大学, 2021.

[16] 张 凯. 时间触发以太网高精度时钟同步技术研究 [D]. 北京: 北京工业大学, 2020.

[17] 梁一鑫, 程 光, 郭晓军, 等. 机载网络体系结构及其协议栈研究进展 [J]. 软件学报, 2016, 27 (1): 96-111.

[18] RACHMAWATI D, TARIGAN J T, GINTING A B C. A comparative study of message digest 5 (MD5) and SHA256 algorithm [J]. Journal of Physics: Conference Series. IOP Publishing, 2018, 978 (1): 012116.

[19] 马 跃, 朱纪洪, 杨佳利. 基于时间触发通信的机载网络可靠性 [J]. 计算机工程与设计, 2020, 41 (5): 1201-1206.

[20] 张高明, 李维波, 华逸飞, 等. 基于 W5200 的双冗余以太网通信系统应用研究 [J]. 中国舰船研究, 2018, 13 (1): 127-132.