

# 基于 DSP 的 UUV 目标探测通用系统设计与实现

宋家平, 朱衍明, 刘一博, 王天昊

(中国船舶集团有限公司 系统工程研究院, 北京 100036)

**摘要:** 为实现 UUV 系统对不同的探测系统外围传感设备信号进行快速处理和控制在, 利用 DSP 的数据高速处理能力和 FPGA 的高速接口数据交互能力, 设计了基于高速数字信号处理器 (DSP) 的 UUV 目标探测通用处理系统; 该系统采用了 XC7Z045T 芯片扩展 TMS320C6678 芯片的硬件架构设计, 通过配置 SPI 总线进行编程设计, 产生 250 MHz、156.25 MHz、100 MHz 和 50 MHz 的时钟分配设计方案, 支持 2 路千兆以太网接口通信和 16 路 RS232 串口数据的发送及接收, 并可根据实际需求扩展 CAN 通信以及 RS485 通信; 经实验测试, 该系统设计方案可完成千兆以太网到目标探测传感设备的数据传输, 实现对不同 RS232 传感器设备进行地址定义、读写和数据通信操作; 结果表明, 该系统设计方案达到了对以太网传感设备和不同 RS232 外围传感器快速处理和控制在的目的, 实现了基于 DSP 的 UUV 目标探测通用系统设计。

**关键词:** 目标探测; DSP; FPGA; 数据映射; RS232

## Design and Implementation of UUV Target Detection General System Based on DSP

SONG Jiaping, ZHU Yanming, LIU Yibo, WANG Tianhao

(Systems Engineering Research Institute, CSSC, Beijing 100036, China)

**Abstract:** In order to realize the rapid signals processing and control of the peripheral sensor devices of different unmanned underwater vehicle (UUV) detection systems, a universal processing system for the UUV target detection based on high-speed digital signal processor (DSP) is designed by using the high-speed data processing ability of DSP and the high-speed interface data interaction ability of FPGA. The system adopts the hardware architecture design of XC7Z045T chip to expand TMS320C6678 chip, and carries out the programming design by configuring the SPI bus to produce the clock distribution design schemes of 250 MHz, 156.25 MHz, 100 MHz and 50 MHz, which supports 2-channel 100 M Ethernet interface communication and 16-channel RS232 serial port data transmission and reception, and can expand the CAN communication and RS485 communication according to the actual needs. The experimental test shows that the system design scheme can complete the data transmission from 100 M Ethernet to the target detection sensor equipment, which realizes the address definition, reading and writing, and data communication operations for different RS232 sensor equipment. The results show that the system design scheme achieves the purpose of rapid processing and control of Ethernet sensor devices and different RS232 peripheral sensors, and realizes the design of a universal system for the UUV target detection based on DSP.

**Keywords:** target detection; DSP; FPGA; data mapping; RS232

## 0 引言

随着目前集成电路的工艺和技术的高速发展, 电子信息技术也在高速发展中, DSP (digital signal processor) 已经成为数字信号处理技术应用中必不可少的重要器件之一。DSP 已经广泛应用到航天航空、军事领域等相关领域<sup>[1]</sup>。在一些对信号处理数据量大、实时性高、高速计算的应用中, 单单依靠 DSP 芯片的信号处理能力往往不能满足需求, 高度集成的多处理器系统逐步成为高速信号处理平台的主流方案<sup>[2]</sup>。FPGA (field programmable gate array) 是一种可编程逻辑器件, 拥有丰富的高速接口, 能通过使用预建的逻辑块可重新编程布线资源来实现特定的电路结构<sup>[3]</sup>。

当前 DSP 和 FPGA 的协同数字信号处理系统主要应用于雷达信号处理<sup>[4]</sup>、语音信号处理<sup>[5]</sup>、图像处理<sup>[6]</sup>等领域。

在 [7] 中, 实现了一种能够对以太网、CAN 等不同协议数据进行解析、过滤及转发的多协议网关, 该网关采用 DSP + FPGA 的控制器架构 DSP 作为控制核心, 调用 FPGA 实现的驱动函数实现以太网和 CAN 数据收发, 并根据特定的转发策略对接收数据进行解析、过滤和转发, 试验结果表明, 该多协议网关单元具有通信接口种类多、数量多, 数据转发实时性强、可靠性高, 数据解析、转发规则可编程设定、灵活性高等特点, 能够适应不同系统的应用需求。在文献 [8] 中提出运用 DSP 与 FPGA 相配合的方式控制 CAN 总线实现数据传输, 提高高速条件下数据传输的稳定性和可靠性, 实验结果表明, 系统数据传输过程稳定可靠, 可以基本满足高速信号的处理与传输要求。

水下无人飞行器 (UUV, unmanned underwater vehi-

收稿日期: 2022-07-12; 修回日期: 2022-07-14。

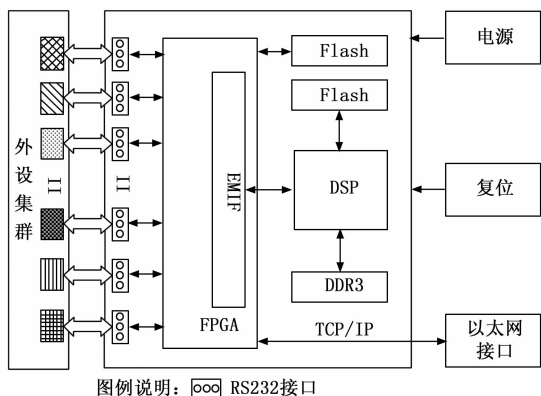
作者简介: 宋家平(1990-), 男, 广西钦州人, 硕士研究生, 工程师, 主要从事机器人电子信息方向的研究。

引用格式: 宋家平, 朱衍明, 刘一博, 等. 基于 DSP 的 UUV 目标探测通用系统设计与实现[J]. 计算机测量与控制, 2022, 30(10): 195-201.

cle) 作为一种复杂的水下机器人,其探测系统主要通过声、光、电、磁等多种物理场信息的采集和处理,实现对水下目标的搜索、探测等任务。因此,利用 DSP 的数据高速处理能力和 FPGA 的高速接口数据交互能力,基于 DSP 和 FPGA 协同处理架构,在高速数据通信、高实时性声、光、电、磁等数字信号处理的 UUV 水下目标探测应用场景中,实现同时具备两者优势,发挥各自特点优势。实现了通用的目标探测处理系统平台。通过 FPGA 扩展 DSP,不仅解决了 DSP 通信资源不足的问题,而且通过 FPGA 实现一些通信接口的逻辑设计,降低了电路设计的复杂度。并通过以太网完成上位机到目标探测系统的指令或数据映射,以设备地址定义不同 RS232 设备等,通过对不同地址进行读写地址数据操作,从而实现了对不同探测系统外围设备在目标探测前和处理后的控制。

### 1 系统总体设计

基于 DSP 的 UUV 目标探测系统总体设计的核心思想是构造一个具有可扩展性、标准化、模块化的硬件平台,再结合模块化软件设计,使平台具有很高的灵活和通用性。该系统主要实现了 16 路 RS232 串口数据的发送及接收,根据不同的需求后期可扩展 CAN 通信以及 RS485 通信等,实现对不同接口的外围设备的控制,从而更快地获得更多、更全面的目標信息,便于目标的处理和识别,总体设计如图 1 所示。



图例说明: RS232接口

图 1 系统总体设计框图

由于 DSP 的接口资源有限,以及 FPGA 具备多个工作单元并行处理和实时数据传输的能力<sup>[9]</sup>,为降低外围硬件电路的设计难度和提高该系统的灵活性、通用性、扩展性<sup>[10]</sup>,该系统采用了 FPGA 来对 DSP 进行功能的扩展。

图 1 中,通过 TCP/IP 协议栈的网络通信实现以太网到目标探测系统的指令或数据映射,以设备地址定义不同 RS232 外围设备,通过对不同地址进行读地址数据操作,并将这些数据信息发送到 FPGA,在 FPGA 内部做 FIFO 缓存、串并转化等;再通过 EMIF 接口将处理后的数据传输给 DSP 端,充分使用 DSP 强大的数据处理能力和灵活的配置能力<sup>[11]</sup>,实现目标探测信号处理和识别的各种复杂的算法;DSP 端先将数据存储到 DDR3 中,再根据需要将数据

读出内存进行相应的处理,处理后通过 EMIF 接口传输给 FPGA 端;最后,再由网络通信实现对不同 RS232 外围设备的写操作,从而将最终处理的数据映射到不同的外围设备,经行目标识别后的操作,如:显示目标的特征信息、具体方位信息等。至此便实现了目标探测信号处理和识别的整个过程。FPGA Flash 控制模块和 DSP Flash 控制模块,分别实现 FPGA 和 DSP 各自程序的在线加载和更新。

### 2 硬件设计

#### 2.1 FPGA 芯片选择

本系统设计的主控单元使用 Xilinx 公司 Zynq7000 系列的 XC7Z045T 芯片。该芯片集成了 ARMCortex-A9 双核处理器的处理系统(PS)和基于 Xilinx 可编程逻辑资源的可编程逻辑系统(PL)。可对该芯片的 PS 端和 PL 端进行独立开发,并根据控制需求进行系统的软件和硬件划分,从而将 PS 和 PL 各自的优势发挥出来,让整个系统呈现出最佳性能,该芯片还具有丰富的外部接口、内外部存储以及灵活的配置<sup>[12]</sup>。

#### 2.2 DSP 芯片选择

DSP 采用美国 TI 公司的 8 核 C66x CorePac 芯片 TMS320C6678,其核心工作频率为 1.25 GHz,运算速度最高可达 320 GMACS/160 GFLOPS。该芯片采用了同构多核架构,具有 4 MB 供 8 个核心访问的共享内存,以及具有 SRIO、PCIe 等多种接口,每个核均有 512 KB 的私有内存,可独立地执行特定的计算任务。可满足各种不同数据传输的应用需求,完全向后兼容所有现有的 C6000 系列定点和浮点 DSP<sup>[13]</sup>。配合外围 DDR3、Flash 等,为整个模块提供数字处理平台。

#### 2.3 时钟分配方案

多模块集成设计需要具备相应的时钟分配方案,如图 2 所示。在本设计中使用 1 片 ADI 公司的 AD9520 时钟产生芯片为所有的工作模块提供低抖动、稳定的参考时钟。该芯片是一款极低噪声 PLL 时钟频率合成器,集成 VCO、时钟分频器和 12 路 1.6 GHz LVPECL/CMOS 输出,具有自动保持和灵活的参考输入电路,支持非常平稳的参考时钟切换,该系列还可以提供用于外部 VCXO 的必要配置<sup>[14]</sup>。

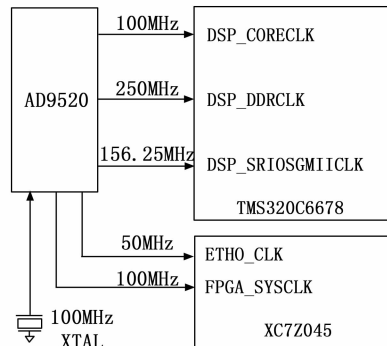


图 2 时钟分配方案

通过配置 SPI 总线对其进行编程设计,产生 250 MHz、

156.25 MHz、100 MHz 和 50 MHz 的时钟分别提供给 DDR3 工作时钟、SRIO 模块时钟、FPGA 的系统时钟及多核 DSP 内核和以太网模块时钟等。

### 2.4 电源部分

在整个系统的设计中电源设计作为平台设计的基本环节, 为了达到给多核 DSP、FPGA 以及其他的芯片提供正确、安全、稳定供电的目的, 电源部分设计也是最为复杂和繁琐的一个环节。本系统采用了 3 片 ADI 公司的 LTM4644 降压型  $\mu$ Module (电源模块) 稳压器为总体系统提供所需要的各种电压值。

LTM4644 可在一个 4~14 V 或 2.375~14 V (采用一个外部偏置电源) 的输入电压范围内运作, LTM4644/LTM4644-1 支持一个 0.6~5.5 V 的输出电压范围。该器件的高效率设计使每个通道能够提供 4 A 连续 (5 A 峰值) 输出电流, 仅需大容量的输入和输出电容器<sup>[15]</sup>。

### 2.5 以太网接口

以太网接口采用 TI 公司 DP83848 以太网 PHY, DP83848C 是美国国家半导体公司生产的一款鲁棒性好、功能全、功耗低的 10/100 Mbps 单路物理层 (PHY) 器件。支持 10 Base-T 和 100 Base-TX 以太网外设, 对其他标准以太网解决方案有良好的兼容性和通用性, 其电路结构如图 3 所示。

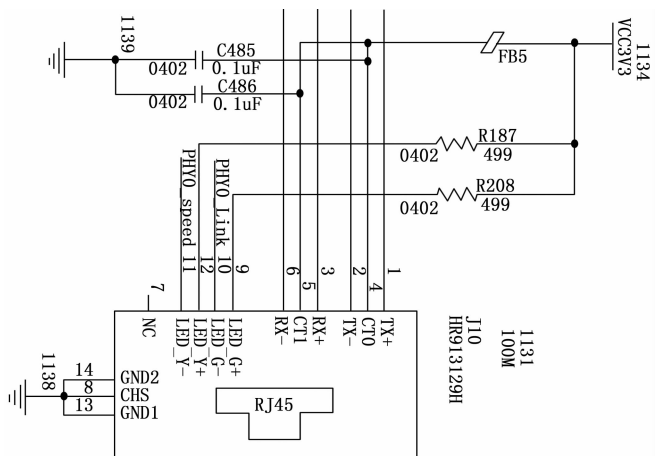


图 3 百兆以太网接口

### 2.6 多路串口逻辑设计

该系统的 RS232 串口部分采用了模块化的电路设计。FPGA 的功能逻辑如图 4 所示, 它包括发送模块、接收模块和数据处理模块<sup>[10]</sup>。由于不同的外围设备有不同的串口通信需求, 因此, 该系统每一路串口通道均采用了独立的设计, 而且, DSP 可根据各自的需求对每一路串口动态设置波特率、起始位、数据位、奇偶校验位及停止位等工作参数, 以提高其灵活性和通用性。

#### 2.6.1 RS232 接口设计

RS232 接口电平转换芯片采用芯佰微公司的 CBM3232。它是一种基于 EIA/TIA-232 标准和 V. 28/V. 24 标准的通讯接口, 其供电电压为 3.3 V、具有低功耗需求, 高数据传输率能力, 其电路结构如图 5 所示。

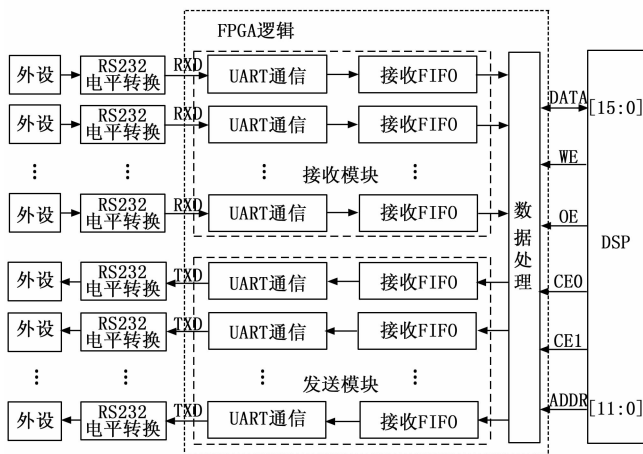


图 4 串口逻辑设计

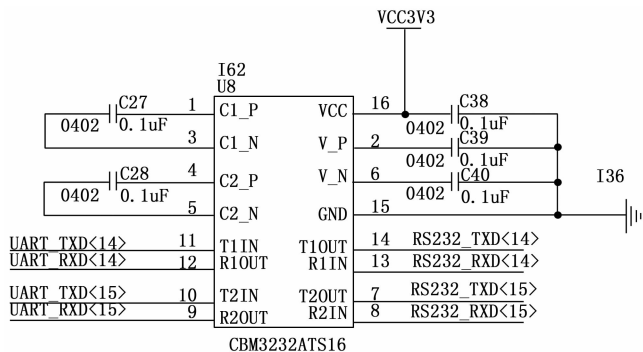


图 5 RS232 接口电路图

CBM3232 有两个接收器和一个驱动器, 该设备可以确保以 RS-232 标准输出电平水平的情况下以 120 kbps 数据传输率运行。典型应用包括笔记本电脑、轻型便携掌上电脑、电池供电的设备、手持式设备、电子周边设备和打印机<sup>[16]</sup>。

#### 2.6.2 UART 通信

通用异步接收器或发送器 (UART, universal asynchronous receiver/transmitter) 是一种全双工传输模式<sup>[17]</sup>, 主要用于串行传递数据。它的基本原理是: 一方面, 在接收数据时, 将接收到的串行数据转换成并行数据; 另一方面, 在发送数据时, 将并行数据转换成串行数据来进行传输, 实现将信息在串行通信与并行通信之间传输和转换。

UART 的传输链路时以数据帧为基本单元进行传输的, 如图 6 所示。其一帧数据长度一般是 5~8 bit, 包括起始位、数据位、校验位与停止位; 可根据需要选择是否采用校验位, 校验模式包括奇校验和偶校验, 停止位长度包括 1 bit、1.5 bit、2 bit, 一般根据当前 UART 链路传输要求选用合适的格式<sup>[18]</sup>。

#### 2.6.3 收发 FIFO 缓存数据

FPGA 使用的 FIFO 一般指的是对数据的存储具有先进先出特性的一个寄存器, 常被用于数据的缓存, 或者高速异步数据的交互也即所谓的跨时钟域信号传递<sup>[19]</sup>。FIFO 可以将连续的数据流在进栈和存储之前集中缓存起来, 不仅可以防止数据丢失, 还可以使若干个数据一起进行处理避

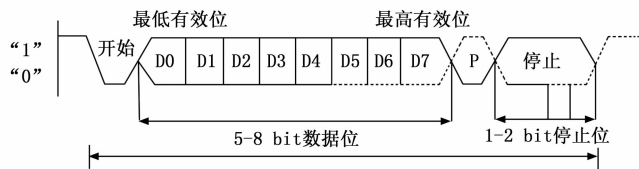


图 6 UART 串行异步通信数据格式

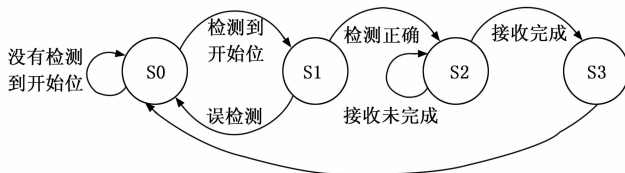


图 7 UART 接收器状态转移过程图

免频繁的总线操作。收发 FIFO 采用  $8 \times 256$  的容量，数据位宽度为 8 位，存储深度为 256 byte，FIFO\_empty 作为 FIFO 是否有数据的标志信号。

### 2.6.4 数据处理及与 DSP 的通信

FPGA 芯片对不同的串口通道分配了不同的片选地址，DSP 在每个串口通道进行参数初始化设置和收发数据设置时，首先，根据设置的片选地址找到相应的寄存器，其次，通过总线的形式收发存放在不同地址中的数据，最后，根据需求对所有通道的数据进行相应处理。根据图 4 中的串口逻辑设计，当接收到其中某一路串口通道数据时，DSP 读取该通道对应的 FIFO\_empty 值，若有数，则 DSP 从该通道对应的寄存器地址获取已完成串并转换的数据。类似地，在发送指令或数据至串口通道时，DSP 通过总线把带有帧头、帧尾的完整数据包发送到对应的 FPGA 寄存器，然后，FPGA 将该数据存入对应串口通道的发送 FIFO 中，最后，完成并串转换后把该 FIFO 中的数据转成串行形式逐位传送至外部设备。

## 3 软件架构

### 3.1 UART 通信

通过采用 VIVADO 开发平台和 VHDL 硬件描述语言，UART 通信在逻辑电路层面开展了模块化的设计和开发。包括波特率发生器；UART 接收器；UART 发送器三个功能设计模块。

首先，波特率发生器的设计本质就是对分频器的设计。而分频器的设计最重要的步骤就是确定分频数，即波特率的分频因子。本系统的 UART 通信分频因子通过给定的 UART 时钟频率和外围设备要求的波特率计算得出。根据 UUV 目标探测系统不同传感器设备的通信协议可对波特率分频因子更改。

UART 接收器设计的目的是接收串行通信数据。当 UART 接收使能变量置 1 时，开始接收 RXD 数据信号，直至信号 FIFO\_empty 变为 1，此时 FIFO 已满。串行通信数据接收的帧格式如图 6 所示，UART 接收器的设计通过状态机来实现，其状态转移过程如图 7 所示。

S0 表示空闲等待状态，具体表现是 RXD 数据线为低电平，此时 UART 接收器模块一直在等待状态。当 UART 接收的数据被检测到低电平后，便进入到 S1 状态。S1 状态的目的是消除电磁干扰所产生的低电压毛刺对 UART 接收数据的干扰，若是干扰，返回到 S0 状态，否则进入数据接收状态 S2 状态。在 S2 状态下通过 9 位的寄存器完成包含 8 位数据和 1 位奇偶校验位的数据接收和存储，然后进入 S3 状

态。S3 状态是对接收到的数据进行奇偶校验的状态，若校验有误，提示相关错误信息；反之，提示完成数据接收，并进入下一次接收等待的 S0 状态。

UART 发送器模块设计的目的是串行发送数据，在发送使能变量和发送 FIFO 均不为 0 时，读取该 FIFO 中的并行数据，经过并串转换后，在首位加入数据起始位，末位加入奇偶校验位以及停止位，形成完整的串行数据帧；最后按照事先设定的波特率完成串行发送，UART 发送器模块状态转移过程如图 8 所示。

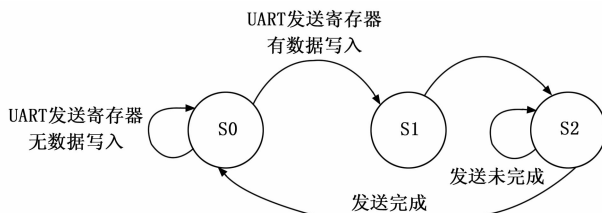


图 8 UART 发送器状态转移过程图

S0 表示空闲等待状态，在该状态下一直等待主控处理器发来数据。当发现有数据写入时，由 S0 状态转为 S1 状态。S1 为奇偶校验位设置状态，通过开启校验电路，根据写入的数据和奇偶校验规则或算法设置并获取相应的校验结果，并将其添加到数据特定位置后，完成相应的校验位生成，S1 状态进入 S2 状态。S2 状态为数据发送状态，将包含数据起始位、奇偶校验位以及停止位的完整数据帧向外发送，直至完成所有数据的发送，接着回到 S0 状态，进入下一次发送等待状态。

### 3.2 EMIF 通信

由于 TMS320C6678 的外部存储器控制接口是 EMIF16，因此，EMIF 通信的软件设计就是对 EMIF16 模块的初始化参数配置进行设计。该 EMIF16 模块的寄存器地址配置范围是  $0x20C00000 \sim 20C000FF$ ，它包括 26 组寄存器<sup>[20]</sup>共 256 字节。具体包括异步等待周期寄存器（AWC-CR）、EMIF 模块中断相关寄存器（IRR、IMR、IMSR、IMCP）、EMIF 模块版本及状态寄存器（RCSR）、异步配置寄存器（ACR）等<sup>[21]</sup>。该系统通过对上述寄存器逐一进行相应的编程配置，完成了 DSP 对 EMIF16 模块的初始化编程。寄存器编程配置时根据其需求进行重点位域的编码，与本系统无关的寄存器选择默认值对其进行了配置。完成配置后开始设计和实现上层应用系统，本系统中 DSP 和 FPGA 基于 EMIF16 异步通信的软件流程如图 9 所示，主要实现数据的接收和发送功能。

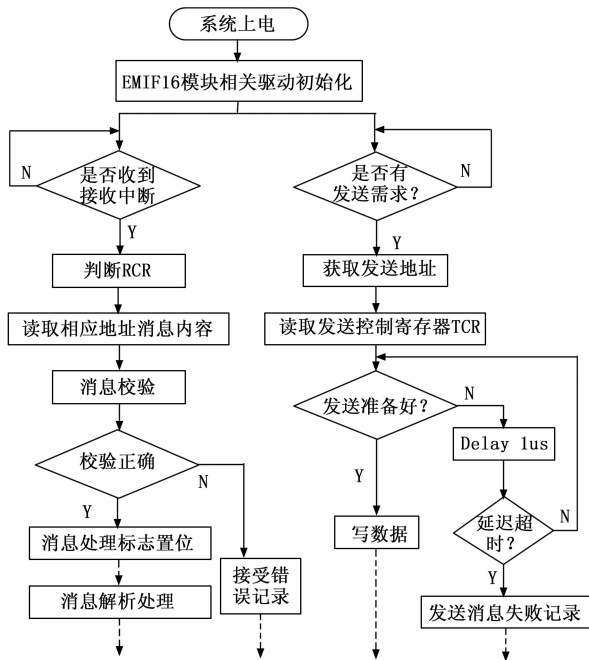


图 9 EMIF 通信软件流程图

该系统上电后, EMIF 模块接口完成初始化程序后开始和外接设备进行通信。对于需要依靠系统告知 EMIF 模块进行数据接收这种被动模式下, 通过 GPIO 发送中断信号以实现辅助接收数据的功能; 即 FPGA 端即将发送的数据在准备好之后, 拉高 GPIO 管脚电平, DSP 端收到该 GPIO 上升沿信号后触发中断信号 Interrupt, 开始执行中断函数, 判断数据接收控制寄存器 (RCR), 并开始接收数据。对于 DSP 端直接读取 EMIF 模块完成数据发送这种主动模式, 在每次发送数据时需要 FPGA 端的数据准备状态进行查询, 确保发送控制寄存器 (TCR) 对应的状态准备已完成才开始发送相应的数据, 以保证发送数据的稳定性。

### 3.3 以太网通信

在该系统中, 为实现基于 TCP/IP 以太网协议的上位机与 UUV 目标探测传感系统之间的通信, XC7Z045T 芯片对硬件逻辑电路模块和 IP 核采用 Verilog 语言设计编程。传输控制协议/网际协议简称为 TCP/IP 协议, 它包含多个不同层次的协议族组合<sup>[22]</sup>, 其中的 TCP 和 IP 协议是两个重要的计算机通信协议。本系统以太网通信的设计使用应用层、传输层、网络层、链路层, 以及一路物理层组成的五层网络协议, 其设计流程如图 10 所示。

上位机应用程序在通过 TCP/IP 以太网协议栈发送数据时, 要对数据进行逐级打包和封装, 在该过程中, 接收数据的首部或尾部将会被每个协议层添加相应的信息; 在目标探测传感系统接收通过 TCP/IP 协议发送过来的数据时, 首先将数据流由下往上逐层解析相应接收到的数据, 然后去除对应的首部或尾部的信息, 保留其发送的有效数据。

应用层通过提供各种协议目的是对接收的数据进行解释。TCP/IP 的应用层协议包括文件传输协议 (FTP 协议)、

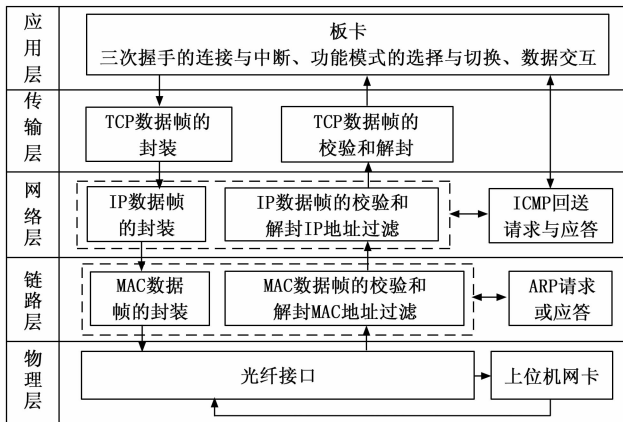


图 10 以太网通信设计流程图

TELNET 协议、超文本传输协议 (HTTP 协议) 和简单邮件协议 (SMTP 协议), 在使用过程中根据传输不同数据的需要选择不同的协议。本系统主要采用了文件传输协议 (FTP 协议) 和超文本传输协议 (HTTP 协议)。

传输层主要负责两个端系统之间的可靠数据传输, 为传输数据两端的系统提供建立、维护和断开连接等功能。在 TCP/IP 的传输层协议族中, 一般使用可靠传输的传输控制协议 (TCP) 和不可靠传输的用户数据报协议 (UDP)。UDP 协议是不面向连接的, 其无法保证数据传输的可靠性; 但 TCP 协议是面向连接的, 可保证可靠的数据传输。若传输层接收的是 UDP 报文, 则根据 UDP 协议中对应的端口, 分别送给不同的应用程序; 若接收的是 TCP 报文, 则需要根据 TCP 的状态转换过程图进行处理。在本系统中采用 TCP 协议为传输层协议。

网络层在数据链路层传输功能上, 进一步处理网络中发送方到目的地报文地址和路由信息等数据的通信, 并且一般具备为传输层提供服务、组包和拆包、选择路由等功能, 目的是实现两个数据传输端之间的数据透明传送及相关的协议封装。具体的过程是, 网络层在接收到数据链路层发送的数据包后, 根据 IP 数据帧中的协议种类, 首先去掉 IP 首部数据, 然后形成 TCP、UDP 或是 ICMP 报文后再对数据进行相应的处理。网络层传送数据采用 IP 协议机制, 它是 TCP/IP 协议栈的核心。因此, 本系统的网络层们选用了 IP 协议和 ARP 协议来实现 IP 地址到 MAC 物理地址的转换。

链路层一般包括系统的网络接口和设备驱动应用程序, 目的是用于定义计算机如何连接网络。数据链路层要实现数据传输功能必须要连接网络, 它主要负责接收和发送以太网数据帧, 并将数据首部信息剥离, 然后根据以太网数据帧的上层协议分别传输到上一层, 完成将所传输的原始数据转换成上一层能够识别的逻辑帧。

物理层包括 MII/GMII (介质独立接口) 子层, PCS (物理编码子层), PMA (物理介质附加) 子层, PMD (物理介质相关) 子层以及 MDI (媒介相关接口) 子层。本系统的设

计使用了 MDI 子层，即使用 RJ45 接口将设备接入网络。

### 4 系统测试

基于 DSP 的 UUV 目标探测通用系统设计完成后，需要对其进行功能性数据测试，测试的内容包括网口硬件测试、系统与上位机的连接测试，以及 RS232 设备的读写操作测试。其测试环境的搭建过程为：首先使用笔记本电脑作为以太网通信上位机，然后通过网线将上位机与被测板卡百兆网口相连，最后使用 RS232 调试串口观测每一路的调试结果。

#### 4.1 网口硬件测试

使用 JTAG 将测试例程，加载到 FPGA 中，再使用 SDK 软件加载测试执行程序，通过调试串口观测结果如图 11 所示。

```

-----lwIP TCP echo server -----
TCP packets sent to port 6001 will be echoed back
auto-negotiated link speed: 100
Ethernet link down
DHCP Timeout
Configuring default IP of 192.168.1.10
Board IP: 192.168.1.10
Netmask : 255.255.255.0
Gateway : 192.168.1.1
TCP echo server started @ port 7

```

图 11 程序加载后，串口的观测结果

以上结果，显示百兆网 PHY 自协商正常，测试 Server 配置正常，目标端机 IP: 192.168.1.10，端口: 7；再通过使用 Ping 命令，测试网络通信是否正常，其测试结果如图 12 所示。

```

Microsoft Windows [版本 10.0.10586]
(c) 2015 Microsoft Corporation. 保留所有权利。

C:\Windows\system32>ping 192.168.1.10

正在 Ping 192.168.1.10 具有 32 字节的数据:
来自 192.168.1.10 的回复: 字节=32 时间<1ms TTL=255
来自 192.168.1.10 的回复: 字节=32 时间<1ms TTL=255
来自 192.168.1.10 的回复: 字节=32 时间<1ms TTL=255
来自 192.168.1.10 的回复: 字节=32 时间<1ms TTL=255

192.168.1.10 的 Ping 统计信息:
    数据包: 已发送 = 4, 已接收 = 4, 丢失 = 0 (0% 丢失),
    往返行程的估计时间(以毫秒为单位):
        最短 = 0ms, 最长 = 0ms, 平均 = 0ms

C:\Windows\system32>

```

图 12 网络通信的测试结果

由图 12 可知，百兆网口通信正常，至此，硬件测试完毕，进行上下位机软件功能测试。

#### 4.2 系统与上位机的连接测试

该上位机软件通过 TCP/IP 协议与下位机进行交互，上位机作为客户端，下位机作为服务端。下位机的 IP 和端口可在上位机可执行程序对应目录下的配置文件中配置，实现上位机软件启动时主动连接下位机的操作。也可以在上位机软件启动后连接下位机失败时，手动输入下位机 IP 和

端口进行连接。手动连接：点击【网络配置】—>【下位机】，在弹出窗体中输入正确的 IP 和端口号，然后点击连接，完成系统与上位机的连接测试，其操作界面和测试结果如图 13 所示。

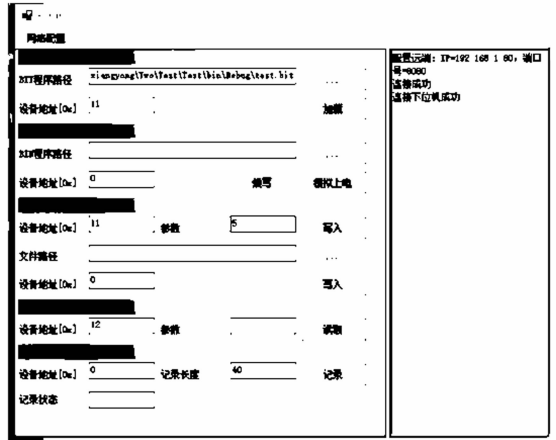


图 13 上、下位机连接的操作界面和测试结果

#### 4.3 RS232 设备的读写操作测试

通过上位机，实现以太网到设备端的指令或数据映射，以设备地址定义不同 RS232 设备，通过对不同地址进行读写地址数据操作，实现对不同 RS232 设备的读写操作。

- 1) 写操作测试：在图 13 中的“设备写访问”功能区中，向设备地址 0x11 写入十进制数据 5，后侧显示数据下发成功，返回成功标识，测试结果如图 14 左侧所示。
- 2) 读操作测试：在图 13 中的“设备读访问”功能区中，向设备地址 0x12 发起读请求，后侧显示数据下发成功，回读十进制数据 4660，测试结果如图 14 右侧所示。

<pre> ***** Debug Info ***** uFrameHead = 0x5a5a5a5a uCmd = 0x1 uAddressOpt = 0x11 uLengthOpt = 0x4 uPackageNum = 0x0 uLengthData = 0x4  0x5 uFrameTail = 0xa5a5a5a5 #### cmd: data write ##### </pre>	<pre> ***** Debug Info ***** uFrameHead = 0x5a5a5a5a uCmd = 0x2 uAddressOpt = 0x12 uLengthOpt = 0x4 uPackageNum = 0x0 uLengthData = 0x4  0x1234 uFrameTail = 0xa5a5a5a5 </pre>
--	--

图 14 写和读操作测试结果

### 5 结束语

本文设计和实现了基于 DSP 的 UUV 目标探测通用系统。首先考虑到 DSP 的高速数据处理能力，以及 FPGA 的高速接口数据交互能力，通过 FPGA 对其进行扩展。再结合 FPGA 自身的编程能力和模块化的设计，实现了每一路 RS232 通信接口逻辑独立化地设计。最后利用以太网完成上位机到探测系统指令或数据的映射，先给不同的 RS232 设备定义不同的地址，再通过对不同地址进行读写地址数据操作，从而实现了 UUV 探测系统不同探测载荷及外围设备在目标探测前和识别后的处理和识别。经测试实验表明，该系统设计方案达到了对以太网传感设备和不同

RS232 外围传感器快速处理和控制的目的是, 实现了基于 DSP 的 UUV 目标探测通用系统设计。

#### 参考文献:

- [1] 肖亮, 张学健. 基于多核 DSP 的超声成像处理算法的并行实现 [J]. 电子技术应用, 2013, 39 (6): 27-30.
- [2] 陈术涛, 沈志, 王春联, 等. 多核 DSP 与 FPGA 高速数据传输系统设计与实现 [J]. 电子技术应用, 2018, 44 (12): 40-43.
- [3] 田生宏, 田培成. 可编程逻辑器件 CPLD 和 FPGA 特点和应用 [J]. 科技视界, 2015 (18): 134-134.
- [4] 郭甲龙. 基于 DSP 和 FPGA 的雷达信号处理实验样机的设计与实现 [D]. 西安: 西安电子科技大学, 2014.
- [5] ZHANG W, WU D, XUE Z, et al. Design and implementation of voice signal processing system based on DSP and FPGA [C] //2013 IEEE Third International Conference on Information Science and Technology (ICIST), 2013: 1602-1605.
- [6] ZHAN Z, HAO W, TIAN Y, et al. A design of versatile image processing platform based on the dual multi-core DSP and FPGA [C] //2012 Fifth International Symposium on Computational Intelligence and Design, 2012: 236-239.
- [7] 周永明, 刘云秋, 许进亮, 等. 基于 DSP 和 FPGA 的信息化发射平台多协议网关设计 [J]. 计算机测量与控制, 2019, 27 (3): 137-140.
- [8] 李晓, 李芮, 王志斌, 等. 基于 DSP 和 FPGA 的 CAN 总线通信系统设计 [J]. 计算机测量与控制, 2015, 23 (1): 284-286.
- [9] 徐洋洋. 基于 FPGA 的多通道大容量 FIFO 设计 [J]. 电子测量技术, 2017, 40 (8): 193-197.
- [10] 梁悦, 陈力, 连玉杰, 等. 基于 DSP 及 FPGA 的水下信
- [11] SY A, JZ A, CBB C, et al. Fast vehicle logo detection in complex scenes-science direct [J]. Optics & Laser Technology, 2019, 110: 196-201.
- [12] REDMON J, FARHADI A. YOLOv3: an incremental improvement [C] //Computer Vision and Pattern Recognition, Washington D. C., USA; IEEE, 2018: 1-6.
- [13] BOCHKOVSKIV A, WANG C Y. Yolov4: Optimal speed and accuracy of object detection [C] //Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition. arXiv: 2004.10934, 2020.
- [14] LIU S, QI L, QIN H, et al. Path aggregation network for instance segmentation [C] // Proceeding of the IEEE Conference on Computer Vision and Pattern Recognition. Salt Lake City, UT, USA; IEEE, 2018: 8759-8768.
- [15] YUN S, HAN D, OH S J, et al. CutMix: regularization strategy to train strong classifiers with localizable features [C] // International Conference on Computer Vision. Seoul, Korea (South): IEEE, 2019: 659-668.
- [16] NADEEMHASHMI S, GUPTA H, MITTAL D, et al. A lip reading model using CNN with batch normalization [C] // 2018 Eleventh International Conference on Contemporary Com-
- 息融合系统的设计 [J]. 舰船科学技术, 2022, 44 (7): 142-145.
- [11] 于靖涛, 王月猛, 孙莹. DSP 原理及应用技术研究综述 [J]. 电子世界, 2019 (16): 87-88.
- [12] XILINX. XC7Z045 \_ DataSheet [Z]. XILINX, 2018.
- [13] Texas Instruments. TMS320C-6678 multicore fixed and floating-point digital signal processor [EB/OL]. (2022-05-13) [2015-12-15]. XILINX, 2015.
- [14] Analog Devices. 12 LVPECL/24 CMOS Output Clock Generator with Integrated 2.8 GHz VCO Data Sheet (Rev. B) [Z]. S Analog Devices, 2008.
- [15] Analog Devices. Quad DC/DC  $\mu$ Module (Power Module) Regulator with Configurable 4A Output Array Data Sheet (Rev. G) [Z]. Analog Devices, 2020.
- [16] 芯佰微电子. CBM3232 产品数据手册 [Z]. 芯佰微电子, 2022.
- [17] ERIC, et al. 了解通用异步接收器或发送器的硬件通信协议 [J]. 电子产品世界, 2021, 28 (5): 28-32.
- [18] 杨洋, 和蕾, 王旭, 等. 基于 FPGA 的 UART 串行通信参数自适应设计与实现 [J]. 电子设计工程, 2021, 29 (16): 21-25.
- [19] 樊继明, 陆锦宏. FPGA 深度解析 [M]. 北京: 北京航空航天大学出版社, 2015.
- [20] 孔石, 王春雷. 基于 EMIF16 模块的 TMS32-0C6678 与 FPGA 接口设计与实现 [J]. 航空兵器, 2015 (1): 35-38.
- [21] 陈术涛, 俞鹏先, 沈志, 等. 基于高速外设模块的多核 DSP 与 FPGA 通信系统设计 [J]. 微型机与应用, 2017, 36 (7): 22-25.
- [22] 周宏健. 大功率整流部件损耗监测系统的数据同步采集与通信设计 [D]. 长沙: 湖南大学, 2012.
- [17] LIN TY, DOLLAR P, GIRSHICK R, et al. Feature pyramid networks for object detection [C] //Proceedings of The IEEE Conference on Computer Vision and Pattern Recognition, USA; IEEE, 2017: 936-944.
- [18] 王宪保, 朱啸咏, 姚明海. 基于 Mask RCNN 的滤袋开口检测方法 [J]. 计算机测量与控制, 2020, 28 (12): 21-26.
- [19] PANG J, CHEN K, SHI J, et al. Libra R-CNN: towards balanced learning for object detection [C] //Proc. of the Computer Vision and Pattern Recognition. Long Beach, CA, USA; IEEE, 2019: 821-830.
- [20] TAN M, PANG R, LE Q V. Efficientdet: Scalable and efficient object detection [C] // Computer Vision and Pattern Recognition. WA, USA; IEEE, 2020: 10781-10790.
- [21] ROMBERG S, PUEYO L G, LIENHART R, et al. Scalable logo recognition in real-world images [C] //International Conference on Multimedia Retrieval. New York, NY, USA; ACM, 2011: 1-8.
- [22] LIU W, ANGUELOV D, ERHAN D, et al. SSD: Single shot multibox detector [C] // European Conference on Computer Vision, Berlin, German; Springer, 2016: 21-37.