

一种 GaN FET 的窄脉冲激光器驱动电源系统设计

许源¹, 王武², 倪小龙¹, 闫钰锋¹, 于信¹, 白素平¹

(1. 长春理工大学 光电工程学院, 长春 130012; 2. 北方导航控制技术股份有限公司, 北京 100176)

摘要: 针对半导体激光器驱动电路在低纳秒级对激光光脉冲调节困难的问题, 研究了一种基于 GaN 高速半导体器件的半导体激光器的驱动方案, 可实现激光光脉冲的宽度、高重复频率的高精度调节; 在设计上, 利用 FPGA 门电路现场可编辑、低功耗等特点, 基于 Xilinx Zynq 平台搭建前置时序产生电路, 输出时序信号; 设计储能电路, 通过驱动氮化镓场效应晶体管 (GaN FET) 作为开关控制储能回路, 最终实现激光光脉冲低纳秒级的精密调节; 经过实验验证和分析, 该驱动电路能稳定输出脉冲宽度 3~200 ns 可调、重复频率 0~1 MHz 可调、峰值功率超过 70 W、上升沿时间小于 5 ns 的激光光脉冲信号。

关键词: 半导体激光器驱动电路; 激光光脉冲调节; FPGA; 氮化镓场效应晶体管; 低纳秒级精密调节

Design of Narrow Pulse Laser Driving Power Supply Using GaN FET

XU Yuan¹, WANG Wu², NI Xiaolong¹, YAN Yufeng¹, YU Xin¹, BAI Suping¹

(1. School of Optoelectronic Engineering, Changchun University of Science and Technology, Changchun 130012, China;
2. North Navigation Control Technology Co., Ltd., Beijing 100176, China)

Abstract: The semiconductor laser drive circuit is difficult to adjust the laser light pulse at the low nanosecond level. In order to solve the problem, a driving scheme of semiconductor laser based on GaN high-speed semiconductor device is studied. The high-precision adjustment of laser light pulse width and high repetition frequency can be realized. Firstly, a pre-sequence generation circuit based on Xilinx Zynq platform is built to generate the output sequential signals with the characteristics of field programmable and low power consumption with the FPGA gate circuit; Secondly, the energy storage is designed to control the energy storage loop by driving a Gallium Nitride Field Effect Transistor (GaN FET) as a switch; Finally, the precise modulation of laser pulse is realized at low nanosecond level. The experimental results are validated and analyzed, the driver circuit can stably output the laser pulse signals with adjustable pulse width of 3~200 ns, adjustable repetition frequency of 0~1 MHz, peak power of over 70 W and rise time of less than 5 ns.

Keywords: semiconductor laser driver circuit; laser light pulse modulation; FPGA; GaN FET; low nanosecond precision modulation

0 引言

由于半导体激光器具有小体积、高可靠性、高功率密度等特点^[1], 半导体激光器目前广泛应用于工业、军事、科学研究领域并发挥着巨大的价值。在激光引信、激光测距及部分通信等领域, 为满足特定场景对脉冲信号的要求, 系统内需要驱动电路产生脉宽和重复频率均可调节的脉冲信号^[2], 并且对最终输出的光脉冲信号的上升时间、脉宽和可调节性有较为严苛的要求。

在激光雷达系统的应用中, 为实现对周围环境的感知, 需要激光发射电路发射激光^[3-4]。激光驱动电路控制着加载到激光器的电压和驱动电流, 可直接影响光脉冲信号的脉冲精度、功耗、信号强度和稳定性等, 深刻影响整个系统的测量质量和稳定性^[5]。产生精度更高、重复频率更高且更易于调节的激光光脉冲是该研究领域的热点之一。

国外在半导体激光器的研究起步较早。德国 Kassel 大

学, 在脉冲激光雷达系统研究中, 使用振荡器电路产生高频脉冲, 进而控制半导体激光器, 产生了皮秒级别脉冲^[5]。在国内, 近些年来取得了较多成果: 中国科学院研制出的 LD 驱动系统, 在工作电压 22~30 V 下, 可输出脉宽小于 15 ns、最高功率 141 W 的光脉冲^[6], 但是脉冲宽度调节范围小、最低脉宽精度略显欠缺; 天津大学微电子学院团队研究的驱动电路在 200 V 大电压输入下, 实现输出脉宽 5~200 ns 内可调、重复频率 0~50 kHz、上升时间小于 5 ns 的光脉冲信号^[7], 是国内较为先进的研究成果。由上看出, 国内对半导体激光器驱动方式的研究不尽相同, 能在纳秒级别产生激光脉冲, 但是在更高精度上和更高重复频率下对光脉冲的驱动和调制仍存在不足。

此设计着眼于半导体激光器驱动电源的设计与优化, 在已有驱动的研究基础上, 采用 GaN FET 宽禁带半导体器件, 实现并验证了可稳定产生最低光脉宽至 3 ns、最高重复频率达到 1 MHz 且脉宽和频率可调的驱动电路。在实现

收稿日期: 2022-04-23; 修回日期: 2022-05-07。

作者简介: 许源(1997-), 男, 河南商丘人, 硕士在读研究生, 主要从事激光探测、硬件加速智能控制方向的研究。

闫钰锋(1978-), 男, 吉林长春人, 博士研究生, 教授、博士生导师, 主要从事精密仪器设计与仿真、光机系统集成技术方向的研究。

通讯作者: 白素平(1970-), 女, 山西大同人, 硕士研究生, 副教授, 主要从事精密仪器设计与仿真、武器装备参数无损检测技术方向的研究。

引用格式: 许源, 王武, 倪小龙, 等. 一种 GaN FET 的窄脉冲激光器驱动电源系统设计[J]. 计算机测量与控制, 2022, 30(9): 272-279.

上: 首先, 以 FPGA 编辑门阵列电路, 输出可调节的时序脉冲信号; 然后, 设计信号驱动电路, 用以驱动高速器件 GaN FET 的低侧栅极, 形成开关电路; 最后, 由储能电路中脉冲电流激发半导体激光器发出光脉冲。最终根据实验及数据分析, 设计可稳定输出脉冲宽度 3~200 ns、脉冲重复频率 0~1 MHz, 峰值功率超过 70 W, 上升沿时间小于 5 ns 的激光光脉冲信号。

1 系统结构及原理

半导体激光器由载流子注入而工作, 类似于二极管的工作原理, 并具有阈值门限。当注入半导体激光器的脉冲电流超过其阈值, 则会受到激发产生相应光脉冲^[8-11]。电路系统设计如图 1 所示。

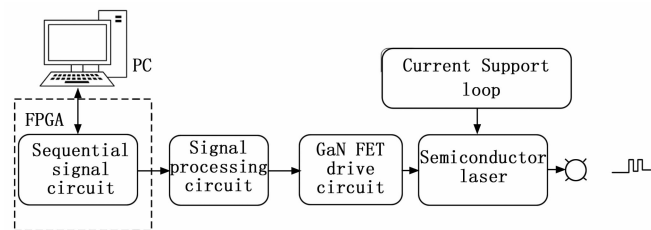


图 1 电路系统设计示意图

对光脉冲信号的调制, 关键在于对半导体激光器所在电路中驱动电流的调制。此驱动控制系统的设计主要分为时序产生电路设计和激光驱动电路设计。第一部分设计产生时序信号作为控制信号: 利用混合时钟管理 (MMCM, Mixed Mode Clock Manager) 单元对低频信号进行倍频, 通过 Verilog 语言编辑逻辑门阵列电路, 最终综合并映射到 FPGA 上, 生成时序控制电路, 输出精准的时序信号; 第二部分为激光器驱动设计: 经过理论分析与验证, 使接入的 FPGA 输出信号经过提高负载能力等处理后作为控制信号, 设计驱动开关频率高、导通电阻小的 GaN FET 半导体器件的电路以及作为能量供应的储能电路, 最终产生流向激光器的可控电流脉冲, 实现半导体激光器光脉冲的输出与调制。

1.1 时序信号产生电路

时序信号产生电路旨在发生频率、脉宽可调的稳定窄脉冲信号, 设计此电路使其具有实时调节信号的功能, 同时满足严格的时序要求。方案采用 Xilinx Zynq-7series 全可编程芯片, 利用 PL 端丰富的全局时钟和全局布线资源, 设计出兼顾低功耗、高性能及现场可编程的时序逻辑电路。

在原理上, 全局核心是以时钟计数法, 使用 PL 端时钟管理单元 (CMT, clock manager tile) 的 MMCM 硬核倍频生成的 500 MHz 的高速时钟进行计数, 以高速同步时钟合成一路可调节脉冲信号。在布线上, 将时钟布局到全局时钟线上, 使用全局时钟缓冲器 (BUFG) 对其驱动。BUFG 能够到达设备上的任何时钟点, 利用其强大的驱动能力, 将布线时延尽可能缩减到最小。FPGA

时钟宏观结构垂直时钟中心线 (时钟主干线) 将设备分为相邻的左右区域, 而水平中心线将设备分为顶部和底部。所有水平时钟资源都是包含在时钟区域中心的水平时钟行 (HROW, horizontal clock row) 区域, 非区域性时钟资源包含在时钟主干或 CMT 主干中, 如图 2 所示。

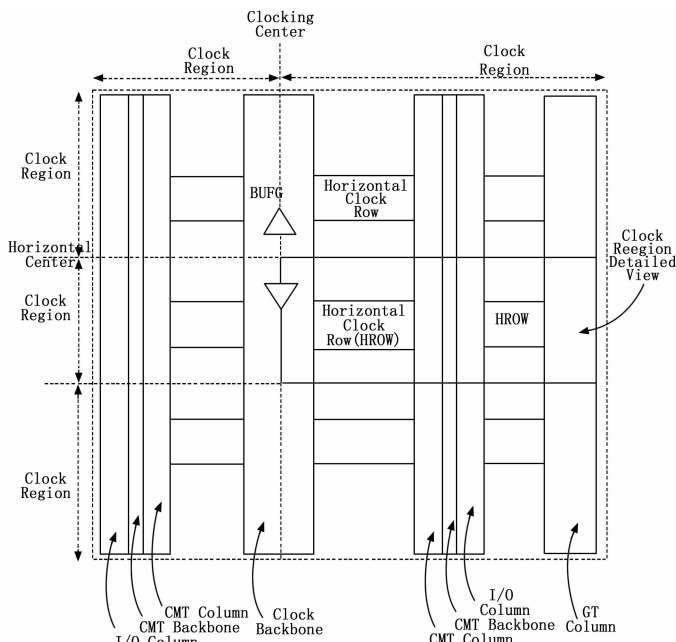


图 2 时钟区域宏观结构

每个 7 系列 FPGA 都有时钟区域和 I/O 时钟树, 可以在一个时钟区域中为所有顺序资源计时。每个设备还具有多时钟区域缓冲器 (BUFH), 允许区域时钟和 I/O 时钟跨越多达 3 个垂直相邻的时钟区域。BUFG 和 BUFH 在 HROW 中共享 12 条时钟轨道, 可以驱动该区域的所有时钟点。BUFG 和区域 BUFH/CMT/CC 引脚连接以及区域内可用资源数量的右侧区域详细的内部结构如图 3 所示。

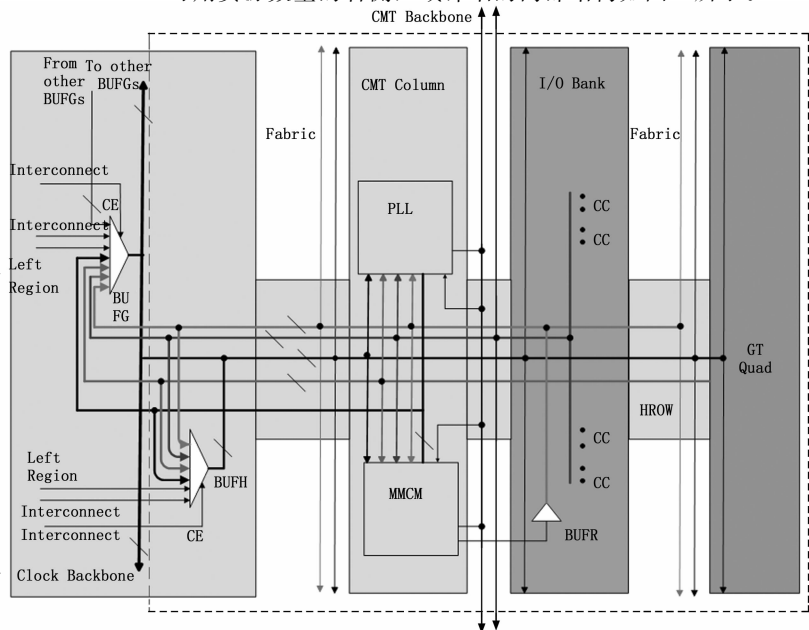


图 3 BUFG/BUFH/CMT 时钟区域细节

在电路的逻辑设计中使用数据流级、行为级等方式进行建模信号，形成逻辑门电路。由于用单时钟进行信号产生的设计，避免了多时钟合成引入的时钟偏移和相位倾斜问题，最终能实现以 2 ns 为调节步长的调整。设计生成的时序发生模块部分的电路如图 4 所示。

在数字信号设计中，时序设计十分重要^[12]。为保证信号质量，需要优化电路布局设计，设计应尽量满足合适的时间裕量，时间裕量的计算公式如下：

$$Slack = Required_time - Tarrival_time \quad (1)$$

$$Tarrive_time = Tco + Tdelay + Tsu \quad (2)$$

公式 (1) 中 *Slack* 表示时间裕量；*Required_time* 表示约束的时长，即为所规定的时长；*Tarrival_time* 表示实际时延；公式 (2) 中 *Tco* 是内部延时参数，表示寄存器在有效上升沿来临，将数据送至输出口的延时；*Tdelay* 为数

据因组合逻辑的走线延迟时间；*Tsu* 表示数据最小建立时间。

经过对时序和引脚的约束及时序分析后，综合并映射形成电路网表下载到门阵列硬件中，生成时序信号产生电路，并进行实验验证及迭代。

1.2 激光器驱动电路

激光器驱动电路包含三部分电路：信号处理电路、GaN FET 驱动电路和储能电路。

FPGA 输出电平标准为 LVCMOS 33 的时序信号，其输出的 VCCO 保持在 3.3 V 附近，负载能力较弱。为了能够有效驱动后级电路，并对信号进行滤波，设计了时序信号处理电路。为了保证 FPGA 输出的时序信号的高速特性，使用了 TLV3601 高速比较器输出推挽信号，并上拉输出信号，有效提高了信号的负载能力。信号处理电路如图 5 所示。

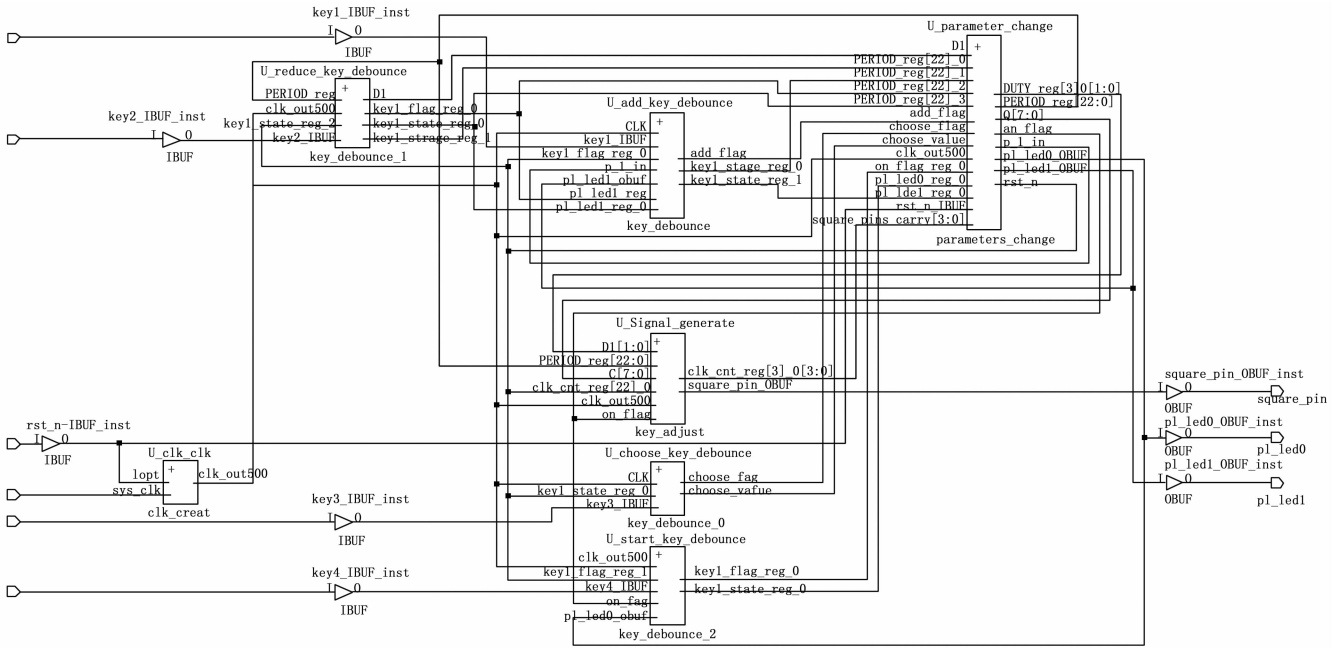


图 4 时序发生模块电路

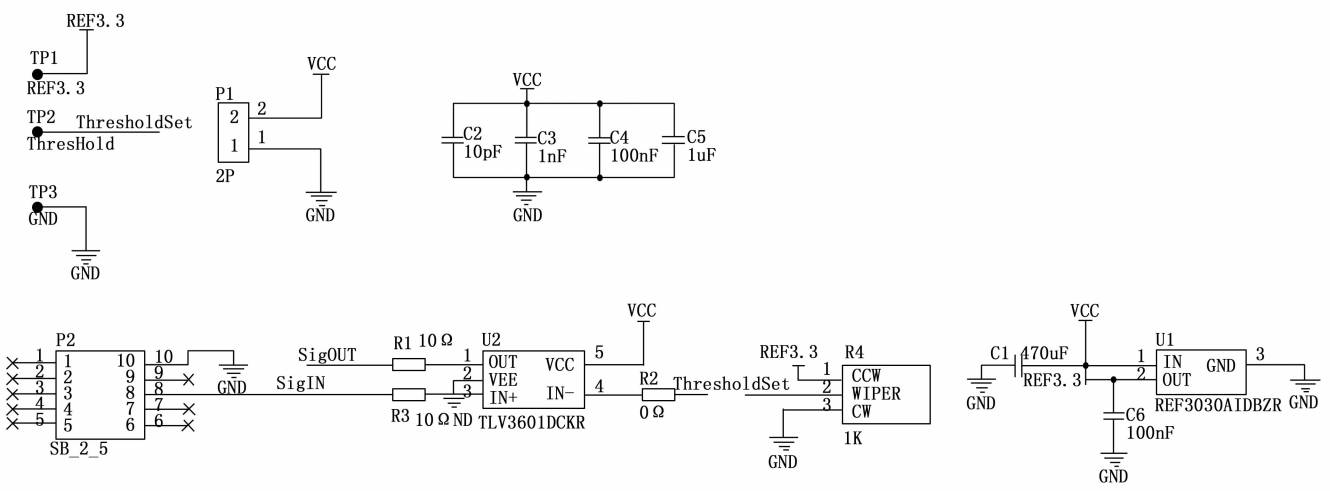


图 5 信号处理电路

FPGA 时序信号经过此处理电路后作为控制信号, 作为后级 GaN FET 栅极的驱动器件的脉冲输入信号。

GaN FET 功率器件具有低的击穿电压、低的阈值电压以及低的栅极电荷, 在高温、高压、高频等场合下具有优于 Si 基半导体器件的特性, 但其存在的缺点不可忽略, GaN FET 栅极在高频情况下容易产生振动不稳的情况^[13-14]。这就对其驱动的要求相较于传统的 Si 基半导体器件更为严苛。为保障其稳定工作, 使用 LMG1020 驱动器件设计了具有快速、稳定驱动能力的前置电路。该驱动芯片用于驱动 GaN FET 的低侧栅极, 传播时延可短至 1 ns, 工作时典型信号上升和下降时延在 210 ps, 能够保证 GaN FET 的快速反应。其 LMG1020 及外围电路结构如图 6 所示。

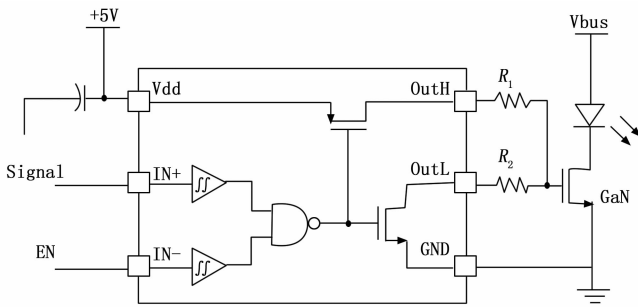


图 6 驱动芯片及外围电路结构

另一方面, 为了提高对半导体激光器驱动的性能, 对储能电路中电流的分析至关重要^[15]。在高速脉冲电流下, 电路会产生寄生电容和寄生电感, 可以将储能电路简化为一个 RLC 回路进行电路分析。电路中电感 L 、回路电流 i 、包括半导体激光器和其他器件的电路总负载电阻 R_c 、电荷量 Q 、回路中储能电容 C 、供电电压为 V_{bus} , 电路的回路方程列为:

$$L \frac{di}{dt} + iR_c + \frac{Q}{C} = V_{bus} \quad (3)$$

对上式微分后得出:

$$LC \frac{d^2 i}{dt^2} + R_c C \frac{di}{dt} + i = 0 \quad (4)$$

$$i = \frac{V_{bus}}{\sqrt{\frac{L}{C} - \frac{R_c^2}{4}}} e^{-\alpha t} \sin \omega t \quad (5)$$

其中如下变量:

$$\alpha = \frac{R_c}{2L}; \omega = \sqrt{\frac{1}{LC} - \frac{R_c^2}{4L^2}}; A = \frac{V_{bus}}{\sqrt{\frac{L}{C} - \frac{R_c^2}{4}}}$$

α 、 ω 、 A 分别代表电路电流的衰减因子、频率和振幅。由 (5) 式, 电路中的回路电流会呈类正弦曲线状态。为保证良好的窄脉宽光脉冲产生, 应提高衰减因子, 使得衰减速度加快, 减少光信号的波动; 并减小频率, 使得触发电流快速上升和下降, 减少上升沿和下降沿时间; 提高电流的振幅 A , 用以提高电流脉冲的振幅, 进而提高光脉冲的峰值^[16-18]。

定义电路阻尼参数的计算公式为:

$$\lambda = \frac{R_c}{2} \sqrt{\frac{C}{L}} \quad (6)$$

储能电路开始放电时, 电路中电流的上升和衰减具有时间延迟。为有助于窄脉宽脉冲的形成, 电路应保持 < 1 时的欠阻尼状态^[19]。在此状态下, 电路振荡放电, 有较好的反应能力。将电路中负载电阻固定, 可通过调节电路中储能电容实现欠阻尼状态, 达到如下条件关系:

$$R_c < 2 \sqrt{\frac{L}{C}} \quad (7)$$

最后, 在纳秒甚至百皮秒级对电路中电流进行开断时, 电路中的寄生电容和寄生电感会谐振到储能电容中, 产生过调电压。这种过调电压会增加电路压力, 使输出光信号不稳定^[20-21]。为避免无错位电路时的感应大电压, 减轻过调电压对电路器件的冲击, 最终在储能电路中半导体激光器两端设计了一个反平行并联的传导路径, 最终储能电路如图 7 所示。

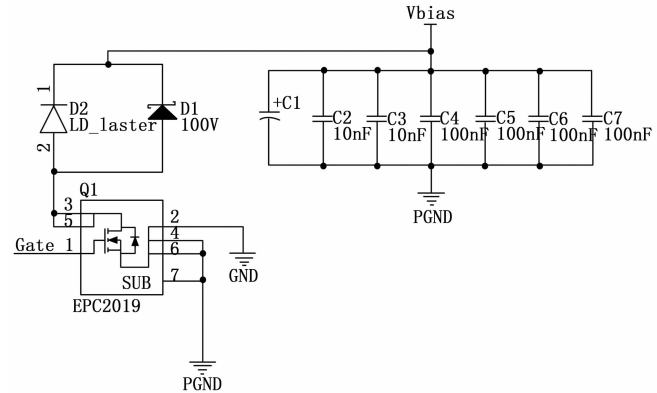


图 7 储能电路

2 软件设计

FPGA 是一种硬件可编程的门阵列电路, 原理上一般是基于查找表的内部结构, 可通过程序语言对其内部电路设计, 以时钟为驱动实现指定逻辑功能。

设计中使用自顶向下和自底向上相结合的设计思路, 用 Verilog 设计了按键式人机交互、时序信号生成的逻辑设计, 形成寄存器转换 (RTL, Register Transfer Level) 级模型。软件设计框图如图 8 所示。

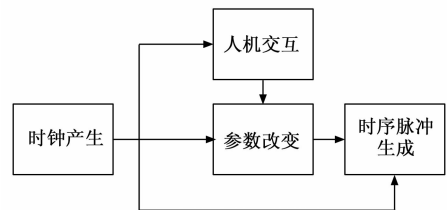


图 8 软件设计框图

设计的软件设计主要是对人机交互接口的设计。在人机交互软件设计中, 最初选用按键式调整参数的方式, 主要设计按键消抖和按键功能逻辑, 缩减了前期的验证时间。后期在优化实验时用 FPGA 加入了 LCD 屏显示和 UART

串口通信的软件设计，优化了人机交互操作。

2.1 LCD 屏驱动软件设计

在 LCD 屏显示的设计，选用薄膜晶体管液晶显示屏 (TFT-LCD, Thin Film Transistor-Liquid Crystal Display)，每个像素点由其背后镶嵌的薄膜晶体管独立控制。每个像素的显示由红绿蓝 3 种颜色通道分量配合控制，像素格式使用 RGB888 格式，即共有 24bit 的数据控制颜色，理论上颜色可有 1677 多万种类的调控。TFT-LCD 行显示时序如图 9 所示。在驱动 TFT-LCD 时，由像素时钟作为最小单位驱动，每次扫描完一行时会发出水平同步信号 (HSYNC, Horizontal Sync) 作为每一行结束的标志。HSYNC 的作用时间由行同步信号宽度 (HSPW, Horizontal Sync Pulse Width) 表示。由于器件特性，在进行下一行前会有一段延迟称为水平同步后肩 (HBP, Horizontal Back Porch)，与此对应会有水平同步前肩 (HFP, Horizontal Front Porch)；行有效显示区域 HOZVAL 和屏幕的分辨率有关，表示一行中有效数据时间。通过程序设计在 HBP 时间结束后，拉高 DE 信号电平，进行数据操作。

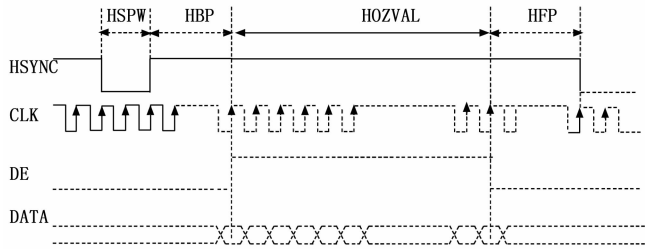


图 9 行显示时序

类似于行，帧同步信号 (VSYNC, Vertical Sync) 由帧同步信号宽度 (VSPW, Vertical Sync Pulse Width)、帧显示后肩 (VBP, Vertical Back Porch)、帧显示前肩 (VFP, Vertical Front Porch) 以及帧有效显示时间 (LINE) 构成。VSYNC 的时序以 HSYNC 为计量的基准，帧显示时序如图 10 所示。

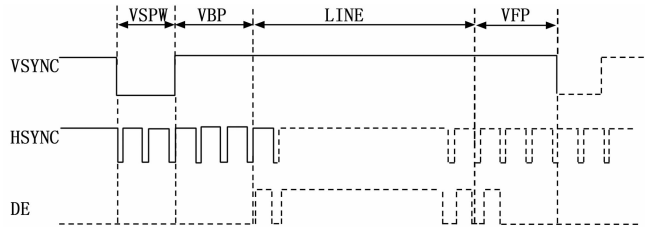


图 10 帧显示时序

由上驱动时序列屏幕显示一帧图像的时钟数的计算公式为：

$$T_{count} = (VSPW + VBP + LINE + VFP) * T_{Horizontal} = (VSPW + VBP + LINE + VFP) * (HSPW + HBP + HOZVAL + HFP) \quad (8)$$

式中， $T_{Horizontal}$ 表示扫描一行所用时钟计数，根据公式 (8) 以及屏幕单位时间内显示帧个数则可得像素时钟的频率。

设计所用帧率为每秒 60 帧、像素时钟为 50 MHz。此设计采用分辨率 1 024 * 600 的显示屏，则一帧图像将由 600 行的有效区域。系统时钟即可作为像素时钟，并以像素时钟生成上述的时序信号，循环往复地按时序位置对数据引脚输出图像数据，打印对应位置像素值，最终就描绘成一帧图像。

2.2 通信及控制帧软件设计

为提高对时序信号脉冲宽度和重复频率参数调整的灵活性，设计了串口通信模块、数据帧协议，能实现上位机对 FPGA 输出时序脉冲信号的脉冲宽度以及重复频率的实时灵活调节。在 FPGA 上进行串口通信的设计时，主要完成对通信中接收数据的串并转换，提取通信中的各数据位，而信号的传输由板载外部驱动电路实现。图 11 所示是串口接收引脚接收数据时序。

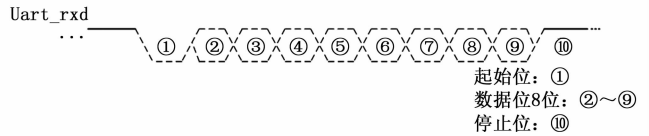


图 11 串口接收引脚接收数据时序

此设计使用了 1 bit 起始位、8 bit 数据位和 1 bit 停止位，未使用校验位，Uart_rxd 表示串口接收引脚的电平信号。当外部信号来临时会将电平拉低，形成一位起始位，标志数据传输的开始。由通信的波特率 $f_{波特率}$ ，就能计算出每个数据位的保持时间。由公式 (9)，根据时钟频率 $f_{时钟}$ 计算每位保持时间内的计数个数 N_{COUNT} 。在每计数到 N_{COUNT} 时，标志着上一位的结束，用以区分不同时段的对位，并在新的一位计数到来前将此位存到相应寄存器中。经过以上过程，将串行数据各位拆分转存为并行数据，完成数据的读取及存储。

$$N_{COUNT} = \frac{f_{时钟}}{f_{波特率}} \quad (9)$$

为将调节参数包含到一个数据帧中，需要设计合适的帧头帧尾并在 FPGA 端对接收的有效数据帧进行数据解码。图 12 表示对通信数据进行控制帧封装示意图。图中数据为 16 进制表示，帧头帧尾分别为 0X55、0XAA，两字节固定不变，标志一个控制帧的开始和结束。重复频率控制字是上位机对时序脉冲信号重复频率的调节步长数；脉宽控制字是上位机对时序脉冲信号的脉冲宽度的调节步长数；控制字的设计用于标识此帧对重复频率或是脉冲宽度的调节以及调节的步长大小、调节方向。控制字的最高位做控

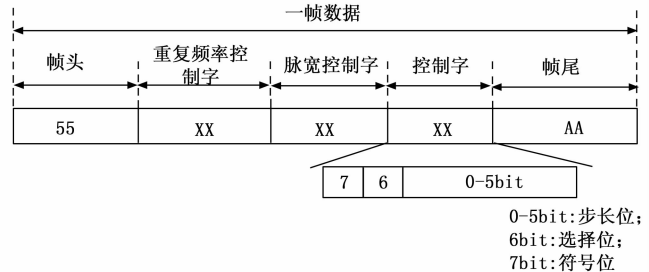


图 12 通信帧封装

制参数的符号位, 标识此帧增加或减小的调节方向; 第 6 位为选择位, 用以标识此帧对重复频率或是脉冲宽度的调节; 其余 6 位用于设置调节步长。由以上控制帧的软件设计, 能完成上位机对 FPGA 时序脉冲信号重复频率和脉冲宽度灵活的调节。

2.3 程序固化设计

在软件的保存设计中, 通过 JTAG 接口将 FPGA 配置文件和应用程序直接下载到 Zynq 器件中的方式具有易失性。为了能保证程序掉电不易失, 需将生成的 BIT 流等配置文件建立启动文件下载到 Quad SPI Flash 非易失存储器中。Zynq 器件具有特别的启动方式, 每次上电由 PS 端先启动, 从 flash 中读取 FPGA 配置文件, 保证程序的不易失。BootROM 是片上的一块非易失性存储器件, 里面包含启动执行程序, Zynq Soc 启动第一步从此开始。BootROM 中执行代码会并调用含有启动信息的头文件以及 FSBL (First-Stage Boot Loader) 的偏移地址^[22]。BootROM 执行之后, 进入 FSBL 配置阶段。FSBL 配置了 DDR 存储器和硬件设计过程中所定义的一些外设利用。FSBL 是根据工程设计自己创建的。最终, 通过处理器配置访问接口 (PCAP, Processor Configuration Access Port) 对 PL 进行配置, 它允许对 PL 进行部分配置或者完全配置。固化软件的设计流程如图 13 所示。

最终, 用 Verilog 硬件编程语言进行通信接口、显示屏驱动软件和信号产生等设计后, 将 PL 端程序例化到 PS 端, 并将工程综合生成 RTL 级原理图。Zynq 的整体工程设计模块如图 14 所示。在信号引脚的设计中, 外部引脚由 TFT-LCD 驱动引脚、串口引脚、按键引脚、信号输出引脚等组

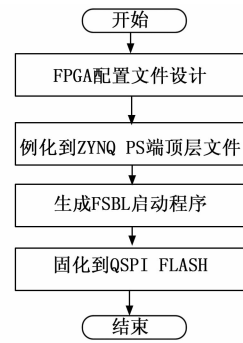


图 13 设计流程

成, 内部引脚包括双倍速率 (DDR, Double Data Rate) 同步动态随机存储器片内互联引脚等。通过工程对代码的综合及布局布线, 最终将各模块互联形成了系统工程。

3 实验结果与分析

根据理论分析和电路绘制后, 制作出实验验证板, 用以验证光脉冲的调制状态。设计的激光器驱动电路尺寸 4.4 × 3.6 cm, 如图 15 (a) 所示。对 FPGA 控制信号输出的验证, 使用示波器可直接观测。对激光驱动电路产生的光脉冲, 为近红外波长, 使用 DET08C/M 探测器观测, 输出结果显示在示波器上, 分析调制信号的脉宽、上升沿宽度和重复频率。由于半导体激光头输出光信号有一定的发散现象, 为了聚焦便于观察, 在半导体激光发射头与探测器之间放置一个聚焦镜, 使焦点落置于探测器的光敏面上, 实验过程如图 15 (b) 所示。

在时序信号产生的电路设计中, 使用了 Xilinx 的 Zynq 7020 板卡, 其具有 106 400 个触发器、53 200 个 6 输入的

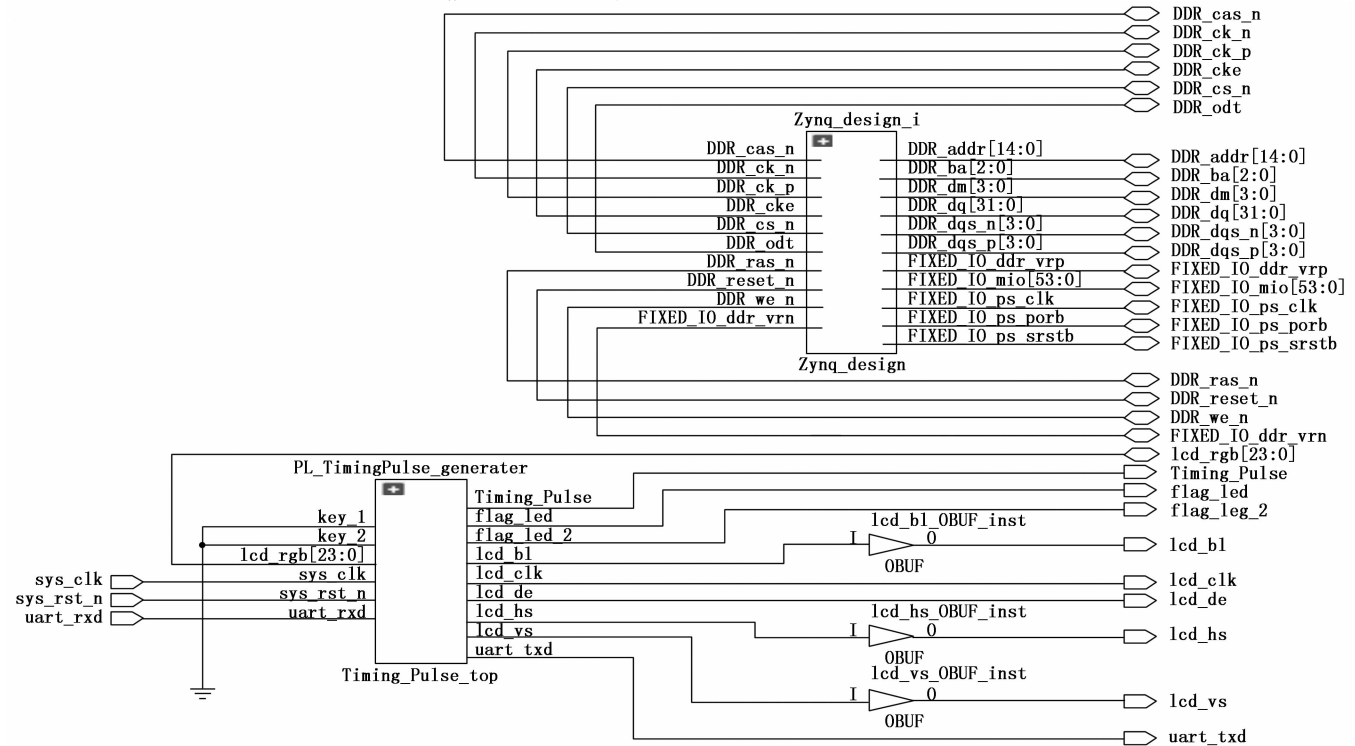


图 14 整体工程模块

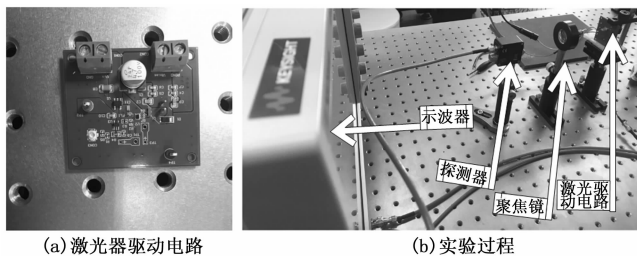


图 15 实验装置及测试

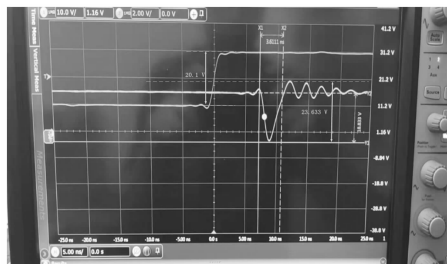


图 17 20 V 供电电压下

LUT, 板上搭载了 4 个 CMT, 每个 CMT 包含一个 MMCM 单元, 并有 32 个采用全铜工艺的全局时钟线, 资源在设计使用中尚有富余。所以, 在“速度”和“面积”转换原则使用时, 将可拆分的复杂逻辑和能并行计算部分铺开, 以面积换取速度。最终总片上功耗为 1.803 W, 资源利用如表 1 所示。

表 1 资源利用

Resource	Utilization	Available	Utilization %
LUT	681	53 200	1.28
FF	257	106 400	0.24
IO	36	125	28.8
BUFG	3	32	9.38
MMCM	1	4	25.00

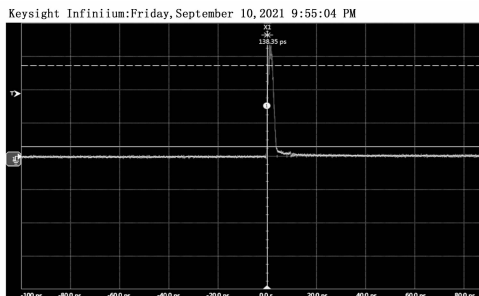
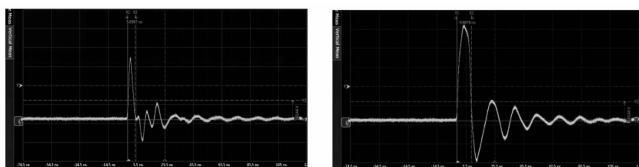


图 18 3.2 ns 光脉冲输出

FPGA 输出脉冲信号的宽度在纳秒级别时, 信号的上升比较稳定, 在下降到底端会产生小振幅呈衰减的波动, 其最高振幅在 1 V 以内; 并且随着信号宽度的增大, 信号逐渐呈现方波状态。FPGA 中对时序脉冲信号脉宽分别设置在 5 ns、10 ns 时, 将信号接到示波器上显示, 输出的脉冲信号为 5.09 ns 和 9.98 ns 如图 16 (a)、(b) 所示。



(a) 5.09 ns 信号输出 (b) 9.98 ns 信号输出

图 16 FPGA 时序脉冲信号输出

设计的钳位电路与半导体激光器支路并联, 使用钳位二极管尽量与半导体激光器的电感相近, 避免电流大量流过半导体激光器支路的状况。在选用钳位二极管和放置位置均有考究, 经调试后钳位二极管选用了 100 V、2 A 的肖特基二极管, 遏制过冲电压效果明显。在 20 V 的供电电压时, 在存在钳位电路下半导体激光器的端位电压约为 23.633 V, 过冲电压控制在 4.8 V 之内, 如图 17 所示。

调整 FPGA 输出的时序控制信号, 设置使光脉冲输出在 3 ns 时, 经驱动电路后输出信号由探测器测得约为 3.2 ns 脉宽的光脉冲如图 18 所示。

设置输出重复频率为 1 MHz, 即信号重复周期为 1 000 ns 时, 探测的光信号输出约 999.17 ns 的重复周期如图 19 所示。

由于引脚及电路走线的特性影响, FPGA 输出的时序

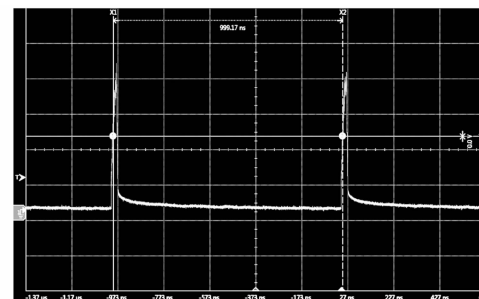


图 19 1 MHz 重复频率, 周期 999.17 ns 光脉冲输出

脉冲在主脉冲后存在脉冲波动现象, 但波动峰值较小在容错范围之内, 并在后续信号处理电路设置阈值予以消除。在最终输出的光脉冲信号最低脉冲宽度可达到 3.2 ns, 实验的最高频率可调节到 1 MHz, 观测其误差在 1 ns 以内。

4 结束语

通过实验与验证, 设计的可调窄脉冲驱动电源系统能够通过 FPGA 端的人机交互对输出的脉冲光信号进行纳秒级调制, 输出可调控光脉冲的脉宽最窄为 3 ns, 最高调节重复频率高至 1 MHz, 实现脉冲宽度和频率在高频的高精度实时调节, 能有效避免因修改电路来改变半导体激光器输出方案的操作复杂性。

在控制储能电路开关设计中有效驱动 GaN FET, 能够实现纳秒级快速开关, 在半导体激光器驱动电路设计的研究上给予一定参考。此设计后期应继续提高 FPGA 调节精度及驱动电路的稳定性, 并提升光脉冲的光功率, 使得驱动电源系统性能能进一步提升, 对激光器的控制更加精密。

参考文献:

[1] 陈彦超, 冯永革, 张献兵. 用于半导体激光器的大电流纳秒级窄脉冲驱动电路 [J]. 光学精密工程, 2014, 22 (11): 3145

- 3151.

- [2] 徐孝彬, 张合, 张祥金. 激光引信可调高频窄脉冲驱动电源设计 [J]. 光子学报, 2017, 46 (S1): 23-28.
- [3] 刘涛. 基于激光雷达多源数据融合的路障检测系统设计 [J]. 计算机测量与控制, 2021, 29 (10): 55-59.
- [4] 党亚南, 田照星, 郭利强. 车载激光雷达点云数据处理关键技术 [J]. 计算机测量与控制, 2022, 30 (1): 234-238.
- [5] ZHIFENG ZHANG, YUSHANG ZHAI, SU ZHANB, et al. A novel method to drive semiconductor laser for optical frequency standard based on constant voltage source [J]. Optik - International Journal for Light and Electron Optics, 2015, 126 (23): 3924-3926.
- [6] KAMUCHA G, Kompa G. High Resolution Hip-joint Socket Imaging Using Pulsed Laser Radar [C] //European Microwave Conference. IEEE, 2000.
- [7] 张瑞峰, 崔佳敏. 一种脉宽可调的窄脉冲激光器驱动电路设计 [J]. 激光与光电子学进展, 2021, 58 (21): 150-155.
- [8] WEN S, MAO W, JIE X, et al. Large current nanosecond pulse generating circuit for driving semiconductor laser diode [J]. Microwave and Optical Technology Letters, 2019, 61 (1-3).
- [9] 何成林. 半导体激光器驱动电路设计 [J]. 科学技术与工程, 2009 (21): 6532-6535.
- [10] 丛梦龙, 李黎, 崔艳松, 等. 控制半导体激光器的高稳定度数字化驱动电源的设计 [J]. 光学精密工程, 2010, 18 (7): 1629-1636.
- [11] 徐一帆, 施阳杰, 邵景珍, 等. 大功率半导体激光器的高精度驱动电源设计 [J]. 激光与光电子学进展, 2021, 58 (21): 150-155.
- [12] 高敏杰, 卜雄洙, 张又戈, 等. 基于 FPGA 的可调谐半导体激光器驱动电路设计 [J]. 激光杂志, 2019, 40 (1): 115-119.
- [13] 伍文俊, 兰雪梅. GaN FET 的结构、驱动及应用综述 [J]. 电子技术应用, 2020, 46 (1): 22-29.
- [14] 王子青, 廖斌. 一种 GaN FET 开关用高压高速驱动器的设计与实现 [J]. 半导体技术, 2016, 41 (9): 674-678.
- [15] 伏燕军, 邹文栋, 肖慧荣, 等. 半导体激光器驱动电路的光功率控制的研究 [J]. 红外与激光工程, 2005 (5): 126-130.
- [16] 伍越, 陈卫, 李泽禹, 等. 激光稳频控制系统仿真与实验研究 [J]. 计算机测量与控制, 2018, 26 (12): 111-114.
- [17] 颜凡江, 杨策, 陈檬, 等. 高重频高峰值功率窄线宽激光放大器 [J]. 红外与激光工程, 2019, 48 (2): 102-106.
- [18] 史赞, 任勇峰, 焦新泉, 等. 高速脉冲信号源的设计与实现 [J]. 自动化仪表, 2011, 32 (6): 80-82.
- [19] 冯成林. 高速脉冲信号源的设计及实现 [D]. 太原: 中北大学, 2021.
- [20] 吴建红. 近红外激光驱动连续白光产生的研究 [D]. 杭州: 浙江大学, 2020.
- [21] 卢唯实, 关冉昀. 脉冲宽度连续可调的 LD 驱动设计 [J]. 光电技术应用, 2020, 35 (3): 73-77.
- [22] 田慧, 管雪元, 姜博文. 基于 Zynq 的数据采集系统的研究与设计 [J]. 电子测量技术, 2019, 42 (2): 135-141.
- [13] 洪庆根, 朱爱红, 初建崇. 深化装备保障能力评估问题研究 [J]. 装备学术, 2013 (3): 49-52, 20.
- [14] 帅勇, 宋太亮, 王建平, 等. 装备保障能力评估方法综述 [J]. 计算机测量与控制, 2016, 24 (3): 1-3, 7.
- [15] 李春臻, 刘婵媛, 高温霞, 等. 基于 ADC 方法的炮射导弹系统效能评估 [J]. 计算机测量与控制, 2022, 30 (4): 142-148.
- [16] 付东, 方程, 王震雷. 作战能力与作战效能评估方法研究 [J]. 军事运筹与系统工程, 2006, 20 (4): 35-39.
- [17] 崔利杰, 曹志远, 陈浩然, 等. 基于物元分析法的航空事故应急预案评估方法 [J]. 火力与指挥控制, 2020, 45 (4): 115-119.
- [18] 尹旭阳, 阮拥军, 贾仪忠. 装备维修保障能力实战化演练评估组织实施分析 [J]. 价值工程, 2021, 2 (3): 25-27.
- [19] 宋星, 贾红丽, 王谦, 等. 基于时间序列挖掘的合成旅装备维修保障能力预测 [J]. 系统工程与电子技术, 2020, 42 (4): 878-886.
- [20] 李馥林, 孟晨, 范书义. 基于数据挖掘的装备质量信息分析处理技术研究综述 [J/OL]. 火炮发射与控制学报, https://Kns.cnki.net/kcms/detail/61.1280.TJ.20220331.
- [21] 罗小明, 杨娟, 朱延雷. 新型武器装备作战试验评估体系构建 [J]. 军械工程学院学报, 2016, 28 (4): 1-7.
- [22] 蔡卓函, 穆歌, 冯琪琪, 等. 基于元评估的武器装备体系贡献率评估指标优化方法研究 [J]. 新型工业化, 2021, 11 (6): 238-240.