

基于 FPGA 的机载电力线载波通信 调制解调模块设计

陈永红¹, 张 岩², 黄莉莉², 刘 峰¹, 王友仁²

(1. 沈阳飞机设计研究所扬州协同创新研究院有限公司, 江苏 扬州 225200;

2. 南京航空航天大学自动化学院, 南京 211106)

摘要: 面向复杂机载环境下大量电子设备控制信号和数据信息的传输需求, 研究基于机载电力线的载波通信方案和设计实现方法, 进行原理开发验证和应用测试; 论文研究基于 FPGA 的机载电力线载波通信系统中调制解调模块设计方法, 设计的 2FSK 调制解调模块包含调制通路、解调通路和控制电路 3 个部分, 给出了每个部分内部具体子模块的设计原理和实现方法, 并针对子模块功能分别进行了仿真和实验验证, 最终结合所开发的电力线载波通信系统进行通信性能测试, 结果表明了文章设计的调制解调模块的正确性, 在通信波特率 115.2 kbps 情况下, 可实现通信误码率低于 10^{-5} 。

关键词: 调制解调; 机载电力线通信; FPGA; 信号同步; 2FSK

Design of Modulation and Demodulation Module in Airborne Power Line Carrier Communication on FPGA

CHEN Yonghong¹, ZHANG Zhai², HUANG Lili², LIU Feng¹, WANG Youren²

(1. Yangzhou Collaborative Innovation Research Institute CO., LTD, Yangzhou 225200, China;

2. College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

Abstract: Facing the transmission requirements of electronic control and data signals in airborne environment, the carrier communication scheme based on airborne power line is studied, developed, verified and tested. This paper studies the design method of modulation and demodulation module in airborne power line carrier communication system based on FPGA. The 2FSK modulation and demodulation module includes three sub modules, which are modulation pathways, demodulation pathways and control circuit. The design principle and implementation method of the module are given, and the simulation and experimental verification are completed. The results show that the modulation and demodulation module designed in this paper is correct. When the communication baud rate is 115.2 kbps, the communication bit error rate is less than 10^{-5} .

Keywords: modulation and demodulation; airborne power line communication; FPGA; signal synchronization; 2FSK

0 引言

机载电力线载波通信是一种以飞机机载电力线为媒介进行信息传输的通信方法, 基于机载电力线的载波通信技术, 可实现电缆上既供电又传输控制信号和数据信息, 对于解决现有飞机环境下因分别采用独立配置供/配电网、控制信息网和数据通信网所导致的重量叠加、空间挤占、信道闲置和组网不灵活等问题有重要研究意义^[1-2]。

目前, 国内电力线载波通信技术已在民用领域得到比较广泛的应用, 但面向飞机机载环境的应用几乎是空白, 主要原因是机载电力线信道的强噪声干扰、机载设备工作频率多样化等因素导致的信道复杂度高, 加上机载通信要求更低的通信误码率, 因此, 目前机载载波通信技术仍处

于研究探索和可行性实验验证阶段^[3-6]。本文研究以验证机载环境下电力线通信的可行性和有效性为目的, 主要介绍基于 FPGA 的调制解调模块设计方法^[7-10], 并基于整个通信模块设计结果进行验证和测试。

本文设计的通信波特率为 115.2 kbps, 采用频移键控 (FSK) 技术, 采用的 2FSK 方法具有转换速度快、抗干扰性和抗衰落性强的优点, 且技术上易于实现的特点^[11-14], 适合于验证机载电力线载波通信应用的可行性和有效性。基于 Vivado2018.2 平台和 Verilog 硬件编程语言, 采用模块化设计方法, 实现了整个调制解调系统, 得到了基于 FPGA 的较高性能和较低误码率的调制解调器, 并构建了整个电力线载波通信系统对 FPGA 调制解调器进行性能测试和分析。

收稿日期: 2022-02-09; 修回日期: 2022-03-17。

作者简介: 陈永红(1980-), 女, 江苏南通人, 博士, 高级工程师, 主要从事通信系统设计和智能感知方向的研究。

张 岩(1980-), 男, 安徽歙县人, 博士, 副教授, 主要从事航天器测试、智能故障诊断和数字系统容错方向的研究。

引用格式: 陈永红, 张 岩, 黄莉莉, 等. 基于 FPGA 的机载电力线载波通信调制解调模块设计[J]. 计算机测量与控制, 2022, 30(5): 251-256.

1 调制解调模块结构

设计的机载电力线载波通信总体结构如图 1 所示, 基于 28 V 直流电源线, 采用主从控制方式的点对点验证方案, 验证系统包含 1 个主节点和 1 个从节点, 由主节点控制向从节点发送数据(写操作)或接收从节点发出的数据(读操作), 主、从节点硬件电路结构完全相同, 主要由 FPGA 模块和模拟前端 (Analog Front End, 简称为 AFE) 电路组成; 与通信节点连接的上位机用于对发送/接收数据分析、显示和交互; 通信节点与电力线采用耦合连接方式, 耦合电路包含在通信节点内部的 AFE 中; 系统中接入干扰设备用于验证通信可靠性。

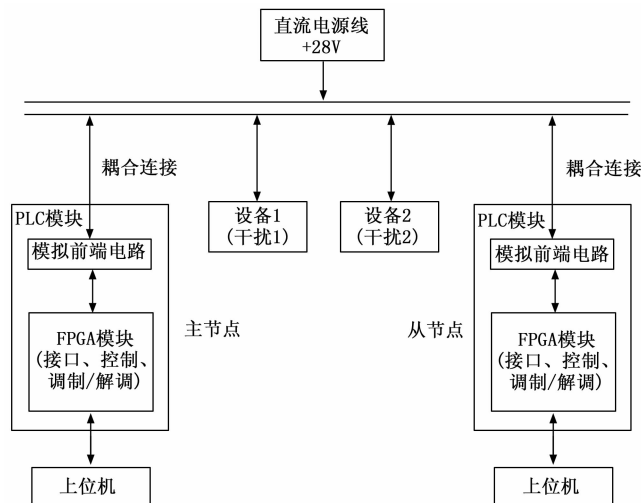


图 1 机载电力线载波通信系统组成结构图

基于 FPGA 的调制解调模块结构如图 2 所示, 按通信功能可分为调制通路、解调通路和传输控制电路三大部分。调制通路包括数据发送、编码和调制 3 个子模块, 实现发送数据处理功能, 其中数据发送电路负责接收并解析上位机通过串口发送来的数据和命令, 编码电路负责将要发送的数据和命令按照电力线传输协议编码成数据帧格式, 调制电路负责将数据帧中的二进制编码调制成对应载波频率的方波信号, 输出到 AFE 模块; 解调通路包括解调、解码和数据接收 3 个子模块, 实现接收数据处理功能, 解调电路对 AFE 模块接收的信道载波信号进行解调, 还原为数据帧并校验其正确性, 解码电路将数据帧解析出有效数据和命令, 再通过数据接收电路将其转换成串行接口数据格式, 发送至上位机; 传输控制电路主要实现对整个传输过程的同步、转换、差错处理等进行控制^[11-13]。

2 系统设计与实现

本文设计的调制解调模块属于图 1 和图 2 中 FPGA 模块部分, 通信系统设计时, FPGA 模块选用芯片 Xilinx ZYNQ xc7z020clg400-2, 基于 Vivado2018.2 平台和 Verilog 语言开发, 该芯片系统时钟为 50 MHz。

针对机载通信环境中干扰信号特点, 从信号传输可靠角度, 一方面保证信息传输质量, 另一方面避免载波信号

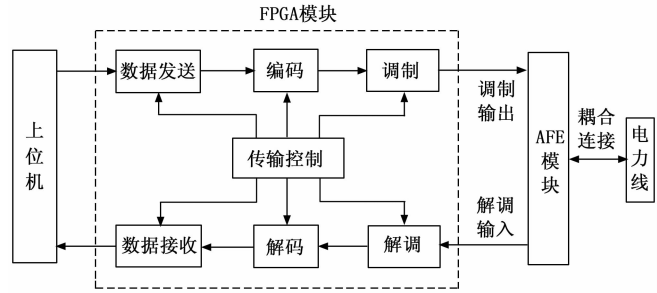


图 2 基于 FPGA 的调制解调模块结构图

频率与环境干扰信号频率接近, 最终载波信号频率分别选择 4 MHz 和 2.5 MHz 来表示 2FSK 中的高频和低频^[15-17]。下面分别就三大部分组成电路的设计和实现方法进行介绍。

2.1 调制通路的电路设计

调制通路中, 数据发送流程如下。

1) 数据发送电路。

接收由上位机发出的传输数据及目标地址信息, 数据发送电路主要是一个接口电路模块, 需要将上位机发出的按照串口协议格式的数据解析出传输数据和目标地址信息, 主要进行数据寄存和变换;

2) 编码电路。

根据发送数据信息, 编码生成按电力线传输协议格式的数据帧, 包括添加数据帧相关信息和奇偶校验位。本论文方法中采用的数据帧格式有 3 种, 分别为命令字、数据字和状态字, 每种帧字由 25 位组成。

命令字格式: 帧头 (3 位, 为 101) + 接收节点地址 (5 位, 00000~11111, 支持 32 个通信节点) + 读写位 (1 位, 0 表示读, 1 表示写) + 数据长度 (5 位, 表示传输数据的字节长度, 00000~11111 分别对应 1~32 字节) + 状态信息 (4 位, 1111 表示广播, 其他表示点对点传输) + 起停位 (1 位, 1 代表开始发送, 0 代表停止发送) + 发送节点地址 (5 位, 支持 32 个通信节点) + 校验位 (1 位, 奇校验);

数据字格式: 帧头 (3 位, 为 110) + 接收节点地址 (5 位) + 数据 (16 位, 一次传输 2 个字节, 若要传输多个字节, 则连续发送多个数据字) + 校验位 (1 位);

状态字格式: 帧头 (4 位, 为 1001) + 接收节点地址 (5 位) + 错误节点地址 (5 位, 表示发生错误的从机的地址, 若传输过程没有发生错误, 则该地址无意义) + 状态区别位 (3 位, 用于表示是否有错误和错误次数, 000 表示无误, 001~111 对应同一数据帧的连续传输误码次数) + 错误字类型 (2 位, 用于区别发生传输差错的帧字类型, 01 表示为命令帧; 10 表示为数据帧) + 预留 (5 位) + 校验位 (1 位)。

3) 调制电路: 将基带信号调制成由 4 MHz (表示码元“1”)和 2.5 MHz (表示码元“0”)组成的载波信号, 实现原理如图 3 所示, 用基带信号的“0”、“1”状态控制调制开关, 分别选通 2 种不同频率载波输出, 实现数字基带信号载波频率调制, 调制输出信号为相同幅值、不同频率的方波信号相接的形式, 本项目研究采用方波信号直接输出

到 AFE 模块的设计方案。

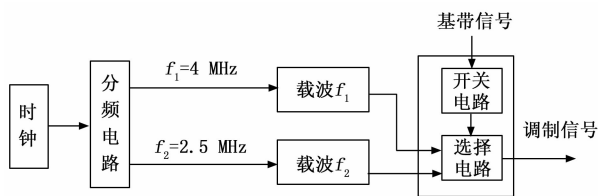


图 3 调制电路工作原理

图 4 和图 5 所示为示波器观测的调制信号波形。图 4 为调制后两种不同频率载波信号的波形图，多个高频信号表示数字量“1”，多个低频信号表示数字量“0”，连续多个周期信号的原因是载波频率远高于基带频率，本文 1 位码元“1”包含 34 个 4 MHz 载波周期，1 位码元“0”包含 21 个 2.5 MHz 载波周期。图 5 所示为一个数据帧的调制波形，包含 25 位码元“010111100111101111011111”，深色部分为高频载波，浅色部分为低频载波。FPGA 输出的调制波形为方波信号，经模拟前端电路转换成正弦波耦合到电力线传输，接收端 AFE 电路负责将正弦波转换为方波，再输入到 FPGA，由解调电路进行解调和校验。

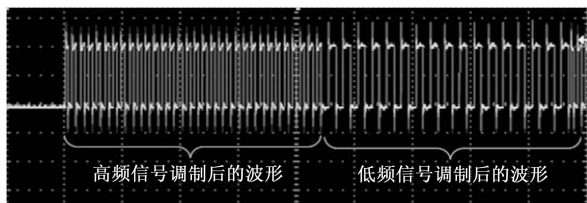


图 4 调制模块波形仿真图

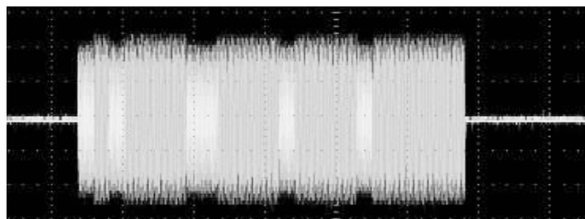


图 5 一个完整数据帧的调制波形

2.2 解调通路的电路设计

解调通路主要负责接收电力线上的载波信号（经过 AFE 电路后的方波信号），解调出基带信号，并进行校验，若结果正确，再将正确的数据发送给上位机。

解调通路中，数据接收流程如下：

1) 解调电路：从 AFE 接收处理（解耦、滤波、整形）后的载波信号（方波信号），解调电路原理框图如图 6 所示，采用边沿（上升沿）检测法对载波信号进行检测，利用信号过零点的上升边沿数与两种载波频率的对应关系（载波频率/基带频率），在一个基带信号码元周期（本文通信波特率对应的码元周期为 8.68 μs）内，对接收到的载波信号过零点次数进行计数（2.5 MHz 载波共有 21 个上升沿，4 MHz 载波共有 34 个上升沿），可检测出载波信号频率，实现数据帧解调。

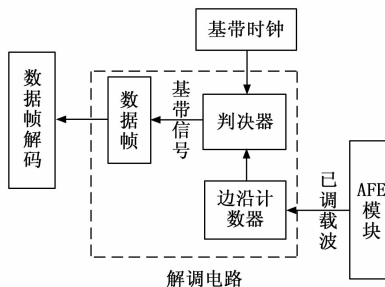


图 6 解调电路结构原理框图

2) 数据帧解码电路：按传输协议格式，对解调的数据帧进行解码。解码是编码的反向过程，首先经奇偶校验电路对数据帧传输正确性进行校验，校验无误则将正确信号通过数据接收电路发送给上位机，完成数据的传输；若校验有误，则通过状态字通知发送节点重新传输上次数据，直到传输正确或传输次数达上限阈值（通信中断）为止；若校验无误，解码电路将根据通信协议约定的数据帧类型、格式解析出相关信息，再传送给数据接收电路。

3) 数据接收电路：将解码后的数据转换成串口通信数据格式，从串口发送到上位机，与数据发送电路类似，数据接收电路也主要起接口电路作用。

图 7 所示为示波器观测的接收通路中传输信号波形图（AFE 发送到 FPGA 端的信号，是经比较器输出的方波），图中实际接口通路的波形受信道影响，不是规则方波，但上升沿数目在可准确判定载波信号频率的容错范围内，由此可见，若两种载波频率的间隔越大，检波过程的容错能力越强，有利于提高解调可靠性，但这样选择不利于 AFE 中滤波电路设计，会因为带通频率范围大导致载波信号干扰强，本文选择的两种载波频率是通过实验后确定的。

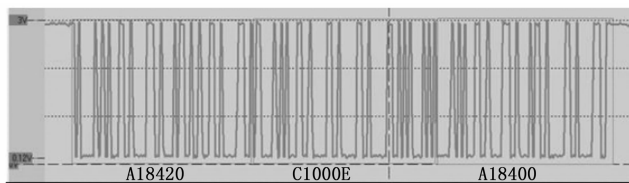


图 7 接收通路接收的载波波形

2.3 解调电路的抗干扰设计

解调电路的主要功能是实现从载波中准确解析出基带码元数据，但载波信号受到信道和负载的干扰会发生畸变^[18-20]，解调电路设计必须要有消除载波信号干扰的方法，这需要针对机载电力线通信环境进行设计，本文通过在仿真过程加入干扰信号（模拟实际系统的用点设备干扰和噪声干扰信号）的方式对抗干扰方法进行验证。采用的抗干扰设计方法主要包括两种：

1) 设置检波容限。检波方法中，针对两种载波频率差值，设置边沿检测的容限，利用载波信号频率与基带信号频率的倍数关系，确定检波容限进行抗干扰。因信道和负载干扰影响，在基带信号码元周期 8.68 μs 内，上升沿计数值的个数不可能是准确的 34 和 21，但差值为检波提供了容

限范围，本文方法设置上升沿计数值在 15 到 27 之间时为载波频率 2.5 MHz，上升沿计数值在 27 到 40 之间时为载波频率 4 MHz，此检波容限能够消除信道上的毛刺和高频干扰，计数值超过 40 和低于 15 时，认为线上没有载波信号。

2) 分时检波计数法抗干扰。载波通信技术中，载波通信中收、发节点调制解调过程普遍存在同步难的问题，准确确定有效数据帧的起始点是提高解调可靠性的关键技术，也是难点技术，本文采用在一个数据帧周期内进行多次检波计数的方法，可有效滤除非有效数据帧信号干扰，从而准确确定出有效数据帧的起始点。

本文通过对 $1\ \mu\text{s}$ 时长（码元周期为 $8.68\ \mu\text{s}$ ）进行持续上升沿检测的方式，判断接收到的载波信号是否为有效载波。解调电路在 $1\ \mu\text{s}$ 时间内持续进行上升沿计数，根据计数值判断是否为干扰信号：若 $1\ \mu\text{s}$ 内边沿计数值小于 4 或大于 7，则认为接收到的信号是干扰信号，若介于 4 和 7 之间，则认为可能的有效载波，将继续对下一个 $1\ \mu\text{s}$ 进行判断，如果第二个 $1\ \mu\text{s}$ 计数依然在 4 和 7 之间则认定为之前的 $1\ \mu\text{s}$ 内为有效载波，否则认定之前的 $1\ \mu\text{s}$ 内为干扰信号，以此类推进行第三个 $1\ \mu\text{s}$ 时长检测，直到 8 个 $1\ \mu\text{s}$ 时长检测均满足有效载波判断规则，则认定收到一个有效码元，进而按照数据帧解调方式对多个数据码元进行解调。

只要中间有一个 $1\ \mu\text{s}$ 时长的检测不满足要求，则认定为干扰信号，将重新计数 8 个 $1\ \mu\text{s}$ 时长。

图 8 所示为采用上述解调模块抗干扰技术实现的解调抗干扰同步时序仿真图，从仿真结果看，能够很好达到同步（同步时间差小于 $1\ \mu\text{s}$ ），可有效排除信道上与有效载波频率相同但传输时间不完全重合的干扰信号的影响，这类信号是 AFE 模块中滤波电路难以滤除的。



图 8 分时检波计数法抗干扰仿真结果

2.4 控制电路设计

图 9 所示为控制电路设计时的控制功能软件实现流程图。控制电路初始化后，等待两个输入端口（上位机输入和 AFE 端输入）信号输入，若上位机有信号输入则进入 FPGA 调制解调模块中发送消息的过程，若 AFE 端有信号输入则进入 FPGA 调制解调模块中接收消息的过程。

1) 发送消息过程：FPGA 接收到上位机通过串口发送

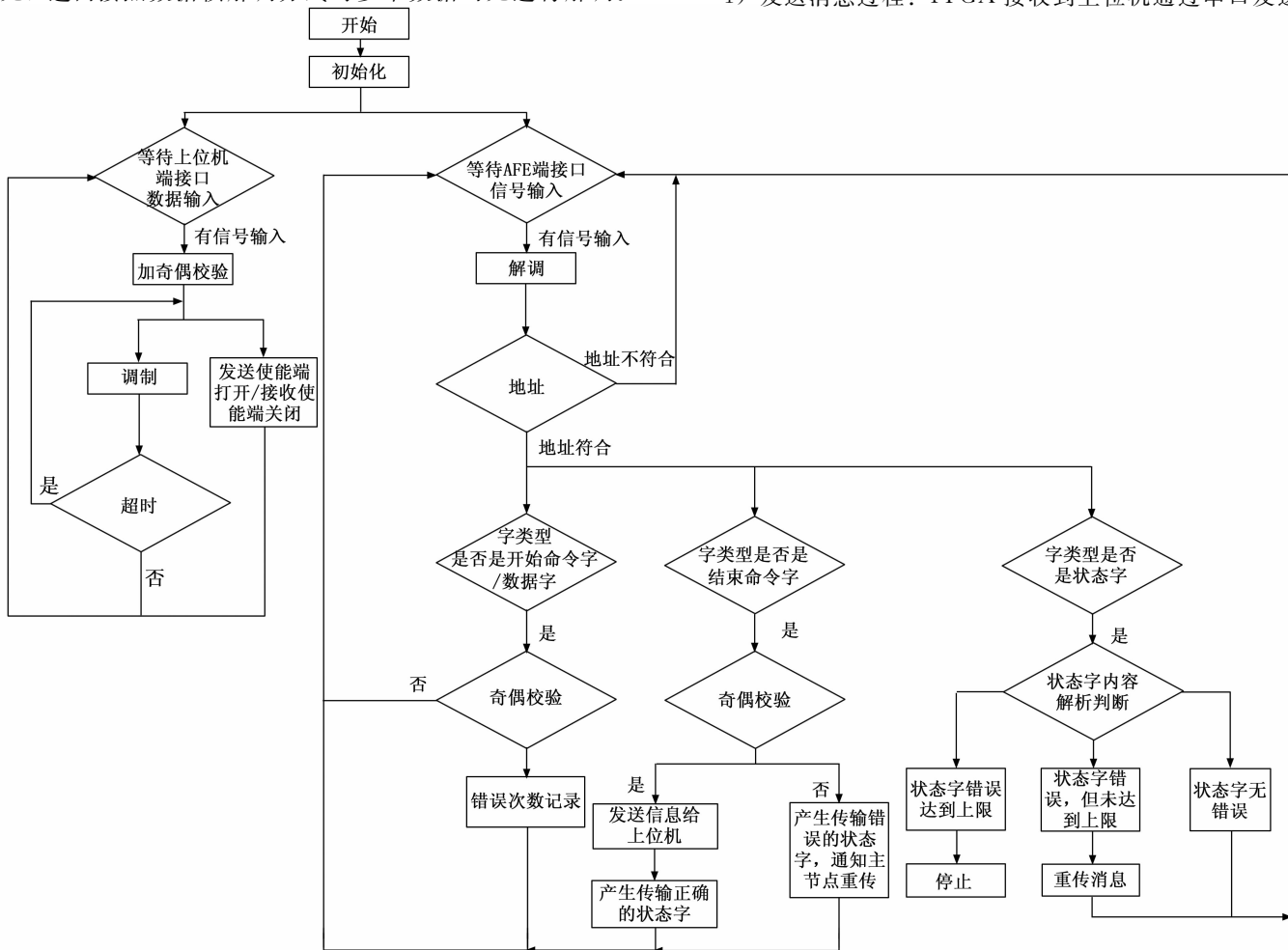


图 9 控制功能软件实现流程图

的消息后, 首先对串口协议数据解析, 得到通信用的传输信息, 然后进行编码和调制, 并将消息发送给 AFE 端, 在 FPGA 调制解调模块对码元进行调制的同时, 控制电路要将发送使能端打开, 同时关闭接收使能端, 以保证控制逻辑正确。为检测传输通道是否正常, 发送节点在消息发送完成后, 内部计数器按预设时间开始计时, 若计时达到设置的上限时间, 未收到返回的状态字, 则认为当次传输失败, 则对该条消息进行重传; 若计时过程结束前有状态字返回, 则进入接收消息处理过程, 同时计时复位, 将根据接收到的状态字消息确定下一步操作: 是重传还是发送下一条消息。

接收消息过程: FPGA 对 AFE 端传输过来的信号进行解调, 解调完成后, 首先对帧数据的接收节点地址进行判断, 若不符合当前节点的地址, 则不进行后续处理, 继续等待 AFE 端信号; 若与当前节点的地址相同, 则进行帧头判断, 确认数据帧类型, 若判断结果表明帧头并不符合当前协议规定, 即非有效帧头, 则视为干扰信号, 若符合协议中规定的 3 种类型帧头, 则对帧数据进行校验。

接收到的数据帧字为开始命令字和数据字时, 若校验结果出错, 则记录错误次数 (直到整条消息 (可能由多个数据字构成) 全部接收完成, 才根据记录的错误次数进行处理), 继续接收后面的帧数据; 若校验结果正确, 则不记录, 也继续接收后面的帧数据; 针对结束命令字, 若校验结果正确, 则需要查看错误次数记录的寄存器, 若寄存器不为 0, 说明之前的帧数据有传输错误, 则产生需要重传的状态字, 若结束命令字正确, 同时查看错误次数记录的寄存器, 若寄存器不为 0, 则需要产生要求重传的状态字, 若错误次数为 0, 说明消息传输正确, 则产生传输正确的状态字, 反馈给发送节点; 若接收到的是状态字, 则对状态字

进行解析, 若解析结果正确则说明上次消息传输正确, 若解析出的信息为传输错误且达到上限次数, 则告知上位机信道不通, 若未达到上限次数, 则 FPGA 调制解调模块进行重传。

3 机载电力线载波通信调制解调器实现

在 Vivado 中创建顶层 top.v 文件, 对所有的硬件描述文件进行编译, 通过在 testbench 文件中添加激励的方式观测仿真输出信号, 查看功能实现的准确性。

图 10 所示为发送通路中 FPGA 调制过程仿真图, 其中 din 为输入的基带信号, 波特率为 115.2 kbps, dout 为调制后的信号, 其中深色的为 4 MHz 的高频载波信号, 浅色的为 2.5 MHz 的低频载波信号。图 11 所示为 FPGA 解调过程仿真图, ddin 为载波信号, ddout_buf_demo 为经过解调后的基带信号, 可见解调功能正常。

4 基于 FPGA 的机载电力线载波通信调制解调器应用

为验证本文设计的调制解调器功能和性能, 基于实验室条件搭建的机载电力线载波通信系统, 应用本文设计的调制解调器模块, 测试系统在电力线通信环境中的误码率和通信速率。图 12 所示为机载电力线载波通信验证系统框图, 包括电源 (28 V 直流电源)、上位机和两个通信节点, 每个通信节点内部集成了 AFE 模块和 FPGA 模块。上位机与通信节点之间通过串口连接; 通信节点与电力线之间采用耦合连接, 由 AFE 模块实现, 通信节点和干扰设备都由直流电源供电。

为验证基于本文调制解调模块的机载电力线载波通信系统有效性, 针对不同电力线长和不同干扰信号 (通过外接负载和信号发生器注入的形式生成) 情况进行了通信测试, 通信误码率结果如表 1 所示。得到如下一些结论:

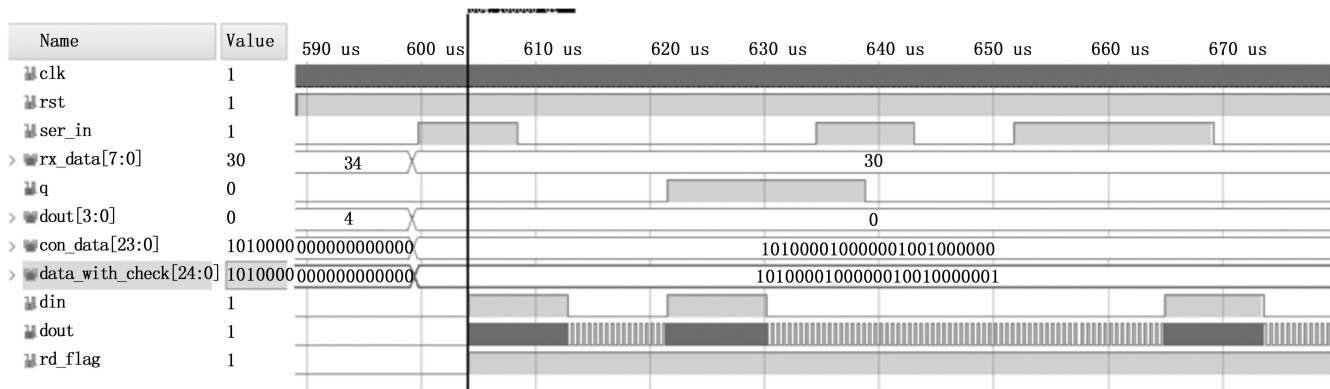


图 10 FPGA 调制过程仿真图

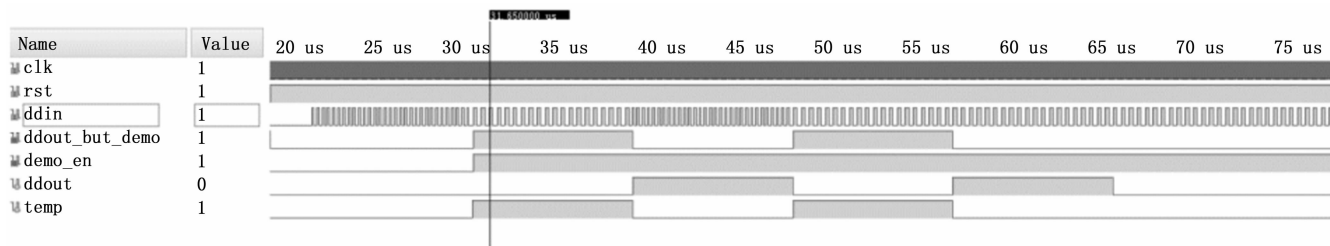


图 11 FPGA 解调过程仿真图

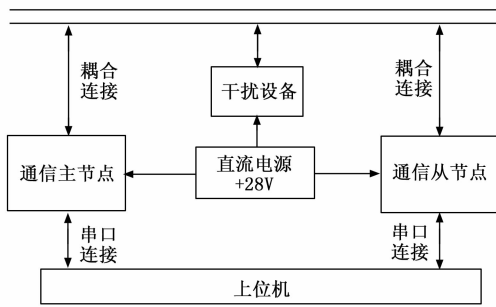


图 12 机载电力线载波通信验证系统框图

1) 电力线线长影响: 针对实际需求, 对长度在 20 m 以内的电力线进行通信实验, 分别用 2 m 和 20 m 两种线长通信, 误码相同, 表明 20 m 以内线长对通信影响很小;

2) 干扰信号幅值影响: 任何频率下, 干扰信号幅值小于 300 mV (载波信号幅值为 1.1 V), 时, 不会发生误码; 若信号频率在载波频率附近, 则会导致误码;

3) 干扰信号频率影响: 在线长选择 20 m, 干扰信号幅值选择 300 mV 时, 若干扰信号频率小于 2.1 MHz 或大于 4.5 MHz, 持续加载干扰信号也对通信无影响; 若持续干扰信号频率介于 2.1 MHz 和 4.5 MHz 之间, 则会造成不同程度误码: 幅值小于 300 mV 时, 干扰信号幅值越小, 误码率越低, 但能够完成通信; 幅值大于 300 mV 将无法正常工作; 若注入随机干扰信号 (频率介于 2.1 MHz 和 4.5 MHz 之间, 表 1 中以 2.5 MHz 持续 10 μ s 的方波信号模拟随机干扰, 每隔 40 ms 发送一次), 通信能够满足误码率 10^{-5} 的设计要求。

表 1 通信测试结果

线长/ m	干扰频率/Hz、 幅值 300 mV	传输速率/ kbps	误码率	实验时 长/h
2	无	115.2	0	5
2	无	115.2	10^{-8}	10
20	无	115.2	0	5
20	无	115.2	10^{-8}	10
2	20 K	115.2	0	5
2	500 K	115.2	0	5
2	2 M	115.2	10^{-7}	5
20	20 K	115.2	0	5
20	500 K	115.2	0	5
20	2 M	115.2	10^{-7}	5
20	2.1 M	115.2	无法通信	5
20	2.5 M(每隔 40 ms 发送 10 μ s 方波)	115.2	5.9×10^{-5}	5

5 结束语

本文详细介绍了基于 FPGA 的电力线载波通信调制解调器的设计和实现过程, 给出了调制解调内部具体模块的设计、仿真及物理实现过程, 基于设计的机载电力线载波通信系统测试验证了本文用 FPGA 实现的调制解调器的正确性和有效性。通过不同线长、不同幅值和不同频率干扰

情况测试, 验证所设计通信系统满足了误码率设计需求, 信道波特率为 115.2 kbps 时, 误码率低于 10^{-5} 。

参考文献:

- [1] 刘 苗. 飞机电力线载波数据通信调制解调技术的研究 [D]. 南京: 南京航空航天大学, 2004.
- [2] 周海勇. 飞机电力线载波数据通信关键技术研究 [D]. 南京: 南京航空航天大学, 2005.
- [3] 陈明亮. 基于 FPGA 的卫星通信调制解调系统设计与实现 [D]. 郑州: 郑州大学, 2020.
- [4] 郭晓科. 飞机电力线载波数据通信技术 [J]. 电子技术与软件工程, 2018 (13): 28.
- [5] 龙婷婷, 关进金, 刘 娜. 飞机电力线载波数据通信技术分析 [J]. 科技创新与应用, 2017, 14 (17): 90.
- [6] SACHIN K V, BABU K, VINAYMURTHI K K, et al. FPGA implementation of multichannel satellite modulator: An efficient data buffering technique [C] // 2016 IEEE 13th International Conference on Signal Processing (ICSP), Chengdu, China. IEEE, 2016: 518-522.
- [7] 毛 敏. 低压电力线载波通信系统关键技术研究 [D]. 北京: 北京邮电大学, 2017.
- [8] 张 瑶, 姜小平, 张文昌, 等. 基于 FPGA 的快速脉冲数据采集及处理系统设计 [J]. 计算机测量与控制, 2015, 23 (5): 1695-1698.
- [9] 李战胜. 基于 FPGA 的低压宽带电力线载波通信系统研究 [D]. 西安: 西安电子科技大学, 2018.
- [10] ANDRE W., COUILLARD O. Design and implementation of a new architecture of a real-time reconfigurable digital modulator on FPGA [J]. Electronics Letters, 2018, 54 (18): 1094-1095.
- [11] BABIC M, DOSTERT K. An FPGA-based high-speed emulation system for powerline channels [C] // International Symposium on Power Line Communications and Its Applications, Vancouver, BC, Canada. IEEE, 2005: 290-294.
- [12] YING YP, XU JF, CHEN WJ. Design and implementation of 2FSK modulation-demodulation system based on FPGA [J]. Journal of Zhejiang University of Technology, 2010: 282-285.
- [13] 李桂枝, 黄鸿捷, 谢文娣. 基于 FPGA 的 2FSK 调制解调器设计与仿真 [J]. 电子制作, 2020 (16): 11-12.
- [14] 迟海明, 周春良, 赵东艳, 等. 宽带电力线载波通信芯片的 FPGA 验证 [J]. 电子设计工程, 2021, 29 (1): 128-131.
- [15] 曾素琼. 嵌入式电力线载波通信模块设计及其智能应用 [J]. 计算机测量与控制, 2012, 20 (8): 2294-2296.
- [16] LI F, SHEN HT, SHI L, et al. Noise Reduction Method for Low Voltage Power Line Carrier Communication [J]. Journal of Physics: Conference Series, 2021, 1920 (1): 12066-12071.
- [17] 杨金成, 刘海洋, 申 李, 等. 低压电力线载波通信的远程抄表系统架构设计 [J]. 自动化仪表, 2020, 41 (12): 86-91.
- [18] 桂 舟. 基于 ZYNQ 的高速调制解调技术研究与实现 [D]. 哈尔滨: 哈尔滨工业大学, 2020.
- [19] 孙胤杰. 低压电力线通信噪声抑制研究 [D]. 北京: 北京邮电大学, 2020.
- [20] 姚 辉. 高速电力线载波通信抗干扰技术研究 [D]. 杭州: 杭州电子科技大学, 2020.