

# 基于 Sigrity 在 SDIO 板级信号完整性仿真分析与优化

王楚哲, 苏成悦, 李增, 陈洪极, 吴艳杰, 李红涛

(广东工业大学 物理与光电工程学院, 广州 510006)

**摘要:** 随着高集成度集成电路与高速板级印制电路的发展, 板间通信频率已经达到 GHz 水平, 传统板级电路设计方案已经无法普及到更高频率的电路设计; 针对高速 SDIO 总线在板级的设计, 基于 Cadence Sigrity 平台的信号完整性仿真, 提出了一种针对 SDIO 总线的高速信号仿真方法, 该方法对 SDIO 总线有较高的仿真参考意义, 通过海思 Hi3516EV200 嵌入式平台的板级电路设计与仿真优化, 对层叠结构、层叠顺序、走线长度、地过孔、过孔数目实验仿真, 优化 PCB 设计, 对 S 参数与时域图进行研究与分析, 提出了一种 SDIO 总线的电路走线设计参考方法, 通过理论分析与仿真实验论证了该方案的可行性与实用价值, 填补了信号完整性仿真分析中对 SDIO 总线设计的空白。

**关键词:** SDIO 总线; 信号完整性; Cadence Sigrity; 高速数字电路; 拓扑结构

## Simulation and Analysis of Signal Integrity at the SDIO Board Level Based on Sigrity

WANG Chuzhe, SU Chengyue, LI Zeng, CHEN Hongji, WU Yanjie, LI Hongtao

(School of Physics and Optoelectronic Engineering, Guangdong University of Technology, Guangzhou 510006, China)

**Abstract:** With the development of highly integrated circuits and high-speed board-level printed circuits, the communication frequency between boards has reached the GHz level, and the traditional board-level circuit design scheme has been unable to popularize the circuit design of higher frequencies. Aiming at the board-level design of the high-speed SDIO bus, based on the signal integrity simulation in the Cadence Sigrity platform, a high-speed signal simulation method for the SDIO bus is proposed. This method has high simulation reference significance for the SDIO bus. Board-level circuit design and simulation optimization of embedded platform for Hi3516EV200, experimental simulation of stacked structure, stacking sequence, trace length, ground via, and number of vias, optimizing PCB design, researching and analyzing S-parameters and time domain diagrams have been carried out, and a reference method of the circuit routing design of SDIO bus is proposed, and the feasibility and practical value of the scheme are demonstrated through theoretical analysis and simulation experiments, which fills the blank of SDIO bus design in the signal integrity simulation analysis.

**Keywords:** SDIO; signal integrity; cadence sigrity; high-speed digital circuits; topology

## 0 引言

随着高集成度集成电路与高速板级电路的发展, 印刷电路板的设计沿着更高传输速率、更高集成度发展, 不断提升电路端口间的传输速率与传输线走线密集程度是电路设计的趋势所向。目前基于 DDR4、USB 3.0、HDMI、串行总线的信号完整性都有学者研究<sup>[1-4]</sup>, 且有极高参考价值与产品研发参考价值, 但对于高速 SDIO 总线(安全数字输入输出, Secure Digital Input and Output)的研究却缺少学者研究, 只有刘继平等学者对 SDIO 总线有若干研究<sup>[5]</sup>, 但没有基于板级信号完整性研究, 不足以支撑起 SDIO 总线的信号完整性研究。

SDIO 总线运用于较多通信接口中, 例如市场常见的 WIFI、蓝牙、GPS 和 802.11 b 等, 具有极高的使用价值。现如今 SDIO 的最高信息传输速率可达到 200 Mbps<sup>[6]</sup>, 随着更高速的板间传输频率与更高走线密度、层叠结构的电路板设计的需求, SDIO 总线在全速通信速率下需要客服对抗噪声干扰、线间的通信串扰、信号的过冲与振荡等问题。

本文通过基于 Cadence Sigrity 仿真平台, 提出了一种针对高速 SDIO 总线拓扑结构和高速信号传输接口的设计方法, 基于海思 Hi3516EV200 嵌入式平台的设计、仿真与验证, 提出一种针对 SDIO 总线的传输线设计方案指导意见, 通过理论指导与仿真, 较好的验证了本方案的可靠性, 针对其他总线设计也具有一定的指导作用。

收稿日期:2022-01-11; 修回日期:2022-01-27。

作者简介:王楚哲(1997-),男,湖北襄阳人,硕士研究生,工程师,主要从事电子信息技术、高速通信技术方向的研究。

苏成悦(1961-),男,湖南长沙人,博士研究生,教授,主要从事应用物理、应用电子方向的研究。

引用格式:王楚哲,苏成悦,李增,等.基于 Sigrity 在 SDIO 板级信号完整性仿真分析与优化[J].计算机测量与控制,2022,30(3):204-210,221.

# 1 信号完整性理论分析

## 1.1 时域信号特征

时域信号是用数学手段表示信号量与时间之间的关系, 以时间为横轴, 纵轴表示信号量, 可以从图中获取信号量、噪声、时序等数值与变化趋势<sup>[7]</sup>。实际电路板中的信号量并不像理想中的那样横平竖直, 常常会伴随着过冲、下冲、振荡、时延等不利因素, 在信号的识别中, 当信号波形电压高于某特定值  $V_{IH}$ , 认为是逻辑低电平, 反之当低于  $V_{IL}$  时, 认为是高电平。

## 1.2 常见的信号完整性问题与修正策略

信号完整性问题可以泛指信号网络中所有引起信号电压与电流不正常的因素, 例如噪声、干扰、串扰、阻抗突变等, 这些因素可导致信号出现过冲、下冲、震荡、反射、信号衰减等问题<sup>[8]</sup>。随着信号传输频率的升高, 信号完整性问题会越来越明显, 导体中存在较高的交变电流与交变电磁场, 此时, 导体内部的电流分部不均匀, 大部分电流集中存在于导体的“表面部分”, 呈现出一种“趋肤效应”, 其果是导致导体呈现出的阻抗过大、功率升高的特征。

针对上述问题, 已有较多学者做了研究, 提出了很多宝贵的意见, 有学者从线迹的长度、线迹阻抗、线迹间距以及数据速率的角度研究了 PCB 参数对 USB 3.0 信号完整性的影响<sup>[9]</sup>; 有学者从层叠、蛇形布线、阻抗网络的角度研究了高频信号动态测试中的信号完整性分析<sup>[10]</sup>; 有的学者通过分析过孔中心距、反焊盘直径及地过孔数量研究了高速 PCB 中差分过孔分析与优化<sup>[11]</sup>; 还有的学者从层叠结构、优化匹配电阻、约束线间距及耦合长度的角度研究了基于 Cadence 的接收机信号完整性设计<sup>[12]</sup>, 这些研究都给后来的研究者们提供了很好的研究参考。

## 1.3 PCB 板级互连的链路分析

常见的 PCB 互联板级链路包括点对点、菊花链、星形、远端分支等拓扑结构, 本系统采用的是星形分支中的一对二拓扑结构, 该结构中信号从芯片引脚出发, 通过印制电路板的信号传输线连接到两个接口处, 形成类似“T”型的拓扑结构, 如图 2 所示。信号线做 50 Ohm 阻抗匹配, 分支线节点后阻抗并联, 由 50 Ohm 降至 25 Ohm, 由反射系数公式  $p = \frac{Z_2 - Z_1}{Z_2 + Z_1}$ , 其中  $Z_1$  为变化前阻抗,  $Z_2$  为变化后阻抗可得, 可得反射系数为  $p = \frac{25 - 50}{25 + 50} = -0.33$ 。反射电压已负向方式叠加在入射电压之上, 获得的新电压将低于入射电压。

该问题可以修改结构为远端拓扑, 即分支节点离芯片较远, 离端接口较近, 并尽可能靠近两端口, 可较好弱化影响。由于本实验的两端口为 SDIO 底座与接插件, 并且本文主要研究 SDIO 信号完整性, 故修改为点对点连接拓扑结构。

## 1.4 传输线理论

传输线模型可以理解成为无数段分段模型组合而成, 信号上升沿相当于逐步给各个寄生电容充电, 传输线中的寄生电感会阻碍传输线电流的变化, 影响下一个寄生电容

的充电, 进而影响信号在传输线上的传输, 图 1 为传输线等效分段模型图。

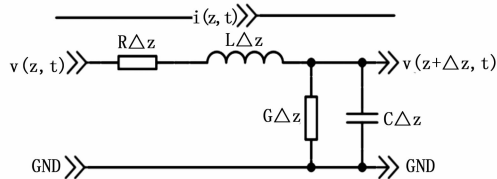


图 1 传输线等效分段模型

对传输线的分析可以通过引入特征阻抗的概念来分析信号传输, 对上图传输线等效分段电路模型分析, 由柯希荷夫电压定律可得:

$$v(z, t) - R\Delta z i(z, t) - L\Delta z \frac{\partial i(z, t)}{\partial t} - v(z + \Delta z, t) = 0 \tag{1}$$

由柯希荷夫电流定律可得:

$$i(z, t) - G\Delta z v(z + \Delta z, t) - C\Delta z \frac{\partial v(z + \Delta z, t)}{\partial t} - i(z + \Delta z, t) = 0 \tag{2}$$

将式 (1) 与式 (2) 除以  $\Delta z$ , 并取  $\Delta z \rightarrow 0$  的极限可得电报方程式, 即时域的传输线方程式。

$$\frac{\partial v(z, t)}{\partial z} = -Ri(z, t) - L \frac{\partial i(z, t)}{\partial t} \tag{3}$$

$$\frac{\partial i(z, t)}{\partial z} = -Gv(z, t) - C \frac{\partial v(z, t)}{\partial t} \tag{4}$$

联立式 (3) 与式 (4) 可得传输线电压与电流之波动方程式:

$$d^2V(z)/dz^2 = \gamma^2V(z) = 0 \tag{5}$$

$$d^2I(z)/dz^2 = \gamma^2I(z) = 0 \tag{6}$$

其中:

$$\gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)} \tag{7}$$

其中:  $\alpha$  可称为损耗常数;  $\beta$  可称为相位或速度常数, 式 (5) 与式 (6) 的电压与电流解为:

$$V(z) = V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z} \tag{8}$$

$$I(z) = I_0^+ e^{-\gamma z} + I_0^- e^{\gamma z} \tag{9}$$

其中将式 (8) 带入式 (3) 可得传输线的电流波:

$$I(z) = \frac{r}{R + j\omega L} [V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z}] \tag{10}$$

比较式 (10) 与式 (9), 可得传输线的特征阻抗:

$$Z_0 = \frac{R + j\omega L}{r} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \tag{11}$$

用时域表示电压波的相位可得:

$$v(z, t) = |V_0^+| \cos(\omega t - \beta z + \varphi^+) e^{-\alpha z} + |V_0^-| \cos(\omega t + \beta z + \varphi^-) e^{\alpha z} \tag{12}$$

其中:  $z$  是传输线的长度变量,  $t$  是时间变量, 表示为在传输线  $z$  点处、 $t$  时间的电压。

## 1.5 信号板级互连中呈现的特征

信号的传输过程中存在不同的损耗, 根据电磁场和微波理论, PCB 传输损耗主要由介质损耗、导体损耗和辐射

损耗三部分组成, 这里主要研究介质损耗、导体损耗对信号完整性的影响<sup>[13]</sup>。如图 2 所示, 传输线的损耗随着频率的升高, 回波损耗上升, 插入损耗减小, 低频率下传输效率高, 使信号呈现出一种“低通特性”。频率高于某一界限后, 系统将不再满足要求, 这些频率点所产生的回波损耗已超出了标准所规定的极限。

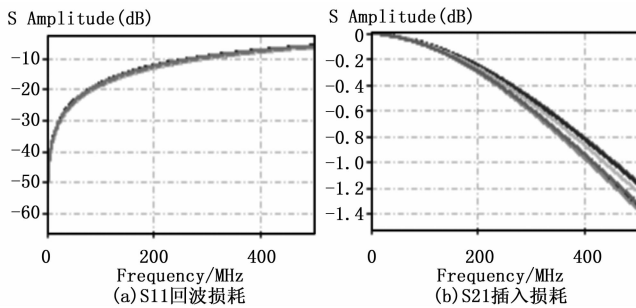


图 2 传输线中的 S 参数

## 2 基于 Hi3516EV200 的 SDIO 信号链路

### 2.1 Hi3516EV200 项目 SDIO 实例介绍

为解决 SDIO 接口传输系统设计出现的普遍性问题, 本研究基于海思音视频处理芯片 Hi3516EV200, 研究 SDIO 总线板级传输线的信号完整性问题, 通过 Cadence Sigrity 的 Power SI 与 Speed 2000 工具分析在 500 MHz 频率内范围的 S 参数与时域波形图。

该系统通过 SDIO 接口将主控芯片连接至 WiFi 模组, 在 WiFi 环境下将主控芯片处理后的视频文件传输至客户端, 有较高的传输品质需求。

### 2.2 SDIO 信号存在的问题

在该系统的信号传输线设计中我们发现以下问题, 系统将采集的视频信号传输到客户端过程中, 出现明显的卡顿、断流、画面模糊等情况。通过 Linux 系统内的网络性能测试工具 iperf 测试发现, 不同的电路板设计有不同的带宽性能, 不同的视频传输品质。

### 2.3 频域 SDIO 信号的 S 参数分析

S 参数即散射参数, 是建立在入射波与反射波之间的用于微波电路分析的网络参数, S 参数较多的作为频域传输线模型来分析描述传输线的特性, 用于描述和分析各端口之间的特性。

在 S 参数传输线模型分析中, 最常用的是 S11 与 S21, 分别表示是回波损耗和插入损耗, Sij 即从 Port i 端口测得的反射波与 Port j 端口的入射波对比值。从这里可以看到 S11 越小代表反射越小, S21 越大相当于越小的传输损耗。S31 与 S41 分别代表近端串扰与远端串扰, 一般越小越好, 串扰的比值一般小于 40 dB, 本研究中串扰符合要求, 因此不着重研究串扰。

### 2.4 频域 SDIO 信号的优化办法

通过上述分析, 本文将对印制电路板层叠结构、层叠顺序、传输线长度、转换层处地过孔、信号线过孔数量 5 个方面对 SDIO 的板级传输线信号完整性研究分析。

本文将通过定量分析法对 SDIO 传输线的信号完整性进行仿真分析, 基于 Cadence Sigrity 的 IBIS 4.1 模型, 以 S 参数分析与时域分析相结合, 解决 SDIO 接口传输线的质量问题, 并提出一种 SDIO 传输线的设计指导意见。

## 3 基于 Hi3516EV200 项目 SDIO 信号完整性分析

### 3.1 SDIO 信号完整性链路模型搭建

系统以 Hi3516EV200 作为信号输出, SD Card 底座作为接收端。首先通过 Power SI 提取模型, 做 S 参数的分析。使能后设置电路板的层叠结构、电阻电容过孔的模型、模型的材料属性及其参数、传输线的阻抗, 配置端口阻抗, 在仿真频率下捕获 S 参数。其次通过使用 Speed 2000 进行快速时域分析, 设置好印刷电路板信息之后, 设置端口 IBIS 模型并配置参数。

### 3.2 IBIS 4.1 信号特征分析

传统的 Spice 模型运算速度低, 复杂度低, 不能很好地反应模型的输入输出特性。本文采用的 IBIS 4.1 模型不仅仅速度有明显提升, 并增加了已有技术的复杂性, 可较好的作为仿真模型<sup>[14-15]</sup>。IBIS 模型 (输入输出缓冲接口特性, Input/output Buffer Interface Specification) 的可靠性是进行信号完整性分析的前提, 用 Model Integrity 分析 Hi3516EV200 的 IBIS 4.1 模型, 在 IBIS 规范中, 对 pullup 来说, pullup 指负责上拉的 NMOS,  $V = V_{CC} - V_{OUT}$ , 对 pulldown 来说, pulldown 指负责下拉的 PMOS,  $V = V_{OUT}$ 。对 IBIS io16\_dgf\_3V3\_3ma 文本进行解析, 图 3 为在电流值在典型值 (Typ)、最小值 (Min)、最大值 (Max) 情况下 pullup、pulldown、I-V 的 SDIO 接口 GPIO 的电压和电流关系曲线。

### 3.3 SDIO 信号完整性链路分析的关键设计

板级信号完整性需考虑电路中电压与电流的瞬时关系, 即特征阻抗, 对于单端阻抗, 若传输线阻抗不连续, 会产生信号反射, 传输线间的耦合也会影响特征阻抗, 进而产生串扰<sup>[16-18]</sup>。板级传输线可大致分为微带线 (stripline) 与带状线 (microstrip), 微带线是走在表面层的信号线, 带状线是埋在 PCB 内部的走线, 阻抗计算公式如式 (2) 和式 (3) 所示, 表中  $\epsilon_r$  为 FR4 介质的介电常数,  $w$  为走线宽度,  $t$  为走线厚度,  $h$  为走线与平面层间距。

$$Z = \frac{87}{\sqrt{\epsilon_r + 1.414}} \ln \left( \frac{5.98h}{0.8w + t} \right) \quad (13)$$

$$Z = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4h}{0.67\pi(0.8w + t)} \right) \quad (14)$$

在印制电路板中, 走线与平面层之间填充绝缘介质, 常用环氧树脂玻璃纤维材料 (FR4), 层叠结构的几何尺寸影响板级传输线的阻抗, 如图 4 所示为四层板的层叠结构, 包含铜箔、半固化片和芯板, 后两者用 FR4 填充。由上公式可得, 层叠结构中, 每一层结构的厚度以及材质介电常数都会影响特征阻抗。

### 3.4 SDIO 信号仿真结果及眼图分析

仿真结果如图 5 所示, 由图 5 (a) 传输线的 S<sub>11</sub> 参数所

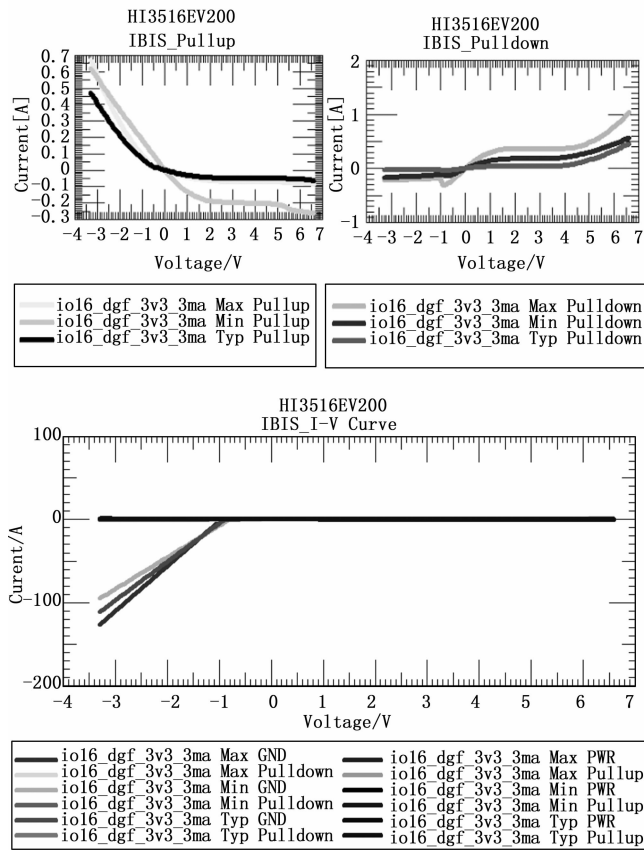


图3 IBIS模型的pullup、pulldown、I-V测试图

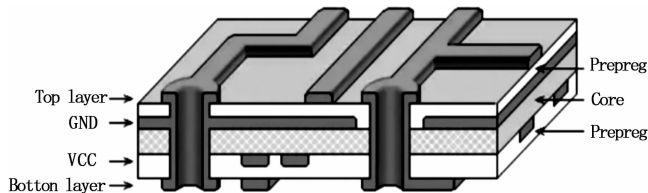


图4 印制电路板的层叠结构

示, 随着电路板频率升高,  $S_{11}$  反射系数过高, 在 340 MHz 频率附近, 信号有明显谐波, 谐波约在  $-1.5$  dB, 造成该频段处信号反射功率增大。如图 5 (b) 时域信号图所示, 信号有明显过冲与下冲, 容性负载过高, 低电平维持时间过短, 高电平最高到 4 V, 低电平最低为  $-0.9$  V, 并且六路信号波形重合度太低, 时延严重。如图 5 (c) 信号眼图所示, 眼图中信号交叉点过高, 远大于最优解的  $1/2$  电平, 即 1.65 V, 高电平持续时间比例长, 眼图的“眼睛”张开幅度过小, 信号有明显的振荡、过冲、下冲与反射现象。

在信号的识别中, 当信号电压波形高于某特定值  $V_{IH}$ , 认为是逻辑高电平, 反之当低于  $V_{IL}$  时, 认为是逻辑低电平, SDIO 信号的  $V_{IH}$  为 2.0 V,  $V_{IL}$  为 0.8 V, 后文的时域波形信号分析中将对此作为重要判定依据。如图 5 所示为优化前的仿真图, 从时域信号图与眼图可发现, 高低电平维持时间不一致, 高电平维持时间约为 2.231 ns, 低电平维持时间约为 1.219 ns, 误差率较高, 不利于信号采样, 低电平处有明显

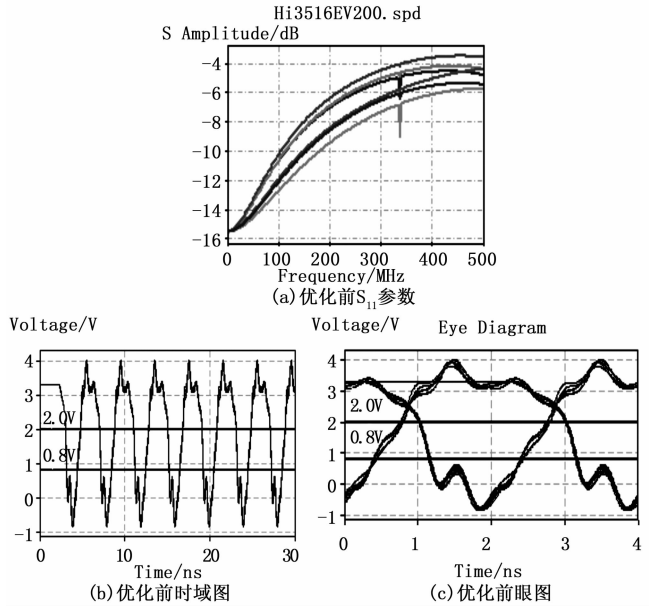


图5 优化前仿真结果

抖动, 且极接近  $V_{IL}$ , 对信号的识别与采样造成影响。

## 4 基于 Hi3516EV200 项目 SDIO 信号问题的解决办法

### 4.1 层叠结构对 SDIO 信号的影响

通过对比国内厂商常用的层叠结构: 层叠 1、层叠 2、层叠 3, 利用 Cadence Sigrity 软件分析层叠结构对板级传输线阻抗的影响。3 种层叠结构传输线阻抗测试结果如表 1 所示, 在相同电路传输线设计情况下层叠 2 结构走线阻抗为 48.95 Ohm, 误差为 1.05 Ohm, 其他两项层叠结构误差约为 20 Ohm, 误差较高。层叠结构对传输线阻抗影响较大, 后面电路板设计中采用层叠 2 结构。

表1 3种层叠结构的阻抗

层叠	阻抗(Ohm)
层叠 1	70.82
层叠 2	48.95
层叠 3	69.12

通过 Power SI 对 3 种层叠结构做 S 参数仿真分析, 结果如图 6 所示, 包含 3 种层叠结构六根传输线的回波损耗, 从低频到高频, 层叠 2 相比其他层叠的  $S_{11}$  的值低 0.4 dB 至 0.8 dB, 有更好的回波损耗效应, 由此可见, 层叠结构对  $S_{11}$  影响较大, 层叠 2 相对较好。

由图 7 分析可得, 层叠 2 的时域电平信号过冲最高值低于层叠 1 与层叠 3, 低大约 0.35 V, 约占 3.3 V 电平信号的 10%, 下冲大约低 0.5 V, 约占 3.3 V 电平信号的 15%, 层叠 2 的抖动幅度也明显低于其他两组, 因此, 层叠 2 的信号完整性明显更优。

### 4.2 层叠顺序对 SDIO 信号的影响

本实验采用的四层印制电路板中, 元器件放置在 TOP

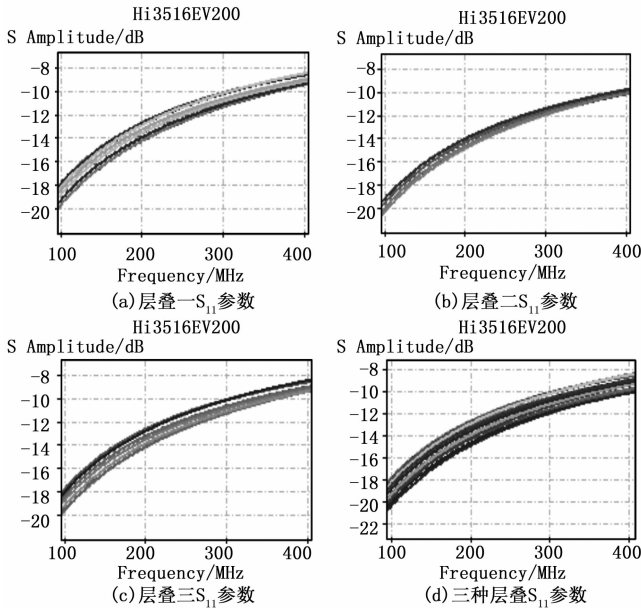


图 6 3 种层叠结构的  $S_{11}$

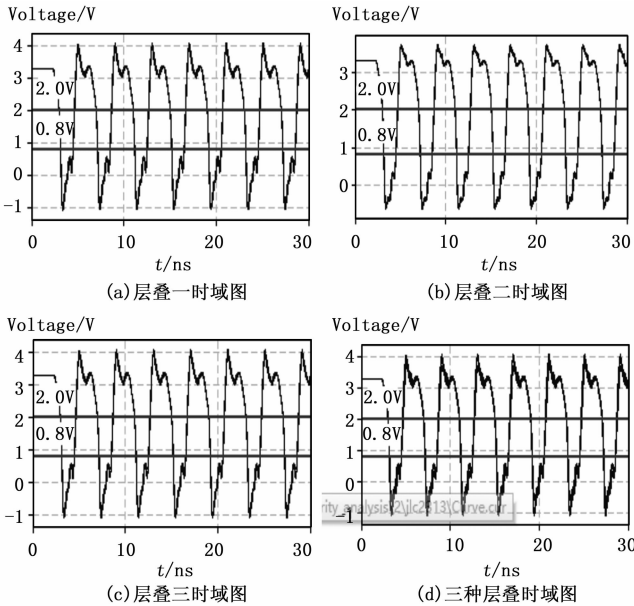


图 7 3 种层叠结构的时域图

层, 常规层叠顺序有两种: 层叠一: S1-G-P-S2 与层叠二: S1-P-G-S2。对两种层叠顺序做  $S_{11}$  参数分析。

结果对比发现, 层叠一相比于层叠二  $S_{11}$  参数较大, 波形抖动较严重, 传输线有较为严重的信号谐振, 六根线传输线之间回波损耗有不小误差, 因此, 可以论证层叠顺序对信号完整性影响较大, 也可较好的修正谐振, 本研究后续采用层叠二。

### 4.3 信号线长度对 SDIO 的影响

研究走线长度对传输线信号完整性的影响有重要意义, 也是较多学者研究的对象。本实验采用短、中、长 3 种信号线走线长度做实验对象, 六根传输线平均长度为 757 mil、1 137 mil、2 137 mil, 提取  $S_{11}$  参数分析。

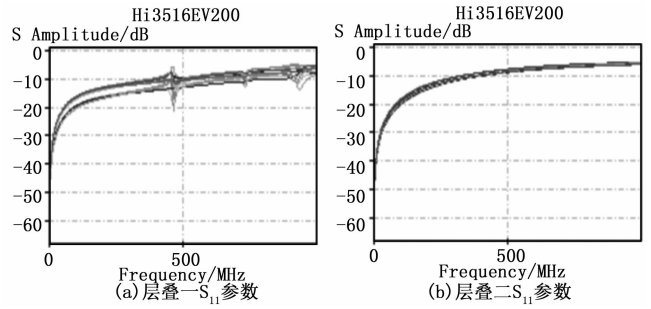


图 8 两种层叠结构传输线的  $S_{11}$  参数

由图 9 分析可得, 信号线长度对  $S$  参数影响较大,  $S_{11}$  参数与传输线长度成正比如图 9 (e) 所示同根走线影响较大处有 8.341 2 dB, 分析可得走线越短, 信号回波反射越小, 传输效率越高, 且传输线长度对  $S_{11}$  影响较大。

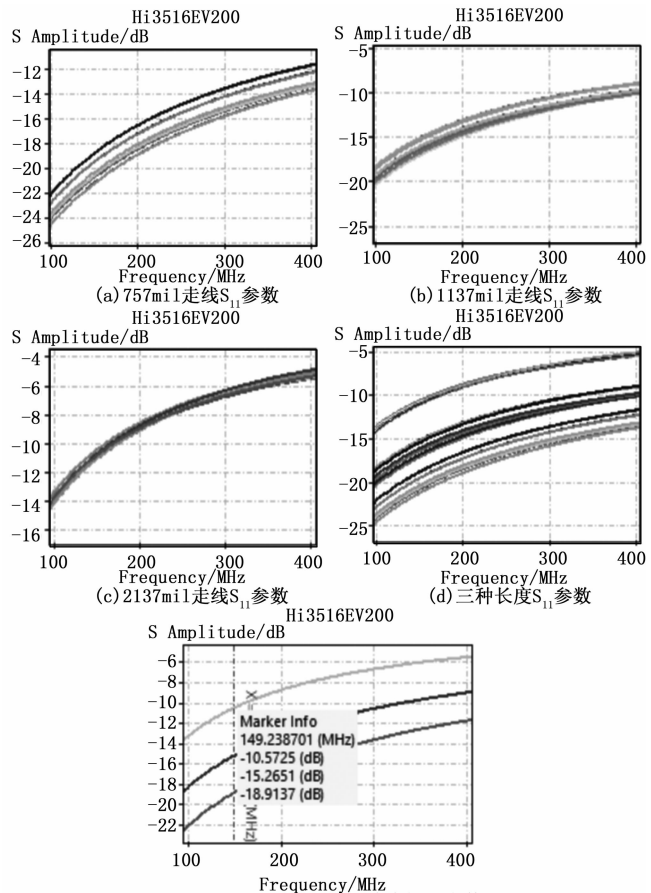


图 9 3 种走线长度传输线的  $S_{11}$  参数

由图 10 可得, 信号线长度对时域波形影响较大, 长度最短波形过冲与振荡明显优于其他两组, 波形抖动明显。综上所述, 信号线长度对信号完整性影响较大, 信号线的长度应尽可能的短, 做好对信号传输线转角处的处理, 减小板间其他干扰源对信号传输线的影响, 并做好阻抗匹配。

### 4.4 地过孔对 SDIO 信号的影响

研究信号换层处加地过孔, 增大回流对信号完整性的影响也是较多学者研究的重点对象, 本实验对地过孔设计

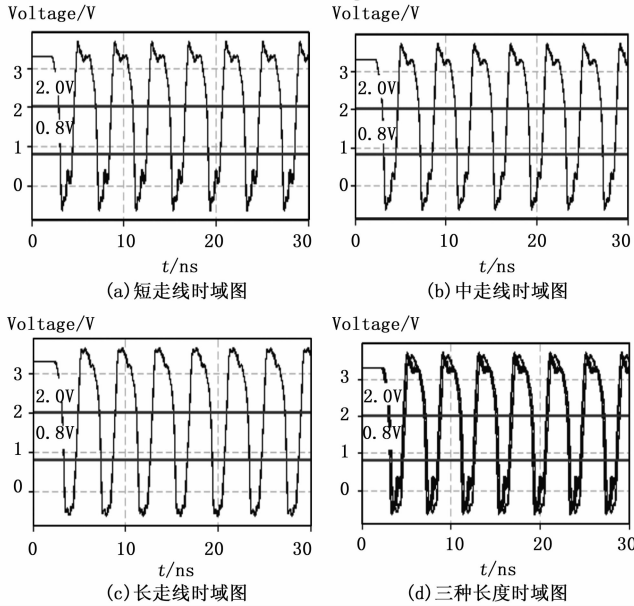


图 10 3 种走线长度传输线的时域图

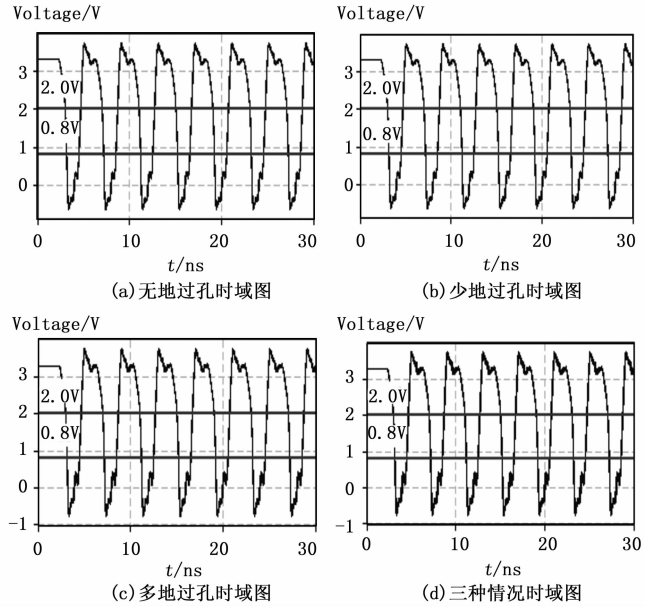


图 12 3 种地过孔数量传输线的时域图

无、少、多, 三组实验对象, 分别为 0 个、10 个、30 个, 研究信号完整性。

由图 11 可见, 在信号换层附近, 打上地过孔, 增加信号回流, 图 12 (d) 可得, 可微小的改善 SDIO 设计信号完整性, 改善幅度一般, 但对信号回流有积极的影响, 可作为一种优化方案。

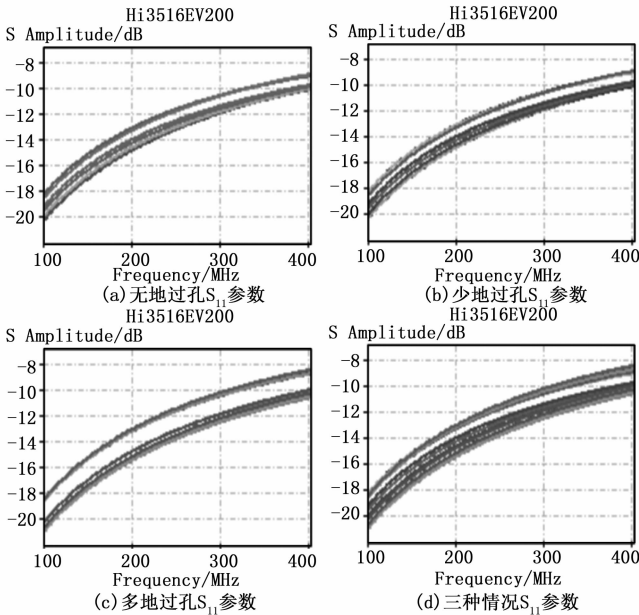


图 11 3 种地过孔数量传输线的回波损耗

### 4.5 过孔数量对 SDIO 信号的影响

研究信号线中过孔数量对信号完整性的影响有重要意义, 本实验研究信号线在没有打过孔, 经过一对过孔, 经过两对过孔, 经过三对过孔, 4 种情况下 S 参数的提取、与时域图进行研究分析。

如图 13 所示, 在  $S_{11}$  参数中, 四组对象最大相差不在

2.2 dB, 且无过孔情况, 信号反射最小, 信号传输效率最高, 随着过孔数量的上升, 信号回波损耗明显增大。

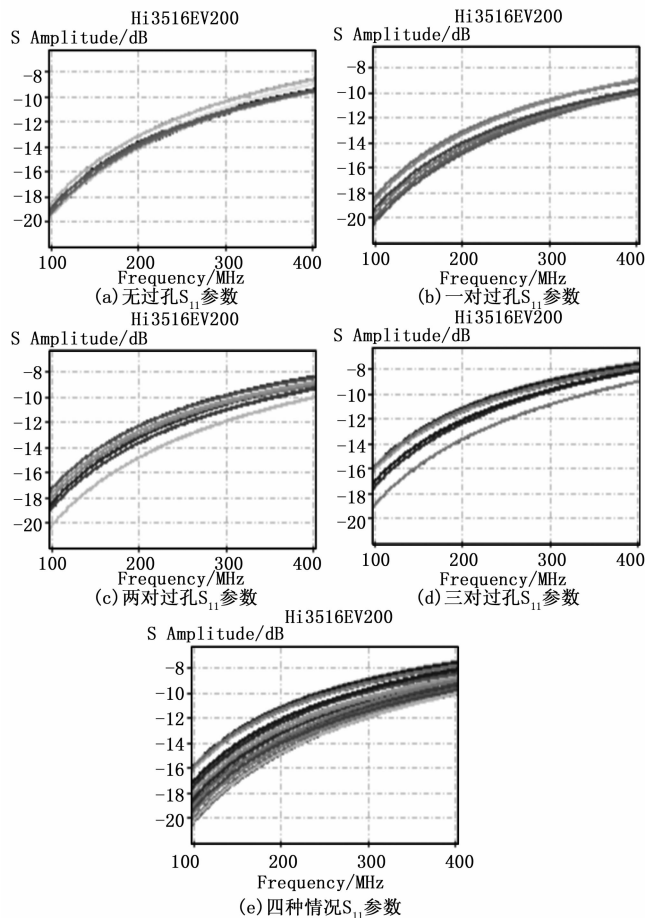


图 13 四组信号线过孔数量传输线的回波损耗

由图 14 可得, 4 种对象之间有不小的影响, 特别是在过冲, 下冲, 振荡部分, 其中无过孔的情况, 在过冲, 下

冲, 振荡部分有明显优化, 波形较为平缓。

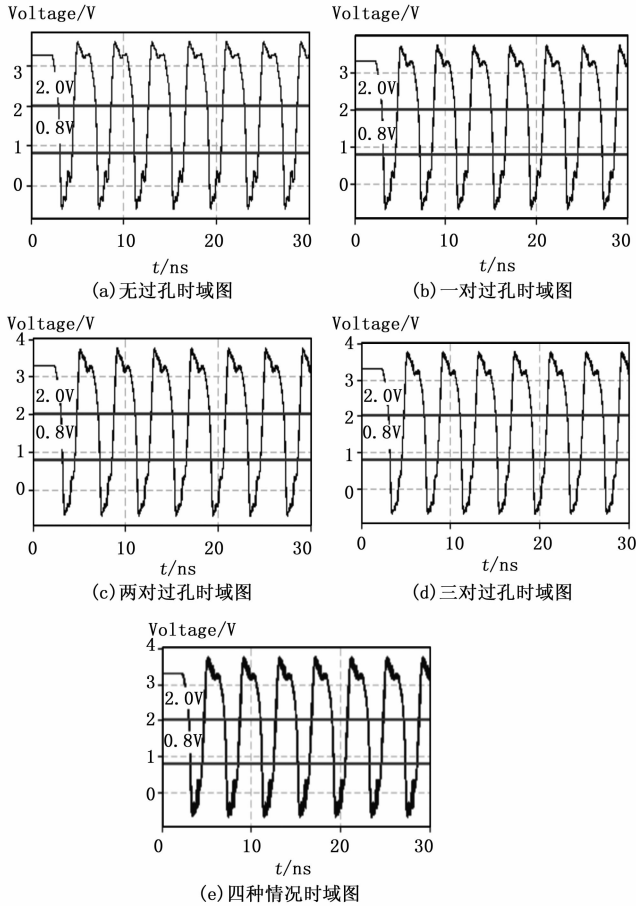


图 14 四组信号线过孔数量传输线的时域图

#### 4.6 SDIO 信号优化前后的对比

通过不断的优化层叠结构、层叠顺序、传输线长度、地过孔、过孔数目, 实验结果如图 15 所示, 对  $S_{11}$  参数, 时域信号图, 眼图 3 个方面分析。

将优化前后的  $S_{11}$  参数, 时域波形图, 眼图对比, 得出结论, 将优化后的  $S$  参数进行对比, 如图 15 (a), (b) 所示, 优化后 500 MHz 频点下  $S_{11}$  峰值功率下降了 6 B, 回波反射从 0 Hz 到 500 MHz 反射系数明显下降, 反射功率得到了有效的减小, 信号的损耗也得到了有效的控制。

时域波形优化效果较为明显, 如图 15 (c), (d) 所示, 优化前信号过冲较大, 最高过冲幅度达 4 V, 优化之后过冲减小为 3.5 V, 且信号的保持时间明显加长, 更利于信号被锁存和采样, 优化前信号在低电平处有明显的单调性失真, 该失真会造成信号建立时间加长, 经过优化后, 解决了单调性失真的问题, 低电平保持脉宽变宽, 更利于信号锁存与采样, 信号的稳定性进一步增强。

如图 15 (e), (f) 所示, 优化前眼图交叉点过高, 远大于最优的 1/2 电平, “眼睛” 张开幅度过小, 优化后交叉点接近 1/2 处, “眼睛” 张开幅度扩大明显, 优化后眼图  $V_{IH}$  高电平、 $V_{IL}$  低电平较之前有明显提升, 信号完整性增强, 信号误码率减小。

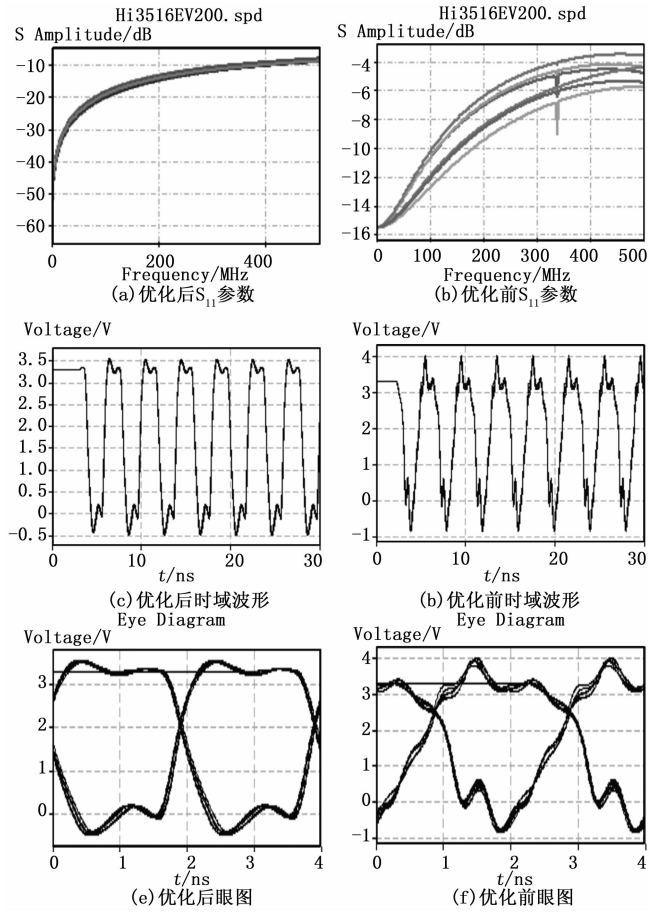


图 15 信号优化前后对比

#### 5 结束语

本文研究了 SDIO 总线在板级的信号完整性分析, 通过提取传输线的  $S$  参数, 分析  $S_{11}$  参数曲线、时域信号图和眼图, 在层叠结构、层叠顺序、走线长度、地过孔、过孔数目中提出优化方案以及得到优化结果, 对 SDIO 信号的设计有较好的提升, 并提出 SDIO 信号的设计规范: 1) 层叠结构对传输线阻抗影响较大, 是设计走线的先决要输; 2) 走线长度应尽可能的短, 且平滑, 尽可能少打过孔, 对信号完整性有较大影响; 3) 信号线转换层处应尽可能多放置过孔, 可增加信号回流; 4) 一对一的拓扑结构对信号完整性的提升有明显作用。本文提出的仿真分析方案不仅仅适用于 SDIO 信号, 也适用于其他种类的高速信号, 对解决 PCB 设计过程中的信号完整性问题有的指导作用。

#### 参考文献:

[1] 李川, 王彦辉, 郑浩. DDR4 并行互连传输串扰特性仿真与分析 [J]. 计算机工程与科学, 2019, 41 (4): 612-617.  
 [2] 周晨曦, 曾国强. 基于 USB 3.0 的高速数据传输接口设计 [J]. 计算机测量与控制, 2020, 28 (5): 146-150.  
 [3] 李俊杰, 曹旭东, 梁华庆, 等. HDMI 高清音视频系统的高速 PCB 的研究及实现 [J]. 电视技术, 2016, 40 (12): 34-39, 45.  
 [4] 吴均, 黄刚, 庄哲民. 高速串行总线过孔结构优化及设计与仿真协同流程 [J]. 电子技术应用, 2017, 43 (8): 32-36.

(下转第 221 页)