

基于以太网传输的图像处理系统设计及 FPGA 实现

高尚尚¹, 王新宇¹, 王小丫¹, 王媛媛¹, 王如刚¹, 郭乃宏²

(1. 盐城工学院 信息工程学院, 江苏 盐城 224051;

2. 盐城雄鹰精密机械有限公司, 江苏 盐城 224006)

摘要: 为了保存经过采集和处理后的图像, 并且确保传输图像的实时性和高效性, 设计了一种远距离、高效率传输存储系统, 该系统的 FPGA 主控芯片是 Altera 公司研发的 Cyclone IV E 系列, 通过以太网中的 UDP 协议实现图像数据的传输; 首先, 通过摄像头 OV5640 进行图像数据的采集; 其次, 把采集到的数据进行图像预处理; 然后, 把处理后的图像通过 SDRAM 进行缓存; 最后, 通过网线利用 UDP 传输协议传输到上位机上进行保存; 该方法适用于数据传输量大、传输距离远以及传输效率高等要求, 并且能够实时的保存处理后的图像数据, 为后续的处理奠定了基础。

关键词: FPGA; UDP 协议; OV5640; SDRAM; 传输距离

Design of Image Processing System Based on Ethernet Transmission and FPGA Implementation

GAO Shangshang¹, WANG Xinyu¹, WANG Xiaoya¹, WANG Yuanyuan¹,
WANG Rugang¹, GUO Naihong²

(1. School of Information Technology, Yancheng Institute of Technology, Yancheng 224051, China;

2. Yancheng XiongYing Precision Machinery Company Limited, Yancheng 224006, China)

Abstract: In order to save the collected and processed images and ensure the real-time and high-efficiency transmission images, a long-distance and high-efficiency transmission storage system is designed. The FPGA main control chip of the system is Cyclone IV E developed by Altera Co., and the transmission of the image data through the UDP protocol in the Ethernet can be realized. Firstly, the image data is collected through the camera OV5640; secondly, the collected image data is preprocessed, and then, the processed image is cached through the SDRAM; finally, the processed image is transmitted to the host computer through the network cable using the UDP transmission protocol. This method is suitable for the requirements of large data transmission volume, long transmission distance and high transmission efficiency. And it can save the processed image data in real time, the foundation for the subsequent processing is established.

Keywords: FPGA; UDP protocol; OV5640; SDRAM; transmission distance

0 引言

随着智能科技的发展和进步, 以太网传输技术和图像处理技术也在不断的被使用。对大吞吐量的数据进行实时处理和快速传输是必不可少的。一方面, 随着多媒体技术的发展, 视频传输的方式也要求向实用性、智能化和现代化发展。传统的视频传输方式主要是通过电缆进行传输, 但电缆的线路不易分支、维修困难、工艺要求高, 并且只适用于区域性传输, 对目前来说是一件很大的弊端^[1]。随着计算机局域网的发展, 为了数据能够快速、准确的传输,

以太网技术应运而生^[2-3]。以太网具有兼容性好、成本低、通信速率高、传输距离远等特点, 其被广泛应用在工业智能、网络视频、交换机等特定场合。以太网技术也在不断的发展, 从最早的标准以太网 (10 Mbps) 到快速以太网 (100 Mbps), 再到千兆以太网 (1 000 Mbps) 以太网技术也在随着传输速率的要求在不断适应时代的发展^[4-6]。目前, 市场上也出现了万兆以太网 (10 Gbps), 它拓展了 IEEE802.3 协议和 MAC 的规范, 理论上使传输速率能够达到 10 Gbps^[7]。但是在日常生活中, 标准以太网和快速以太

收稿日期: 2022-01-06; 修回日期: 2022-02-11。

基金项目: 江苏省研究生实践创新计划项目 (SJCX21_1517); 江苏省高等学校自然科学研究重大项目 (19KJA110002); 国家自然科学基金项目 (61673108); 江苏省高校自然科学研究面上项目 (18KJD510010, 19KJB510061); 江苏省自然科学基金项目 (BK20181050)。

作者简介: 高尚尚 (1998-), 男, 江苏沛县人, 硕士生, 主要从事智能控制系统及其信号检测方向的研究。

王媛媛 (1982-), 女, 辽宁瓦房店人, 硕士, 讲师, 主要从事通信技术、计算机视觉及图像处理等方向的研究。

引用格式: 高尚尚, 王新宇, 王小丫, 等. 基于以太网传输的图像处理系统设计及 FPGA 实现[J]. 计算机测量与控制, 2022, 30(7): 213-218.

网已经能够满足绝大多数的应用需求，只有对数据量庞大且传输速率要求较高的等场合，才会用到千兆以太网甚至是万兆以太网。另一方面，随着超大规模数字集成电路的发展，现场可编程门阵列（FPGA，field programmable gate array）由于其独特的灵活性和强大功能性被越来越多的行业所使用，如工业、医疗、人工智能和图像处理等方面^[8-11]。因此，为了满足大吞吐量数据的处理速度和传输速度，本文以 FPGA 为图像数据处理的硬件平台，将以太网作为图像数据处理的传输媒介，对图像数据进行采集、处理、缓存、传输和存储。

1 系统的总体设计

该系统主要包括时钟模块、图像采集单元、图像处理单元、图像缓存单元以及以太网传输存储单元。其中，时钟模块主要是由 PLL 锁相环为 IIC 驱动和 SDRAM 缓存产生驱动时钟。系统的主要设计思路是通过图像采集单元实现 OV5640 摄像头内部寄存器的驱动和配置，并编写 SCCB 协议来传输采集的图像数据，然后，图像处理单元对采集到的图像数据进行图像数据转换，把原彩色数据转换成 8 位的灰度数据，并进行了滤波和边缘检测的预处理。由于采集图像数据的吞吐速度与输出图像数据的吞吐速度不一致，所以在输出图像数据之前先经过 SDRAM 缓存一帧图像数据后，才允许输出数据。最后，为了迎合以太网传输数据的位宽，在输出数据之前先经过图像数据封装，把 SDRAM 输出的 16 位数据封装成便于以太网接收的 32 位数据，随后在经过 UDP 传输模块把数据发送到上位机上进行显示存储。该系统整体框图如图 1 所示。

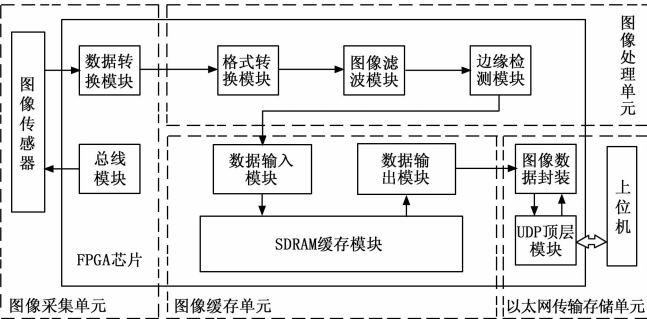


图 1 整体框图

2 图像采集模块的设计

图像采集模块所使用的摄像头是豪威科技公司生产的 CMOS 图像传感器，型号为 OV5640。它的感光阵列能够达到 $2\,592 \times 1\,944$ ，能够实现最快 15fps QSVGA ($2\,592 \times 1\,944$) 或者 90fps VGA (640×480)。传感器的内部具有图像处理的功能，可以对采集到的原视频先进行白平衡、自动曝光控制等操作，这些功能需要寄存器来配置驱动，而驱动寄存器的接口通过 SCCB 接口控制，其接口协议兼容 IIC 接口协议^[12]。OV5640 摄像头的工作原理是由时序发生器控制感光阵列把光信号转换成模拟信号；经过增益放大

器后进入位宽为 10 的 AD 转换器里，转换成数字信号；然后通过 ISP 进行相关的图像处理，最后输出 10 位的数据流。

SCCB 接口有两线制和三线制，两线制的接口只能是一个主器件对一个从器件进行控制。由于是实时拍摄，数据的传输量较大，所以 OV5640 摄像头与驱动之间采取的是两线制 SCCB 协议来进行图像的数据传输。SCCB 协议与 IIC 协议的传输方式相似，SCCB 的接口总线由 SIO_C 串行时钟线和 SIO_D 串行双向线构成，即 IIC 协议中的 SCL 和 SDA 信号线。SCCB 写传输协议如图 2 所示，通过查询 OV5640 的开发手册，其器件地址为 7'h3c，所以在 SCCB 写传输协议里，ID Address (W) 器件地址左移 1 位，低位补 0，即器件地址为 8'h78。图 2 中 X 表示不必关心位，该位是由从机 OV5640 发出应答信号来响应主机 FPGA，表示当前 ID Address、Sub-address 和 Write Data 的寄存器数据是否传输完成，由于从机 OV5640 有可能不发出应答信号，因此主机 FPGA 可以不用判断此处是否有应答，可以直接默认为当前数据传输完成。

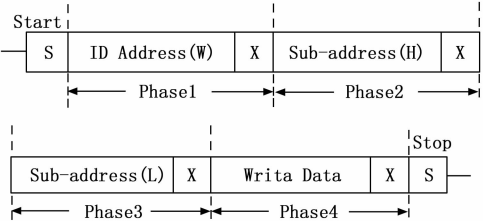


图 2 SCCB 写传输协议

OV5640 内置众多的寄存器，需要驱动指定的寄存器来实现相应的功能，程序中配置的关键寄存器如表 1 所示。

表 1 OV5640 关键寄存器配置说明

地址	默认值	详细说明
0x3008	0x02	Bit[7]: 软件复位 Bit[6]: 软件电源休眠
0x3017	0x00	输入/输出控制 (0: 输入 1: 输出) Bit[7]: FREX 输出使能 Bit[6]: VSYNC 输出使能 Bit[5]: HREF 输出使能 Bit[4]: PCLK 输出使能 Bit[3:0]: D[9:6] 输出使能
0x3808	0x0A	Bit[3:0]: DVP 输出水平像素点数高 4 位
0x3809	0x20	Bit[7:0]: DVP 输出水平像素点数低 8 位
0x380A	0x07	Bit[2:0]: DVP 输出垂直像素点数高 3 位
0x380B	0x98	Bit[7:0]: 输出垂直像素点数低 8 位

摄像头 OV5640 采集图像数据流程为：1) 由 PLL 时钟模块为 IIC 驱动模块提供 25 MHz 的驱动时钟，并且由 IIC 驱动模块驱动 OV5640 SCCB 接口；2) IIC 的寄存器配置模块需要对有关寄存器的地址、数据和起始信号进行配置，同时输出 OV5640 有关寄存器的地址、数据和启动 IIC 驱动模块的信号，并且与 IIC 驱动模块的用户接口相连接，完成对 OV5640 摄像头的基础配置；3) 在系统时钟的驱动下，

将输出的行、场同步信号、使能信号和 16 位视频数据流传输给图像处理模块, 完成对图像数据的采集工作。

3 相关算法及缓存的设计

3.1 图像灰度化

摄像头 OV5640 采集输出的图像数据格式是 RGB565, 那么一个点如果算上 RGB 色彩, 其维度就会达到 1 600 万以上, 特征量、计算量等会呈指数倍增长。一方面, 为了减少计算量, 对图像进行灰度处理, 那么一个点也就 256 个维度, 极大地降低了设备的功耗和时间。另一方面, 对物体进行识别最关键的因素是像素梯度, 即物体的边缘。由于受到不同光照的影响, 同类物体颜色也会有较大的变化, 为了减少光照等其他因素的影响, 采用灰度图来进行梯度计算。因此, 获取灰度图像的过程可表示为: 1) 将采集到的 RGB564 图像数据格式采用高位补低位的方式转换成 RGB888 图像数据格式; 2) 根据公式 (1) 将 RGB888 图像数据格式转换成 YCbCr 图像数据格式; 3) 提取 YCbCr 图像数据格式中的灰度分量即 Y 分量, 完成图像数据灰度化处理。

$$Y = 0.299R + 0.587G + 0.114B \quad (1)$$

由于 Verilog HDL 很难对浮点数进行运算, 所以对式 (1) 中的浮点数先扩大 256 倍使其变成整数, 再整体除以 8 即右移 8 位, 转换的过程如式 (2) 所示:

$$Y = ((77 * R + 150 * G + 29 * B) >> 8) \quad (2)$$

为了实现实时信号的处理, 本算法采用流水线操作, 第一级流水线分别对三基色进行乘积并行运算, 第二级再对第一级得到 3 个数进行求和, 第三级对第二级得到的结果进行移位运算, 每一级的运算都相差一个像素时钟, 运算速度整体提高了 3 倍。

3.2 中值滤波

在进行图像采集的同时, 噪声的干扰也是不可避免的。为了减少图像数据中噪声的干扰, 必须对图像进行滤波处理。常见的滤波处理方式有线性滤波和非线性滤波。线性滤波包含方框滤波、均值滤波和高斯滤波等, 非线性滤波包含中值滤波等。均值滤波是归一化后的方框滤波, 输出图像的每一个像素是核窗口内输入图像对应像素的平均值, 但是本身具有一定的缺陷, 它既不能很好的保护图像去除噪声时的细节部分, 使图像变得模糊, 也不能很好的去除图像上的噪声干扰, 尤其是椒盐噪声。高斯滤波作为一种线性平滑滤波技术, 它是自身和邻域内的其他像素值经过加权平均后得到的每一个像素点的值, 常用于图像处理过程中的减噪过程, 可以很好的消除高斯噪声, 但是算法复杂, 占用资源多。

在满足图像要求的前提下, 同时考虑到实现滤波的复杂性和有效性, 该系统采用中值滤波来消除图像数据中孤立的噪声点, 使图像的想数值更接近真实值。其基本原理是图像或者数字序列中一点的值用其邻域中各点的中值代替, 让周围的像素值更加接近真实的像素值, 用于消除孤立的噪声点。与均值滤波比较, 噪声成分未被放入平均计

算中, 中值滤波里的噪声成分很难被选上, 所以几乎不会影响到输出的结果。系统采用 3×3 的矩阵窗口来实现中值滤波。获取中值的方式有冒泡排序法、选择排序法等, 但是在 FPGA 上所占用的资源多不易实现, 因此本文采取流水线的操作方式, 在图像的 3×3 矩阵中快速获取中值: (1) 在生成的 3×3 像素矩阵中, 每行按大、中、小排序; (2) 提取每列中最大值中的最小值、中间值的中间值、最小值中的最大值; (3) 对步骤 (2) 所产生的 3 个值再次进行比较, 提取出中值。该方式提高了运算速度, 确保了图像能够实时处理。

3.3 8 个方向 sobel 边缘检测

由于图像边缘和噪声属于高频信号, 仅仅依靠频带的方式很难提取出边缘信息。边缘检测的目的是为了标识数字图像里亮度变化明显的点。常见的边缘检测有 Roberts 算子、Sobel 算子、Prewitt 算子和 Canny 算子等。Roberts 算子计算梯度的方法较为简单, 其采用的是对角线方向相邻两个像素的差值, 但不能对 45° 倍数的边缘进行检测, 虽然定位相对比较精确, 但由于不包括平滑, 对噪声比较敏感。Prewitt 算子与 Sobel 算子都采用两个核对目标图像进行卷积, 一个核垂直边缘的响应最大, 另一个核水平边缘的响应最大, 两个卷积绝对值的最大值作为该点的输出值。Prewitt 算子是平均滤波, Sobel 算子是加权平均滤波且检测的图像边缘可能大于两个像素, 它们对灰度渐变的低噪声图像都有很好的检测效果。Prewitt 算子在计算上比 Sobel 算子简单一些, 但容易产生一些新的噪声, 而 Sobel 算子边缘检测效果较好, 受噪声的干扰的影响也较小, 但会出现一些伪边缘, 导致定位精度不高。与 Sobel 算子和 Prewitt 算子相比, Canny 算子没有充分利用边缘的梯度方向而是在边缘的梯度方向上做非极大值抑制和双阈值的滞后阈值处理, 使得边缘检测的定位精度更加准确。不同的系统, 针对不同的环境要求, 选择合适的边缘检测是必要的。该系统选择的是 Sobel 算子对图像进行边缘检测, 传统的 Sobel 算子采用的是 4 个方向的梯度与目标图像进行卷积计算。为了保证传输的实时性和边缘信息的准确性, 该系统采用 8 个方向的 sobel 算子进行边缘检测^[13]。Sobel 算子主要利用垂直方向算子、水平方向算子、 45° 方向算子和 135° 方向算子与目标图像进行卷积计算, 8 个方向的 sobel 算子模型如图 3 所示。

对水平变化、垂直变化、 45° 变化和 135° 变化分别求导并且求出其均方根, 可以得到 8 个方向的梯度值 G 为:

$$G = \sqrt{G_x^2 + G_y^2 + G_{45}^2 + G_{135}^2} \quad (3)$$

为了减少计算的工作量, 可以对式 (3) 进行近似计算:

$$G = |G_x| + |G_y| + |G_{45}| + |G_{135}| \quad (4)$$

根据经验设定阈值 T , 如果梯度值 G 大于设定阈值 T , 则判定为边缘, 用 1 来表示, 反之为 0。从图 5 可以看出, 改进的 Sobel 算子模型是待测图像进行 8 个方向上的梯度进行了检测, 改进算法引入更多的梯度计算模板, 使得边

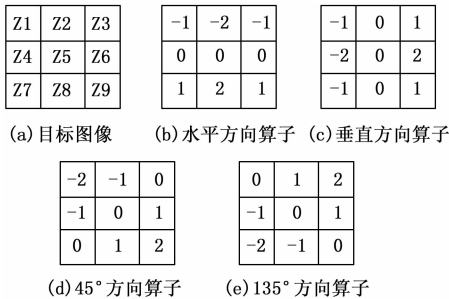


图 3 8 个方向 Sobel 算子模型

缘信息更全面。

3.4 SDRAM 缓存模块

为了保证图像数据写入的速度能够与读出的速度相匹配,把经过采集和预处理后的图像数据先经过 SDRAM 读写存储器缓存一帧数据后,再将图像数据读出。SDRAM 是一种同步动态随机存储器,它具有读写速度快、存储空间大以及价格相对便宜等特点,其内部是一个存储阵列,称为 L-Bank。SDRAM 寻址的基本原理是先指定某一行,再指定某一列,然后向行列的交叉处写入数据,通常 SDRAM 存储空间被划分成 4 个 L-Bank,在需要寻址时,先指定其中的一个 L-Bank,然后在指定的 L-Bank 里选择相应的行与列进行寻址。SDRAM 利用电容的充电和放电特性以及可以保存电荷的能力来存储数据,它主要由行选通三极管、列选通三极管、存储电容和刷新放大器组成,当行选通三极管和列选通三极管使存储电容与行地址线和列地址线导通时,可以执行放电与充电操作,即读取和写入。SDRAM 的存储容量大小的计算方式是 L-Bank 的数量与行数、列数和存储单元容量的乘积得到的,系统采用 SDRAM 的型号为 W9825G6DH-6,该芯片的内部具有 4 片 BANK 区域,行、列地址分别为 13 bit 和 9 bit,总线位宽为 16 bit,存储空间为 32 MB,可以满足实时视频数据缓存的基本要求。

由于 SDRAM 在 FPGA 中的时序非常复杂,所以本文把 SDRAM 存储器封装成类似 FIFO 接口,便于用户操作。如图 4 所示,PLL 时钟模块通过调用 PLL IP 核来产生 100 MHz 和 100 MHz 相位偏移时钟作为 SDRAM 读写控制模块的驱动时钟。FIFO 控制模块作为 SDRAM 控制器与用户端的交互接口,当用户端写入 FIFO 的数据量达到设定的突发长度时,数据将通过 SDRAM 控制器自动写入 SDRAM 存储器中;并且当读出 FIFO 的数据量没有达到设定的突发长度时,将通过 SDRAM 控制器自动读出 SDRAM 存储器中的数据。SDRAM 控制器主要包含了 3 个子模块:SDRAM 状态控制模块、SDRAM 命令控制模块和 SDRAM 数据读写模块。其中,SDRAM 状态控制模块根据 SDRAM 内部及外部操作指令控制初始化状态机和工作状态机。SDRAM 存储芯片的初始化、行激活、读写刷新、预充电等一系列操作均是通过 SDRAM 状态控制模块实现。SDRAM 命令控制模块则是根据两个状态机当前的状态给

SDRAM 输入对应的控制命令。SDRAM 数据读写模块则是通过数据总线输出使能信号 `sdr_am_out_en` 来控制 SDRAM 双向数据总线的输入和输出。同时根据工作状态机的状态,在写数据时将写入 SDRAM 里的数据发送到 SDRAM 数据总线上,在读数据时将寄存 SDRAM 数据总线上的数据。

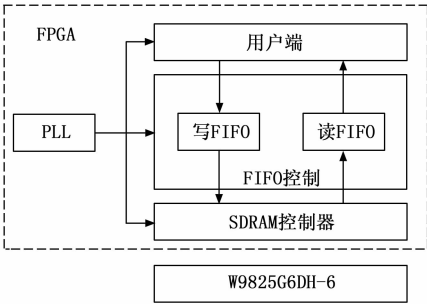


图 4 SDRAM 读写系统框图

4 以太网传输存储的设计

以太网实时传输视频所采用的传输层方法一般是 TCP 协议和 UDP 协议^[14-16]。TCP 协议可以通过一次握手机制来保障两端间数据传输的相对可靠性。但是,当接收数据时,接收方要校验数据是否正确,如果数据正确会返回一个数据正确信号的报文。只有当发送方接收到返回的报文时,才会发送下一个数据,否则,将重新发送原来的数据包,直到数据正确。虽然这种发送机制对于传输数据而言是十分合理的,但是要想达到实时传输的效果就会出现很多问题。如延迟问题,当在传输通道中数据丢包率高时,由于 TCP 协议的机制,数据将不断的重复发送,造成传输通道的堵塞,视频延时大,传输质量下滑,不能达到实时传输的效果。而 UDP 与 TCP 相比较而言能够提供更高的吞吐量和比较低的延迟。因此,UDP 协议更适合实时传输的场合^[17-18]。

UDP 协议是一种无连接、不可靠的传输协议,它位于 OSI 模型中的传输层,其传输速度比 TCP 协议快,占用资源比 TCP 协议少,满足实时视频传输的要求。以太网数据包格式为前导码+帧起始界定符+以太网帧头+以太网数据段+帧检验序列。其中,数据段包含了 IP 首部 and IP 数据段,IP 数据段包含了 UDP 首部和 UDP 数据段,而 UDP 数据段中的数据就是用户想要的有效数据。图 5 为以太网 UDP 传输数据包格式^[19-20]。

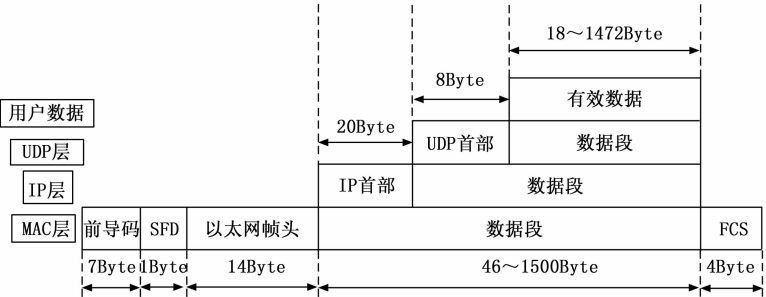


图 5 以太网 UDP 传输数据包格式

以太网传输模块是本文设计的核心，它包含图像数据封装模块和 UDP 模块。因为图像经过处理后存储到 SDRAM 里缓存，而 SDRAM 输出的数据位数是 16 位，所以对缓存后的图像数据封装成以太网方便发送的 32 位数据。经过图像数据封装模块输出的数据是 32 位数据，而 GMII 接口是 8 位数据接口，因此发送模块主要是完成 32 位数据转 8 位数据的功能^[21]。UDP 模块一般包含 3 个子模块即接收模块、发送模块和 CRC 校验模块。由于该系统只负责将打包好的图像数据发送给上位机上，因此该系统的 UDP 模块只包含发送模块和 CRC 校验模块。UDP 发送模块跳转图如图 6 所示，发送模块包括前导码、帧起始界定符、以太网帧头、IP 首部、UDP 首部、有效数据、CRC 校验，这些需要发送的数据采用三段式状态机实现，由 skip_en 信号控制发送。UDP 发送模块最初处于空闲状态，当检测到发送使能的上升沿时会跳转到 IP 首部校验和计算状态，当 IP 首部校验完成后，前导码、帧起始界定符、以太网帧头、IP 首部、UDP 首部、有效数据和 CRC 校验值会根据 skip_en 信号按顺序发送。其中，在发送数据状态下会有一个读 FIFO 发送请求信号，把 FIFO 里存储的数据发送出去。CRC 校验模块是对除了前导码和帧起始界定符之外的发送数据做校验，并把每次校验的结果拼在 FCS 字段中。如果校验值错误或者不存在，那么将会直接丢弃掉这一帧数据。

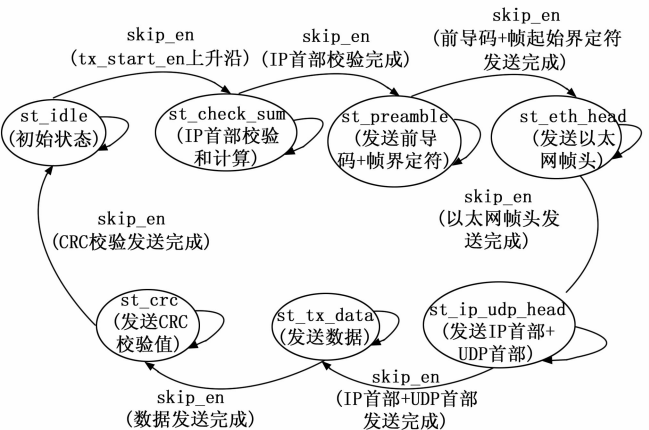


图 6 UDP 发送模块跳转图

5 实验测试

本次实验是以 Quartus 16.1 为开发环境、以 Verilog HDL 为开发语言在 FPGA 上实现的，FPGA 的系统时钟为 50 MHz，所采集的分辨率为 1 024×768，通过网线将开发板与上位机连接，把目的 IP 地址设置为 192.168.0.3，确保程序中的目的 IP 地址与上位机的 IP 地址保持一致。系统所占用的逻辑单元为 4 472 bit，占用开发板逻辑单元的 44.7%。图像传输的结果如图 7 所示，图 7 (a) 是上位机接收到 FPGA 发送的视频图像数据，从图中可以看出图像的边缘信息相对准确；图 7 (b) 为上位机实时存储的图像

数据。

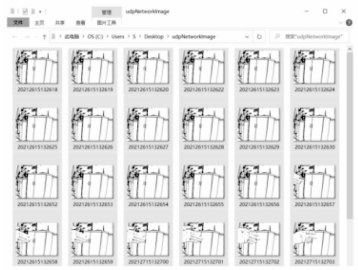
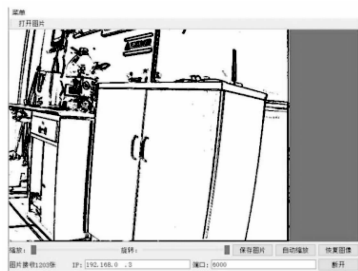


图 7 图像接收画面

为了进一步验证图像传输的准确性，采用 Wireshark 进行抓包实验，查看 FPGA 开发板向上位机传输的数据包。该系统的 FPGA 的 IP 地址为 192.168.0.2，端口号设置为 5 000，从图 8 抓取到的数据可知源 IP 地址正在通过 UDP 协议流向目的 IP 地址发送数据即 FPGA 发送数据到上位机，图像的每行有效数据段为 1 282 个字节；从图 8 中还可以看出源端口号 5 000 指向目的端口号 6 000，这与图 7 (a) 中上位机设置的目的端口号一致。图 9 为某一行数据包的数据，图 9 中 0010 行里的 c0_a8_00_02 代表发送的是 IP 首部源 IP 地址，下面依次发送的是目的 IP 地址 c0_a8_00_03、UDP 首部和有效数据部分。其中，从图 9 的 0020 行可以看出 13_88 表示的是源端口号 5 000，17_70 表示的是目的端口号 6 000，05_0a 表示的是 UDP 长度，该长度为 UDP 首部与有效数据之和，从图 8 抓取到的数据包大小可知有效数据端为 1 282 个字节，UDP 首部标准为 8 个字节，因此 UDP 长度为 1 290 个字节，转换成 16 进制为 05_0a。由于图像显示的是边缘检测后的结果，所以从图中可以看出有效数据均为 ff。

No.	Time	Source	Destination	Protocol	Length	Info
1	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
2	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
3	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
4	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
5	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
6	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
7	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
8	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
9	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
10	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
11	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
12	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
13	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
14	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
15	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
16	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
17	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
18	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
19	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282
20	0.000000	192.168.0.2	192.168.0.3	UDP	1290	192.168.0.2 → 192.168.0.3 [Len=1290] Seq=1282

图 8 抓到的数据包

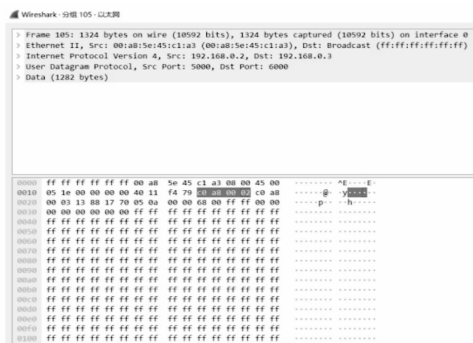


图 9 某一行详细数据

6 结束语

本文设计了一种基于 FPGA 和以太网实时存储的系统,该系统通过对图像数据进行采集、预处理、SDRAM 缓存和以太网传输显示等设计研究,实现了图像数据的远距离、高效率的实时存储。实验结果表明,预处理后的图像数据边缘信息较为完整,以 UDP 传输的协议可以满足实时性的要求,以网线为传输方式可以一定程度上增大传输距离,为车辆检测、药物检测等方面提供了一些便利。

参考文献:

- [1] 钟锦生, 韩秉军. 有线传输技术的发展趋势 [J]. 电子技术与软件工程, 2016 (18): 44.
- [2] 王 莉. 浅谈以太网技术在工业控制领域的发展 [J]. 漯河职业技术学院学报, 2013, 12 (5): 48-49.
- [3] 宋国际, 兰继明. 论计算机网络技术的应用及发展 [J]. 电子制作, 2014 (19): 125-126.
- [4] AMANDA PELLICIONE. 2016 MOBILITY, ETHERNET & WIRELESS STUDY: Using, integrating Ethernet technologies [J]. Control Engineering, 2017, 64 (9): 10.
- [5] 涂孝军, 张 莹, 李晓平. 汽车以太网技术发展现状与趋势探究 [J]. 汽车实用技术, 2021, 46 (5): 35-38.
- [6] 李 晶. 基于千兆以太网的 FPGA 高速数据采集传输系统的设计与实现 [D]. 北京: 北京邮电大学, 2019.
- [7] 沈淑秋. 基于万兆以太网的高速图像传输显示系统研究与实现 [D]. 西安: 西安电子科技大学, 2019.

(上接第 212 页)

- [15] HUANG G B, ZHU Q Y, Siew C K. Extreme learning machine: theory and applications [J]. Neurocomputing, 2005, 70 (1): 489-501.
- [16] 王莉荣, 祁云嵩. 基于函数最优解问题的粒子群算法改进 [J]. 计算机技术与发展, 2013, 23 (2): 49-51, 56.
- [17] 李生好. 红外目标模拟器动态校准系统光学系统设计 [J]. 红外与激光工程, 2018, 47 (9): 344-350.
- [18] LI S H. Optical system design in infrared target simulator dynamic calibration system [J]. Infrared and Laser Engineering, 2018, 47 (9): 918007.

- [8] 韩俊刚. 论 ASIC 与 FPGA 之争 [J]. 计算机工程, 2004 (8): 10-12, 25.
- [9] 倪健民, 韩绍程. 基于 FPGA 的视频图像处理综合性实验项目开发 [J]. 实验技术与管理, 2021, 38 (9): 161-165.
- [10] 刘汝卿, 李 锋, 蒋 衍, 等. 基于 FPGA 的运动目标实时检测系统设计 [J/OL]. 计算机测量与控制: 1-5 [2022-02-07].
- [11] 林 青, 黄玉蕾, 焦 纯. 基于 FPGA 的实时图像采集与分析系统设计 [J]. 计算机测量与控制, 2017, 25 (7): 218-221.
- [12] 韩 众, 李智中, 曹 飞. 基于 FPGA 的图像接口的设计 [J]. 现代工业经济和信息化, 2018, 8 (5): 37-39, 97.
- [13] 潘少伟, 王蒙歌, 王亚玲, 等. 改进 Sobel 算子对岩心图像的边缘检测研究 [J]. 数学的实践与认识, 2021, 51 (17): 119-129.
- [14] 张艺瀚, 张志斌, 赵 咏, 郭 莉. TCP 与 UDP 网络流量对比分析研究 [J]. 计算机应用研究, 2010, 27 (6): 2192-2197.
- [15] K. S. NIRMALA BAI. A Review on Wireless Communication Protocol and Security Privacy: Connectivity-UDP Protocols [J]. International Journal of Wireless Networks and Broadband Technologies (IJWNBT), 2019, 8 (2): 11-17.
- [16] 吴 迪. 基于 UDP 通信协议的 PC 与 PLC 数据传输 [J]. 燃料与化工, 2021, 52 (5): 34-35.
- [17] 郑天宇, 尹达一. 千兆 UDP/IP 协议栈 FPGA 实现及其在高速成像系统中的应用 [J]. 现代电子技术, 2018, 41 (18): 1-5, 11.
- [18] 付高原, 郭 臣, 潘进勇, 等. 基于 FPGA 的 UDP 点对点传输协议实现 [J]. 电子设计工程, 2017, 25 (2): 181-184.
- [19] 杨青山. 基于 FPGA 的千兆以太网接口应用研究与实现 [J]. 无线互联科技, 2018, 15 (16): 37-38, 43.
- [20] LI J H, WANG G C, ZHANG M, et al. Design of an UDP Protocol Stack IP for Internet Communication [J]. Applied Mechanics and Materials, 2012, 1945 (198-199): 1716-1719.
- [21] 葛长宽. 基于 FPGA 的千兆以太网接口设计及其应用 [D]. 天津: 天津大学, 2014.

- [19] ZHANG Y X, LI X, et al. Design and performance test of self-calibration multichannel infrared radiometer [J]. Journal of Applied Optics, 2020, 41 (4): 743-753.
- [20] CHEN H, TAN C, LIN Z, et al. Classification and quantitation of milk powder by near-infrared spectroscopy and mutual information-based variable selection and partial least squares. Spectrochim [J]. Acta A189 (2018) 183-189.
- [21] 丁文皓, 张 霞, 方 奇. 红外辐射特性校准技术研究进展 [J]. 宇航计测技术, 2021, 41 (1): 9-14.
- [22] 汪建刚, 韩占锁, 秦 艳, 等. 高量值红外辐射照度校准技术研究 [J]. 应用光学, 2020, 41 (6): 1262-1267.