

# 国产超大规模集成电路测试系统综合试验验证方法

闫丽琴<sup>1</sup>, 冯建呈<sup>1</sup>, 王占选<sup>1</sup>, 殷 晔<sup>1</sup>, 刘 莹<sup>2</sup>, 李小龙<sup>1</sup>

(1. 北京航天测控技术有限公司, 北京 100041; 2. 北京微电子技术研究所, 北京 100076)

**摘要:** 为全面验证国产超大规模集成电路测试系统的工作指标和性能, 提出测试系统的一种综合试验验证方法, 根据测试系统不同的验证阶段, 分别从系统仪器技术指标测试试验验证、系统软硬件功能测试试验验证和系统集成电路测试能力试验验证 3 个阶段开展综合试验, 并针对各阶段的验证方法开展测试系统的试验验证实例分析, 验证实例结果表明该综合试验验证方法能够全方位验证国产超大规模集成电路测试系统的工作指标、功能性能以及测试能力, 进一步验证所述方法的可行性; 该验证方法能够有效解决集成电路测试系统投入测试应用前的试验验证问题, 也为新研集成电路测试系统的指标与功能性能验证提供一种有效的综合验证思路。

**关键词:** 国产超大规模集成电路测试系统; 综合试验验证方法; 技术指标测试; 软硬件功能测试; 测试能力试验验证

## Comprehensive Test Validation Method of Domestic Very-large-scale Integration Test System

YAN Liqin<sup>1</sup>, FENG Jiancheng<sup>1</sup>, WANG Zhanxuan<sup>1</sup>, YIN Ye<sup>1</sup>, LIU Ying<sup>2</sup>, LI Xiaolong<sup>1</sup>

(1. Beijing Aerospace Measurement & Control Technology Co., Ltd., Beijing 100041, China;

2. Beijing Microelectronics Technology Institute, Beijing 100076, China)

**Abstract:** In order to fully verify the indicators and performance of the domestic Very-large-scale integration (VLSI) test system, a comprehensive test validation method of the test system is put forward. Depending on the verification phase of the test system, some methods are respectively researched from the system test and verification of test instruments indicators, hardware and software function and integrated circuit test capability. Aiming at each stage verification method, the test verification example analysis is carried to the test system. The test results show that the method can verify the indicators, functional performance and test ability in the domestic VLSI test system, and the feasibility of the method is further verified; This method can effectively solve the test verification problem in the IC test system before the test system is put into the application. An effective test verification idea is also provided for the indicators and performance of the new IC test system.

**Keywords:** domestic VLSI test system; technical index test; functional test of hardware and software; test capability verification; comprehensive test and verification method

## 0 引言

集成电路测试是保证集成电路设计效果、制造质量等的重要手段, 是集成电路产业不可或缺的重要组成部分。集成电路测试设备贯穿于集成电路全产业链的始终, 尤其对于超大规模集成电路测试来说, 其所需测试设备在测试速度、测试精度、自动化程度和测试可靠性等方面有着较高要求<sup>[1-2]</sup>。

当前高端集成电路测试设备主要集中在芯片生产大国日本和美国, 其测试能力也代表了国际上最先进的集成电路测试水平, 如日本 Advantest 的 V93000 测试系统、美国 Teradyne 的 Ultra Flex 测试系统等, 上述测试设备在高端集成电路测试市场始终占据领先地位, 具有较强的技术和品牌优势。国内少数优秀的测设备制造企业在多年的研发和积累, 目前也掌握了集成电路测试设备的相关核心技术,

所研制生产的集成电路测试系统拥有自主知识产权, 占据了一定市场份额, 如长川科技、华峰测控等, 有力推动了国内集成电路测试产业的飞速发展<sup>[3]</sup>。

而新研集成电路测试系统投入市场测试应用前需开展一系列详细充分地验证试验, 开展验证工作的目的就是要保证测试系统的设计能够完全满足系统定义的要求, 包括系统的工作指标、系统功能、性能稳定性等, 试验验证已经成为测试系统设计流程中设计成本和推向市场时间的一个重要技术壁垒<sup>[4]</sup>。目前国内许多小型测试系统在进入测试应用前也都采取相应的验证方法开展了一系列测试试验工作, 如一种基于 PMU 的集成电路测试系统, 其试验性能分析方法侧重于对集成电路测试精度和测试速度的要求, 且测试系统只针对直流参数测试<sup>[5]</sup>; 一种基于 FPGA 的设计系统采用与传统系统对比测试的论证分析方法, 验证所设计系统具有更快的测试速度<sup>[6]</sup>; 基于 LK8810 平台的性能

收稿日期: 2021-12-30; 修回日期: 2022-02-14。

作者简介: 闫丽琴(1985-), 女, 河北石家庄人, 硕士, 高级工程师, 主要从事集成电路测试与验证方向的研究。

引用格式: 闫丽琴, 冯建呈, 王占选, 等. 国产超大规模集成电路测试系统综合试验验证方法[J]. 计算机测量与控制, 2022, 30(8): 277-282.

验证采用了基于典型数字芯片进行系统化测试的性能测试验证方法,进一步验证系统测试结果的精准性<sup>[7]</sup>。上述验证方法均从单一角度验证所设计测试系统的合理性和优越性。本文给出一种系统性的综合试验验证方法,分成不同的试验验证阶段,分别验证测试系统的技术指标、系统软硬件功能以及系统所具备的测试能力,进而达到全方位验证测试系统工作指标和功能性能的目的,为后续测试系统能够快速有效地进入市场应用奠定技术基础。

### 1 系统总体架构及组成

基于模块化构建的国产超大规模集成电路测试系统,能够适用于包含数字、模拟、数模混合等接口和功能的超大规模集成电路的测试需求。测试系统主要由测试头和辅助单元组成的硬件平台、上位机软件平台和测试接入装置等组成,如图 1 所示。

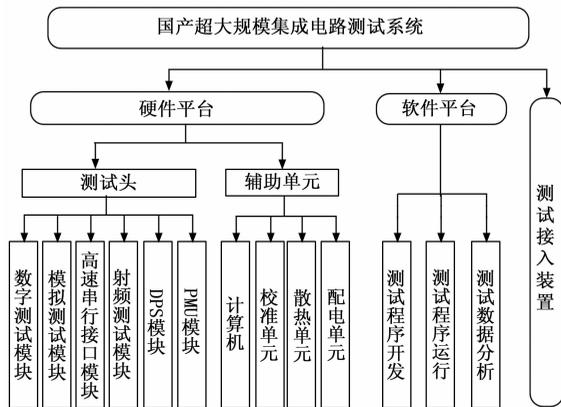


图 1 测试系统组成

其中,硬件平台作为系统的支撑平台,装载系统所有的测试资源,包含数字测试模块、模拟测试模块、射频测试模块、高速串行接口测试模块、DPS 模块和 PMU 模块,此外硬件平台还包括测试头正常工作所必需的辅助单元,如计算机、配电单元、校准单元和散热单元,为待测芯片的供断电、信号收发、功能控制、参数测试等提供硬件基础<sup>[8]</sup>。软件平台主要由测试开发、测试运行和数据分析 3 个子平台组成,实现集成电路测试矢量和测试程序的开发调试、测试程序运行控制、测试数据存储分析等功能;测试接入装置是连接测试系统硬件资源和被测集成电路的接口装置。

### 2 系统工作原理

#### 2.1 硬件平台工作原理

硬件平台工作原理如图 2 所示。计算机作为系统的主控制单元,安装上位机测试软件,通过高性能 PXIe 高速测试总线实现对各测试功能模块的时钟分配、通信、同步等控制功能,进而在测试过程中完成芯片时序、功能、功耗、直流参数等功能性能测试。系统所有测试资源通过各自的测试线缆、转接连接器、弹簧针(Pogo Pin)和相应的结构件连接到统一的测试资源接口,实现系统所有测试资源基于 Pogo Pin 组件的对外转接。上述所有测试资源安装在测

试头中。

测试接口板对接固定在基于 Pogo Pin 组件的测试资源接口连接器上,在测试接口板上安装针对待测芯片设计的 Socket 插座<sup>[9]</sup>。

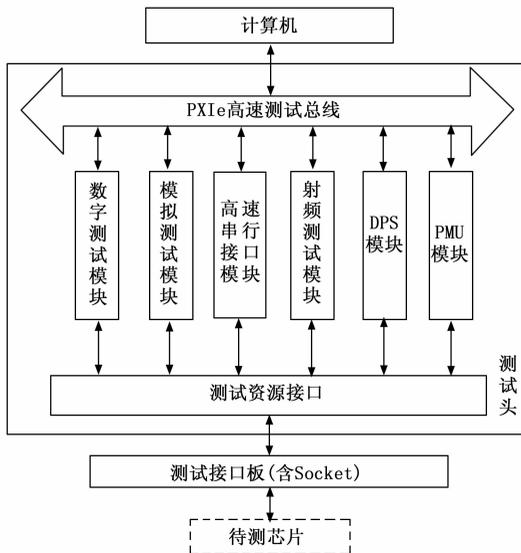


图 2 硬件平台主要工作原理

#### 2.2 软件平台工作原理

软件平台由测试开发子平台、测试运行子平台和数据分析子平台组成。其中,测试开发子平台提供多样化的测试程序开发编辑入口,包括芯片引脚 Pin、资源映射 Package、电源 Power、电平 Level、时序 Timing、矢量 Pattern、直流参数配置 DC、测试项目 Test、测试流程 Flow 等;测试运行子平台提供测试程序的执行引擎,按照用户配置的测试流程要求,实现测试程序对硬件测试资源的有序控制与调度,并提供一系列调试功能,实现在调试模式下的运行控制,提高测试过程的可操作性;数据分析子平台首先提供一系列可视化调试数据分析工具,完成过程数据和结果数据的分析工作,完成数据报表和日志信息的输出,另外可对测试执行过程中产生的大量测试数据进行统计、相关性和趋势分析。

软件平台的主要工作原理如图 3 所示。首先将待测芯片的仿真设计文件转换为本系统数字测试资源可以识别的标准测试接口语言(STIL, standard test interface language)格式矢量文件<sup>[10]</sup>,在测试开发子平台开发待测芯片的测试流程,通过流程加载测试矢量文件,在运行前完成测试矢量的编译工作,将编译无误的矢量文件下载至测试头内部相应的功能模块中<sup>[11]</sup>。测试程序执行过程中,根据软件平台运行环境配置信息,控制测试流程进行单项、全流程等测试操作,完成对仪器资源的调度控制过程,将流程配置参数和矢量数据转换为仪器可执行的具体动作,实现多仪器资源的协同工作,完成对测试资源的调度与管理,读取和存储测试结果数据<sup>[12]</sup>,利用可视化数据分析工具完成调试过程数据分析和测试结果的离线处理及分析。

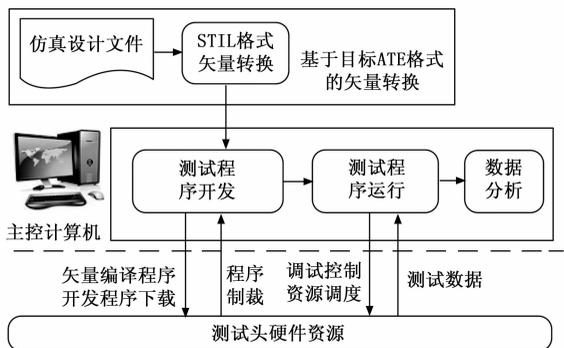


图 3 软件平台主要工作原理

### 3 系统综合试验验证阶段

针对所研制的国产超大规模集成电路测试系统开展综合试验验证工作, 既包含测试系统本身的仪器技术指标验证、软硬件功能验证, 也包括系统测试能力的试验验证。因此, 国产超大规模集成电路测试系统综合试验验证过程主要包含 3 个阶段: 测试系统仪器技术指标测试试验验证、系统软硬件功能测试试验验证和系统集成电路测试能力试验验证, 如图 4 所示。

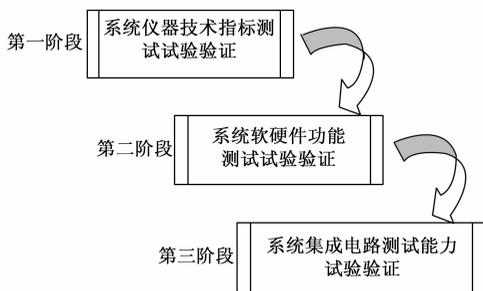


图 4 系统综合试验验证阶段

第一阶段: 测试系统仪器技术指标测试试验验证, 通过外部标准仪器, 如数字多用表、示波器、频率计等, 对系统提供的仪器模块主要技术指标进行测试验证, 确保测试系统提供的仪器模块技术指标能够满足测试指标要求。

第二阶段: 系统软硬件功能测试试验验证, 主要针对系统软硬件具备的基本功能开展测试验证, 采用基于无需复杂测试矢量数据的集成电路, 实现对测试系统内部测试板卡的硬件电路功能和软件平台基本功能的验证, 达到验证系统软硬件基本功能并优化改进系统设计等目的。

第三阶段: 系统集成电路测试能力试验验证, 是在第一阶段和第二阶段测试验证的基础上, 选取典型超大规模集成电路作为测试试验验证对象, 如千万门级 FPGA、超高速高精度 ADC/DAC 等。通过测试系统对具有代表性的超大规模集成电路开展测试试验, 完成测试系统对超大规模集成电路测试能力的全面试验验证。

### 4 系统综合试验试验方法

#### 4.1 系统仪器技术指标测试试验验证

##### 4.1.1 试验验证方法

系统仪器技术指标验证主要针对国产超大规模集成电

路测试系统提供的数字测试模块、模拟测试模块、高速串行接口测试模块、射频测试模块、DPS 和 PMU 等各测试模块开展信号指标测试试验验证。通过外部经计量合格的标准仪器作为信号源或信号分析设备, 进行各模块技术指标的试验验证, 主要验证内容如表 1 所示。

表 1 系统测试模块主要指标测试验证内容

序号	模块名称	主要指标内容
(1)	数字测试模块	数据速率、电压范围、驱动电流等
(2)	模拟测试模块	分辨率、采样率、信号带宽等
(3)	高速串行接口测试模块	串行总线数据速率、多类型高速串行协议接口仿真功能等
(4)	射频测试模块	射频信号源和采集频率、带宽等
(5)	DPS	供电电源的电压、电流范围、精度、分辨率等
(6)	PMU	电压、电流范围等

系统仪器技术指标测试试验验证如图 5 所示, 根据不同测试模块的信号特性和指标内容, 将模块通过测试工装和测试线缆连接至相应的测试仪器, 如对数字信号测试模块进行指标测试时, 需将模块连接数字多用表、任意波形发生器、高速数字示波器、任意波形发生器、高速数字示波器等标准仪器, 进行数据信号速率、电压范围和驱动电流等指标的测试。

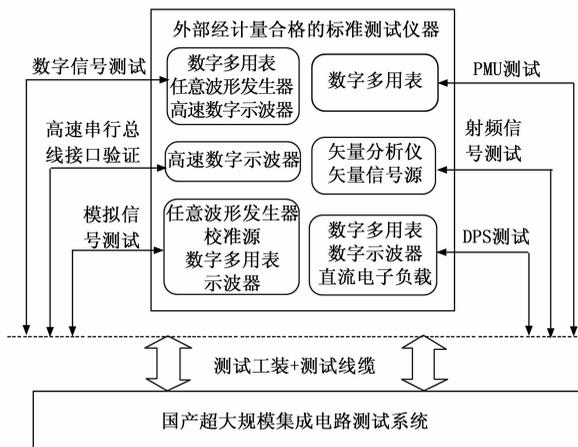


图 5 系统仪器技术指标测试试验验证原理框图

##### 4.1.2 试验验证分析

以数字测试模块的数据速率技术指标测试试验为例, 为验证其最大数据速率指标 1.6 Gbps, 分别从数字信号的发生和采集两方面进行数据收发速率的测试验证。

通过上位机软件控制数字测试模块输出 800 MHz 周期方波 (1.6 Gbps), 使用高速数字示波器测量模块输出信号的频率, 以此来验证数字信号测试模块输出信号的最大数据速率; 利用外部任意波形发生器输出 20 MHz 周期波形, 通过上位机控制数字测试模块采样该信号, 每个采样周期包含  $80 \pm 1$  个采样点。根据上述测试原理进行数字测试模块输出信号和采集信号最大数据率指标的测试。数字测试模块最大数据率指标测试试验验证原理如图 6 所示。

数字测试模块采集数据速率指标测试时, 将外部任意

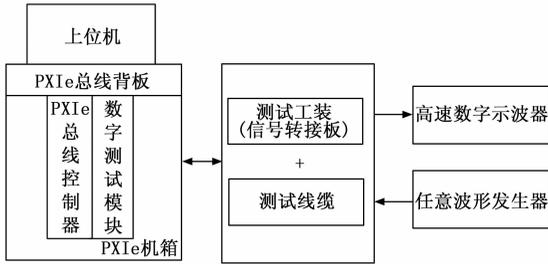


图 6 数字测试模块最大数据率指标测试试验验证原理

波形发生器连接至测试工装,实现模块通道和外部任意波形发生器的连接,控制任意波形发生器输出 5 V/20 MHz 周期波形,上位机软件控制模块进行信号采集,查看模块的捕获数据,将每周期的采样点数进行记录,查看每个周期是否包含  $80 \pm 1$  个采样点,验证数字测试模块采集速率是否满足 1.6 Gbps 最大数据率指标要求。

数字测试模块输出信号数据速率指标测试时,将高速数字示波器通过测试工装、测试线缆与数字测试模块通道连接,在上位机编写 1.6 Gbps 数字信号发生的测试矢量文件,并下载矢量文件,控制模块输出信号,通过高速数字示波器查看数字通道输出的信号波形,测量模块输出的信号频率。利用高速示波器测量数字测试模块输出的 800 MHz 周期波形 (1.6 Gbps) 如图 7 所示,可以看出所测波形频率  $f = 1 / \Delta x = 803.568$  MHz (约 1.6 Gbps),满足信号输出的数据速率指标。

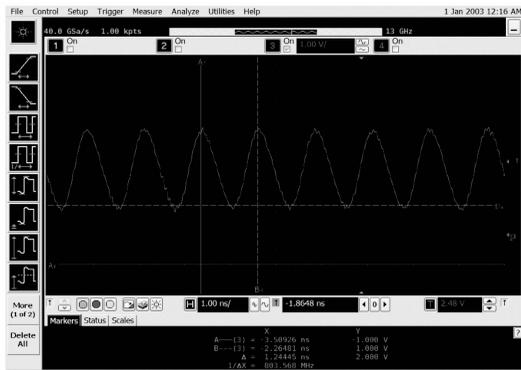


图 7 高速数字示波器测量数字通道输出信号速率

按照试验方法依次测试系统各项仪器技术指标,可以方便、清晰地验证系统仪器技术指标是否满足要求,为后续开展集成电路测试试验奠定基础。

## 4.2 系统软硬件功能测试试验验证

### 4.2.1 试验验证方法

系统软硬件功能的测试试验验证主要针对测试系统的电路连接关系、软硬件基本功能、测试接口板设计等开展基本验证,主要采用基于验证芯片的试验验证方法。其中,验证芯片考虑采用不需要复杂测试矢量的数字集成电路、并行或低速串行存储器等。针对验证芯片在上位机软件平台开发单独的测试程序,通过对芯片的测试调试过程,完成测试系统工作过程、测试接口连接关系、软硬件基本功

能、芯片测试流程等方面的基本功能验证,并根据试验验证结果对系统进行优化改进。系统软硬件功能测试试验验证总体流程如图 8 所示。

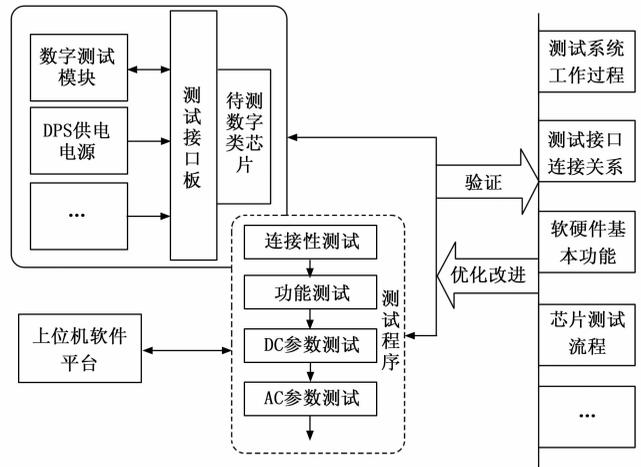


图 8 系统软硬件功能测试试验验证总体流程

### 4.2.2 试验验证分析

以某计数器芯片作为面向本系统基本功能的测试试验验证对象,该芯片主要功能为预置数据同步 4 位二进制计数器,其测试过程无需复杂的测试矢量数据。该芯片测试验证方案所需硬件资源主要包括数字通道和供电电源,测试资源接入过程采用子母板的接口形式,在上位机软件平台开发芯片测试验证流程示例,主要包括以下测试项目:连接性测试、功能测试、DC 参数测试 (Iil/Iih、Vol/Voh 等)、AC 参数测试 (Tpd 等) 等基本测试项。

其中,通过连接性测试验证测试接口板设计、测试资源通道与待测芯片引脚连接关系设计的正确性;通过功能测试验证系统具备测试矢量编译、下载和运行等功能;通过 DC 参数测试验证 DPS 模块的供断电功能以及数字测试模块的 PPMU 功能,进一步验证系统具备 DC 参数基本测试功能;通过 AC 参数测试验证系统具备时间量相关参数的基本测试功能。在上位机软件平台运行上述测试项目,根据运行结果不断丰富和完善测试系统的软硬件基本功能、人机交互显示功能等,使得系统满足用户测试的基本需求。通过反复运行测试项目,验证系统运行过程的稳定性。该计数器芯片部分直流参数测试结果如图 9 所示。

将测试流程所有参数的运行结果与芯片数据手册电参数特性相比较可知,芯片参数测试结果均在正常范围内,优化改进后的测试系统能够满足集成电路测试的基本要求,测试运行过程稳定可靠,测试结果精度较高。由此,采用基于验证芯片的试验验证方法能够有效验证并改进测试系统的软硬件功能,使得系统满足集成电路的基本测试需求。

## 4.3 集成电路测试能力试验验证

### 4.3.1 试验验证方法

集成电路测试能力试验验证是在第一阶段和第二阶段测试试验验证的基础上,针对性开展满足超大规模集成电路测试需求的系统测试能力的验证。通过分析典型超大规模

test:[ML_Test]							
LevelBlock							
信号名称	Vih	Vil	Voh	Vol	Vtt	ClampH	ClampL
MR/	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
CP	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
CEP	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
PE/	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
CET	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
D3	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
D2	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
D1	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
D0	3V	800mV	0.0V	0.0V	1.5V	0.0V	0.0V
TC	3V	0.0V	2V	1V	1.5V	5.5V	-100mV
Q3	3V	0.0V	2V	1V	1.5V	5.5V	-100mV
Q2	3V	0.0V	2V	1V	1.5V	5.5V	-100mV
Q1	3V	0.0V	2V	1V	1.5V	5.5V	-100mV
Q0	3V	0.0V	2V	1V	1.5V	5.5V	-100mV

DCBlock				
信号名称	实测值	下限	上限	结果
MR/	497.900373nA	-1uA	1uA	通过
CP	412.207043nA	-1uA	1uA	通过
D0	411.230473nA	-1uA	1uA	通过
D1	426.123051nA	-1uA	1uA	通过
D2	385.595711nA	-1uA	1uA	通过
D3	378.271494nA	-1uA	1uA	通过
CEP	381.201175nA	-1uA	1uA	通过
PE/	377.539066nA	-1uA	1uA	通过
CET	400.976574nA	-1uA	1uA	通过

图 9 计数器芯片直流参数部分测试运行结果

模集成电路的测试需求<sup>[13]</sup>, 验证系统对超大规模集成电路的测试方法、大规模向量处理能力、多模块数字信号同步能力等关键技术, 实现代表性产品的高覆盖率测试, 最终全面验证系统的测试能力。典型超大规模集成电路主要包括 CPU 等高端芯片、FPGA 等可编程器件、存储类芯片和数模混合类芯片等 4 类。

1) CPU、SoC、DSP 等高端芯片: 集高性能运算、通讯、存储、控制以及各种接口于一体, 功能强大。在电路设计时通常考虑采用可测试性设计思路, 在电路中增加测试结构, 方便实现芯片的测试, 所采用的测试方法主要有功能点测试、基于扫描链的测试、边界扫描测试等<sup>[14-15]</sup>。

2) FPGA 等可编程器件: 具备高密度、高集成度、高速、高带宽和可编程特性, 集成多种 IP 模块。大容量、高速度的 FPGA 通常内嵌可配置高速 RAM、PLL、LVDS、LVTTL 以及硬件乘法累加器等模块, 加上其灵活的可配置特性以及先进的开发工具, 可很好地解决数字信号处理的并行性和速度问题。上述可配置高性能资源模块一般可通过内建自测试 (BIST) 来完成高覆盖率测试, 进而验证各项功能特性是否满足要求<sup>[16]</sup>。

3) 存储类芯片: SRAM、DRAM、FLASH 等主流存储器芯片朝着容量更大, 体积更小, 速度更快, 功耗更低的趋势快速发展。存储器测试需要给器件提供大量的测试激励并读取大量的单元数据信息, 其功能测试是按照逐个周期施加向量。测试向量一般基于不同的测试算法生成, 主要包括全 0 全 1 (MSCAN) 算法、March 算法、棋盘格算法、漫游 (GALPAT) 算法等<sup>[17-18]</sup>。算法的选择一方面要满足故障覆盖率广, 另一方面测试效率要尽可能高。

4) A/D、D/A 等数模混合类芯片: 具备数字电路的规

模, 具备模拟电路的精度, 同时其测试参数横跨时域、频域的传输特性, 测试难度较大, 尤其对于目前应用较广的高速高精度转换器, 其接口速度已大大超过数字信号的处理速度, 进一步增加了测试激励的难度。在该领域测试技术研究方面, 国内外已经做了大量的研究工作, 对于高速高精度转换器的测试研究主要集中于参数的测试方法、测试理论以及动态测试技术等方面<sup>[19]</sup>。

通过针对性的分析上述不同类型超大规模集成电路的特点及测试特性, 选取具有代表性的国产超大规模集成电路覆盖上述类型, 开发相应测试试验方案, 完成代表性超大规模集成电路的高覆盖率测试, 从而验证本测试系统对超大规模集成电路的测试能力。

#### 4.3.2 试验验证分析

本文以国产 BQ5V 系列某型 FPGA 作为系统测试能力的验证对象之一, 它是等效系统门数达到千万门级的 SRAM 型 FPGA, 内部包含了可编程逻辑模块 (CLB)、通用输入输出模块 (IOB) 以及各种 IP 资源, 可通过 JTAG、串行模式或并行模式现场配置, 灵活实现各种所需功能, 主要性能指标与国外 Xilinx 公司产品兼容, 适用于逻辑控制、数据处理等多种应用。主要试验验证内容及试验方案如下:

1) 连接性测试: 利用数字测试模块 PPMU 功能, 完成被测 FPGA 的连接性测试;

2) 供电功能: 利用 DPS 模块, 完成 FPGA 内核、外围 IO 的供电功能;

3) 功能测试: 利用数字测试模块, 结合 SCAN/BIST 测试技术, 完成 CLB 模块、IR 模块、DLL 模块、IOB 模块和回读模块等功能测试内容;

4) 参数测试: 利用数字测试模块完成 DC、AC 参数测试内容。其中, DC 参数包括输出电平、漏电流、功耗等; AC 参数包括 CCLK 输出延迟、PLL 最大锁定时间、PLL 最大输出频率等。

千万门级 FPGA 测试验证试验方案原理如图 10 所示。

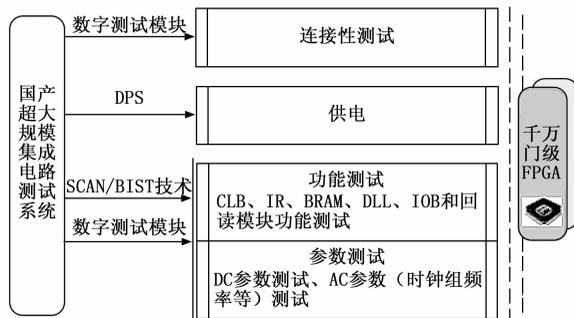


图 10 FPGA 测试验证试验方案原理框图

根据上述测试验证试验方案, 设计并研制测试系统与待测 FPGA 芯片适配连接的测试接口板, 在上位机软件平台开发 FPGA 的测试项目和测试流程, 测试验证需完成 FPGA 芯片的电参数测试及功能测试<sup>[20-21]</sup>。SRAM 型 FPGA 电路与普通数字电路测试最大的区别在于所有的测试参

数和功能必须先运行配置程序,使被测电路处于特定的工作状态后才能施加相应测试条件和激励,从而完成测试。

该型 FPGA 电路 IO 引脚共 766 个,因此测试验证过程需由数字测试模块提供 766 pin 数字通道,至少涉及 6 块数字板卡(每板 128 Pin),用于进行 DC 参数、AC 参数和功能测试。FPGA 芯片部分直流参数测试结果如图 11 所示。

```
flow:[MainFlow:VOL]
test:[VOL]
[Pattern结论]:通过
DCBlock
```

信号名称	实测值	下限	上限	结果
V16	211.791992mV	0.0V	0.45V	通过
W13	199.58496mV	0.0V	0.45V	通过
Y12	209.04541mV	0.0V	0.45V	通过
Y13	222.167968mV	0.0V	0.45V	通过
M19	193.481445mV	0.0V	0.45V	通过
N18	201.721191mV	0.0V	0.45V	通过
N19	192.565917mV	0.0V	0.45V	通过
AA13	207.519531mV	0.0V	0.45V	通过
M20	221.252441mV	0.0V	0.45V	通过
P18	202.331542mV	0.0V	0.45V	通过
G20	215.454101mV	0.0V	0.4V	通过
H18	209.960937mV	0.0V	0.4V	通过
C17	212.402343mV	0.0V	0.4V	通过
D18	208.740234mV	0.0V	0.4V	通过
F19	208.740234mV	0.0V	0.4V	通过
J19	218.200683mV	0.0V	0.4V	通过
D15	216.97998mV	0.0V	0.4V	通过
B16	199.890136mV	0.0V	0.4V	通过
C18	217.285156mV	0.0V	0.4V	通过
K18	213.928222mV	0.0V	0.4V	通过
G19	210.571289mV	0.0V	0.4V	通过
E18	213.012695mV	0.0V	0.4V	通过
L19	195.007324mV	0.0V	0.4V	通过
J20	201.416015mV	0.0V	0.4V	通过
C16	204.772949mV	0.0V	0.4V	通过
E15	218.200683mV	0.0V	0.4V	通过
L20	198.364257mV	0.0V	0.4V	通过
F18	231.018066mV	0.0V	0.4V	通过
H19	220.336914mV	0.0V	0.4V	通过
K20	220.336914mV	0.0V	0.4V	通过

图 11 FPGA 参数测试验证部分运行结果

将 FPGA 测试流程所有参数的运行结果与芯片手册电参数特性数据相比较可知,芯片参数测试试验验证结果均在电参数特性规定的范围内,该测试系统能够满足国产千万门级 FPGA 芯片的测试需求,具备国产超大规模 FPGA 测试能力。通过对 FPGA 芯片的测试流程开展调试和测试试验,进一步验证了系统在针对超大规模集成电路的测试方法、大规模矢量数据处理、多数字模块信号同步处理<sup>[22]</sup>以及批量数字 IO 信号处理等方面的测试能力。通过试验方案和验证结果可知,选取典型超大规模集成电路作为验证对象开展试验验证,能够有效完成测试系统对超大规模集成电路测试能力的验证试验,达到第三阶段的试验验证目的。

## 5 结束语

对于研制集成电路测试系统在投入实际测试应用之前急需解决的试验验证问题,本文提出了一种综合试验验证方法,从系统仪器技术指标、系统软硬件功能和系统测试能力 3 个阶段出发,更加系统、全面地验证测试系统的技

术指标和功能性能。该方法也为所有新研集成电路测试系统的功能性能验证提供了一种有效的试验验证思路。按照所述试验验证方法,在测试系统投入应用前开展全方位、深层次的测试试验验证工作,重点从各类典型集成电路的故障模型覆盖、测试方法、大规模矢量转换优化等方面进行深入试验,进一步验证国产超大规模集成电路系统设计的合理性和实用性。

## 参考文献:

- [1] 毕威. 简述 IC 测试的意义和作用 [J]. 微处理机, 2017 (1): 6-8.
- [2] 韦紫菱, 常郝. 超大规模集成电路测试技术综述 [J]. 电子世界, 2019 (15): 122-123.
- [3] 俞建峰, 陈翔, 杨雪瑛. 我国集成电路测试技术现状及发展策略 [J]. 中国测试, 2009, 35 (3): 1-5.
- [4] 全红红. 亚微米数字集成电路测试与验证方法研究及实现 [D]. 济南: 山东大学, 2011.
- [5] 祝新军, 纪效礼, 何少佳. 基于 PMU 的小型集成电路测试系统实现及性能分析 [J]. 计算机测量与控制, 2018, 26 (4): 52-55.
- [6] 李晓东. 基于 FPGA 的集成电路芯片测试系统设计 [J]. 信息与电脑, 2021 (23): 125-127.
- [7] 余蓓敏. 基于 LK8810 平台的数字芯片性能测试 [J]. 新乡学院学报, 2021, 38 (9): 48-50.
- [8] 郑永丰, 张贵恒, 董阳, 等. 国产芯片自动测试系统射频测试模块设计 [J]. 计算机测量与控制, 2019, 27 (10): 41-44.
- [9] 陈勇帆. 集成电路自动测试设备接口板网表生成方法研究 [D]. 广州: 华南理工大学, 2012.
- [10] 汪若虚, 黄从开, 戚瑞民. 基于 STIL 语言的大规模数字集成电路测试软件设计 [J]. 电子质量, 2014 (4): 69-78.
- [11] 章慧彬, 朱江. 大规模集成电路测试程序开发技术及流程应用 [J]. 电子与封装, 2017, 17 (6): 10-15.
- [12] 袁薇. 标准测试数据格式 (STDF) 文件的研究 [J]. 电子元器件应用, 2009, 11 (4): 70-73.
- [13] 张建国. 集成电路的分类 [J]. 电子质量, 2020 (6): 121-125.
- [14] 武乾文, 奚留华, 郭晓宇. 一种基于应用模式的 DSP 测试技术 [J]. 电子与封装, 2018, 18 (5): 12-14.
- [15] 侯庆庆, 刘凯, 李文学. 一种 CPU 芯片功能自动测试平台的设计 [J]. 电子与封装, 2021, 21 (11): 1-5.
- [16] 林晓会, 解维坤, 张凯虹, 等. 基于 V93000 的千万门级 SRAM 型 FPGA 测试技术研究 [J]. 电子质量, 2020 (11): 30-34.
- [17] 雷静. 存储器测试方法的研究与测试程序的实现 [D]. 成都: 电子科技大学, 2009.
- [18] 李盛杰, 张磊, 顾颖. 双端口静态存储器测试方法研究 [J]. 计算机与数字工程, 2015, 43 (1): 83-86.
- [19] 吴晓涓. 混合集成电路测试系统控制软件平台设计与实现 [D]. 成都: 电子科技大学, 2021.
- [20] 王华. 基于 ATE 的 FPGA 测试技术研究和应用 [J]. 电子与封装, 2018, 18 (7): 12-15.
- [21] 周珊, 杨雅雯, 王金波. 航天高可靠 FPGA 测试技术研究 [J]. 计算机技术与发展, 2017, 27 (3): 1-5.
- [22] 尹坤. PXIe 集成电路测试系统多通道同步技术研究及实现 [D]. 成都: 电子科技大学, 2020.