

基于典型集成电路的自动测试演示验证研究

闫丽琴¹, 王占选¹, 冯建呈¹, 闫静², 任朝旭¹

(1. 北京航天测控技术有限公司, 北京 100041;

2. 北京微电子技术研究所, 北京 100076)

摘要: 当前国产超大规模集成电路测试设备由于技术指标、工作可靠性、制造成本等诸多因素, 在国内尚未得到大规模的市场应用; 从集成电路的测试需求出发, 给出了自研超大规模集成电路测试系统的总体架构组成, 重点开展了基于典型集成电路的自动测试演示验证方法研究, 并以国产某型超大规模静态存储器芯片作为演示验证的对象, 利用自研测试系统完成了基于静态存储器芯片的自动测试演示验证试验; 试验结果表明基于典型集成电路的自动测试演示验证方法和过程合理可行, 能够为国产新研超大规模集成电路测试系统推广前的自动测试演示验证提供参考, 同时可结合不同类型集成电路的测试需求深入应用到各类集成电路的测试过程。

关键词: 超大规模集成电路测试系统; 演示验证; 测试准备; 测试开发; 迭代调试; 静态存储器测试

Research on Automatic Test Demonstration and Verification Based on Typical Integrated Circuits

YAN Liqin¹, WANG Zhanxuan¹, FENG Jiancheng¹, YAN Jing², REN Zhaoxu¹

(1. Beijing aerospace measurement & Control Technology Co., Ltd., Beijing 100041, China;

2. Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: At present, the homebred very-large-scale integration (VLSI) testing equipment has not been widely used in the domestic market due to many factors, such as technical specification, working reliability, manufacturing cost, etc. In this paper, the overall structure of the self-developed VLSI test system was given from the test requirements of the integrated circuit. Meanwhile, this paper focuses on the research of automatic test demonstration and verification method based on the typical IC. At last, a certain type of homemade very-large-scale static memory chip is taken as the test objects of demonstration and verification, and the automatic verification test based on the static memory chip is completed by using the self-developed test system. The test results show that the test method and process of automatic test demonstration and verification based on the typical IC is reasonable and feasible, which provides a reference for the automatic test demonstration and verification before the popularization of the new homemade VLSI test system. Meanwhile the research content can be deeply applied to the automatic test procedure of the other ICs when combining the test requirements of different integrated circuits.

Keywords: VLSI test system; demonstration and verification; test preparation; test development; iteration debugging; SRAM test

0 引言

集成电路测试贯穿于整个集成电路设计、生产、制造、封测以及应用全过程, 对集成电路产业的发展起到了至关重要的作用。解决好集成电路测试问题, 能有效缩短产品的研发周期, 降低产品研制生产以及维护的费用, 确保产品的性能质量与可靠性^[1]。因此, 集成电路测试的能力和水平是保证集成电路性能、质量的关键手段之一, 也是集成电路测试产业的重要标志。

国外集成电路自动测试系统的研究和研制工作开始较早, 测试对象从较为简单的小规模芯片到如今各种超大规模集成电路, 已经形成了一系列成熟的集成电路自动测试设备。目前, 世界上先进的集成电路测试设备制造技术基

本掌握在美国、日本等专业测试设备生产厂家手中, 如泰瑞达、爱德万、科休等厂家。这些厂商在超大规模集成电路测试系统方面已形成了标准的体系架构, 编制出软硬件架构及数据层的相关标准, 研制出具有超大规模集成电路测试能力的自动测试设备, 引领未来超大规模集成电路测试方向的发展^[2]。

我国集成电路测试研究已经取得了初步成效。近年来, 得益于国家政策、资金等方面的大力支持, 以及国内广阔的集成电路测试市场, 我国集成电路测试产业发展迅猛, 测试技术逐渐向世界先进水平看齐^[3-4]。就高端高性能集成电路自动测试平台来说, 国内市场依旧以国外测试设备为主导。国产超大规模集成电路测试设备由于技术指标、可

收稿日期: 2021-12-30; 修回日期: 2022-03-01。

作者简介: 闫丽琴(1985-), 女, 河北石家庄人, 硕士, 高级工程师, 主要从事集成电路测试与验证方向的研究。

引用格式: 闫丽琴, 王占选, 冯建呈, 等. 基于典型集成电路的自动测试演示验证研究[J]. 计算机测量与控制, 2022, 30(8): 251-255, 302.

靠性、制造成本等诸多因素,目前在国内尚未得到大规模的市场应用^[5-6]。

本文针对国内超大规模集成电路的测试现状,一方面从集成电路的测试需求出发,分析集成电路测试的基本原理和测试要求,给出自研超大规模集成电路测试系统的总体组成和设计架构;另一方面详细研究基于典型集成电路的自动测试演示验证方法和过程;最后利用该方法在自研测试系统上开展静态存储器的演示验证试验,验证所述方法的可行性,为国内新研超大规模集成电路测试系统推广前的自动测试演示验证提供思路。

1 集成电路测试需求分析

集成电路测试是对被测器件进行检测,通过输出响应和预期结果的比较,确定或评估集成电路元器件功能和性能好坏的过程。当前集成电路测试按照测试内容进行分类主要包含:直流参数(DC)测试、交流参数(AC)测试、混合集成电路特性参数测试、功能测试等。

1.1 直流参数(DC)测试需求

直流参数测试主要测试器件有关电参数的稳定性能,一般按照被测器件设计规定,给被测器件电源引脚施加规定的电源电压后,基于欧姆定律给相应的数字引脚施加规定的电压或电流,测量被测器件规定引脚的电流或电压。通常利用 PPMU 或 PMU 测量单元,采用加流测压或加压测流的方式对芯片的数字引脚进行参数测试;此外,利用 DPS 对被测器件电源引脚进行不同状态下的功耗测试。上述测试需同时保证测试数据的精准性^[7]。直流参数通常包含输出高/低电平电压(VOH/VOL)、输入高/低电平电流(IIH/IIL)、静态电源电流(Static IDD/ICC)、动态电源电流(Dynamic IDD/ICC)、输出高阻态电流(IOZH/IOZL)等^[8]。

1.2 交流参数(AC)测试需求

交流参数主要是针对芯片的时序参数进行测试,保证器件满足时序规格要求。一般通过运行功能测试的矢量(pattern)序列来进行测试。测试的主要原理为在引脚输入端输入指定的时间边沿,特定时间后在引脚输出端检测输出的状态转换,并与预期状态进行比较^[9-10]。交流参数包括建立时间(setup time)、保持时间(hold time)、传输延迟时间(propagation delay time)以及其他时间参数^[11]。交流参数测试时,被测器件的引脚可能与测试设备的任意数字通道或者模拟通道资源连接,所以测试设备上一般需要具备时间相关量的测量单元。

1.3 混合集成电路特性参数测试需求

混合集成电路特性参数测试需求与集成电路类型密切相关。ADC 的静态参数用来衡量器件的静态性能,为实际量化特性与理想量化特性之间的偏差,动态特性通常是在频域范围内衡量器件的响应速度等特性;DAC 主要用于产生精确的电压、频谱信号以及连续波形等,其静态参数主要描述相对于每个输入码在输出端电压的表现,动态参数通常用来检验音频和视频 DAC 的高频品质。其中,静态参

数通常包括失调误差(zero error)、增益误差(gain error)、微分非线性误差(DNL)和积分非线性误差(INL)等;动态参数包括信噪比(SNR)、总谐波失真(THD)、信噪比失真(SINAD)、无杂散信号动态范围(SFDR)等^[12-13]。

1.4 功能测试(Functional Test)需求

功能测试是芯片设计验证阶段的重要一环,主要目的是通过测试过程让被测芯片在一定的时序下工作,充分暴露其逻辑电路的问题,进而反馈电路的设计缺陷。其实现过程主要借助于测试矢量数据,对被测芯片引脚施加预先设定的激励,检测输出引脚的响应与预期响应是否一致。功能测试是对被测器件内部数字或者模拟电路的行为测试,需根据不同类型的集成电路分别处理。

2 自研超大规模集成电路测试系统总体组成

根据上述集成电路测试需求分析可知,测试系统是提供源表、信号发生器、数字矢量发生器和其他软硬件组成的集合体,通过主控计算机结合自动测试软件控制测试系统完成被测集成电路产品的测试工作。自研超大规模集成电路测试系统的总体架构组成如图 1 所示。

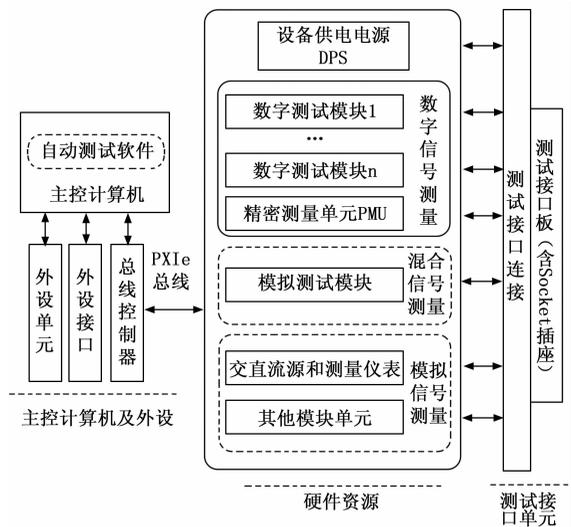


图 1 测试系统总体架构组成

测试系统硬件主要包括主控计算机及外设、硬件模块资源以及测试接口单元。其中,主控计算机作为整个测试系统的控制中心,通过 PXIe 高速总线控制接口与硬件资源进行总线通讯^[14-15]。硬件资源包含具备 PXIe 接口的各种功能集成板卡,如设备供电电源 DPS、数字测试模块、精密测量单元 PMU、模拟测试模块、交直流源和测量仪表等。测试接口单元采用模块化接口组件的弹性对接方式,通过对接测试接口板,实现系统硬件资源通道与被测芯片的引脚连接。

测试软件安装于主控计算机,主要实现测试矢量的生成和芯片测试流程的开发,生成测试程序数据流,自动完成测试软件与测试系统仪器之间的数据和指令交互,同时开展测试过程监控和测试数据的收发工作,并完成测试结

果数据的记录。在芯片测试过程中,一方面进行测试过程的可视化数据调试,另一方面可对测试结果进行数据回放和分析^[16-17],进行数据的离线处理。

该自研超大规模集成电路测试系统采用高性能 PXIe 高速测试总线的控制方式,遵循测试技术最新的集成架构,具有较强的扩展性和灵活性。该测试系统是针对数字类、模拟类和数模混合类等集成芯片的测试系统,系统硬件资源中的数字测试模块攻克了高速率多通道数字信号发生和分析技术,实现高端仪器的国产化;测试软件可实现跨平台运行,支持 STIL (standard test interface language, 标准测试接口语言) 和 STDF (standard test data format, 标准测试数据格式) 标准,使得集成电路设计数据和测试系统能够无缝连接,实现数据共享机制^[18-19]。该测试系统建立了一套完整的软硬件体系,能够有效提供集成电路测试所需的测试资源,实现集成电路的功能测试、交直流参数测试等。

3 基于典型集成电路的自动测试演示验证过程

基于典型集成电路的自动测试演示验证基本流程如图 2 所示,主要包含测试准备、测试开发和迭代调试 3 个过程。

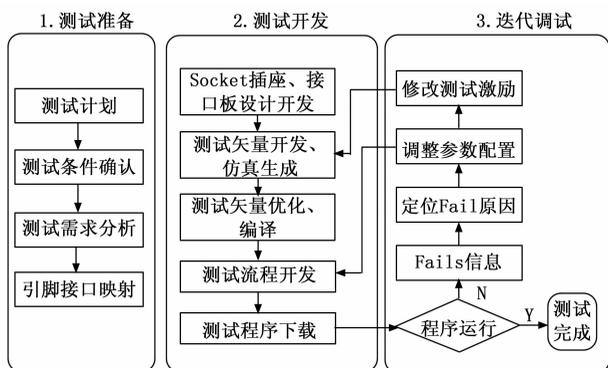


图 2 基于典型集成电路的自动测试演示验证流程框图

3.1 测试准备过程

测试准备过程开展典型集成电路测试前的准备工作,主要针对集成电路测试要求进行测试计划说明,判断所要测试的集成电路性能参数,明确待测产品的特点、频率、功耗、引脚数等详细信息,明确测试条件,进行测试需求分析,合理配置测试系统资源,确定芯片引脚与硬件测试资源之间的映射关系,制定详细的测试方案,为后续测试开发和迭代调试奠定基础。

3.2 测试开发过程

测试开发过程首先根据芯片封装特性和引脚映射关系进行 Socket 插座和测试接口板的设计开发。为了使被测集成电路和测试系统之间建立牢固、可靠和低损耗的电气连接,需要针对每类集成电路定制测试插座和测试接口板。其中,测试插座是整个测试系统中不可或缺的组成部分,尤其是在高速、高精度、大电流的电路测试中。根据电路的封装形式设计插座类型,固定方式一般采用焊接型或螺

丝紧固型,设计加工好的插座安装在测试接口板上。设计测试接口板前需进行全面仿真和综合设计,优化布局、布线,并兼顾电磁屏蔽设计,测试接口板的质量直接关系到后续所有的测试质量,否则会严重干扰被测电路的测试信号。

自研超大规模集成电路测试系统采用集成电路测试行业的 STIL 标准测试接口语言作为测试矢量数据的描述语言。测试矢量生成过程主要利用智能转换软件将集成电路的仿真数据文件或设计数据文件转换为符合 STIL 标准的时序和矢量文件,经综合后生成统一格式的 STIL 测试矢量文件。测试矢量生成方法如图 3 所示。

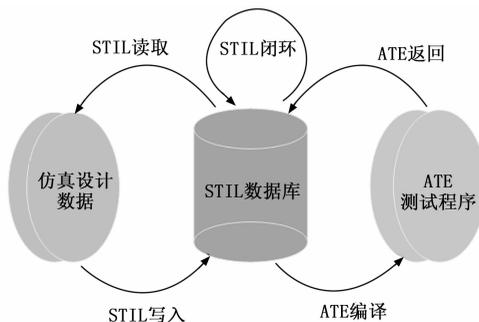


图 3 STIL 测试矢量生成方法

测试系统的存储深度有限,当集成电路的测试矢量超过系统矢量存储深度,测试将无法完成。另外,当测试矢量数据较大时,每次向系统导入以及编译矢量过程都会占用较长的时间,不便于测试程序的调试。同时,实际调试过程也会占用较长的时间,测试成本较高。因此,对测试矢量进行一定的优化,能够有效减少测试向量的存储空间,降低测试时间。矢量优化一方面从数据压缩角度进行,降低数据存储量;另一方面从矢量排序方面优化,降低测试时间^[20-21]。优化后的测试矢量需经过测试系统的专用矢量编译软件,编译为面向系统硬件的二进制数据文件,从而快速生成供测试系统数字测试模块使用的二进制测试矢量数据。

测试流程是在自动测试软件中开发符合集成电路测试逻辑的一系列测试序列数据,包含电源、电平、矢量、Timing 时序、DC 参数、测试项、测试 Flow 等配置信息和过程信息^[22],并确保测试程序能够正常下载到测试设备。

3.3 迭代调试过程

测试程序开发完成或部分完成后,需要利用实际的集成电路来进行测试过程的试运行。测试调试过程中出现各种意外情况非常常见,需要根据测试系统返回的错误现象和 Fails 信息判断问题出现的原因,定位是参数配置错误,还是测试激励仿真错误,甚至可能是接口板设计错误或者芯片本身的问题等。测试程序的迭代调试优化是测试电路测试无法省略的过程。测试程序迭代优化流程如图 4 所示。

4 静态存储器自动测试演示验证试验

本文以国产某型超大规模静态存储器芯片作为试验对

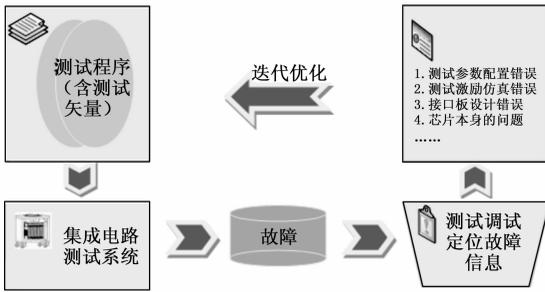


图 4 测试程序迭代优化流程

象, 利用自研超大规模集成电路测试系统开展自动测试演示验证试验, 静态存储器芯片的自动测试演示验证如图 5 所示。

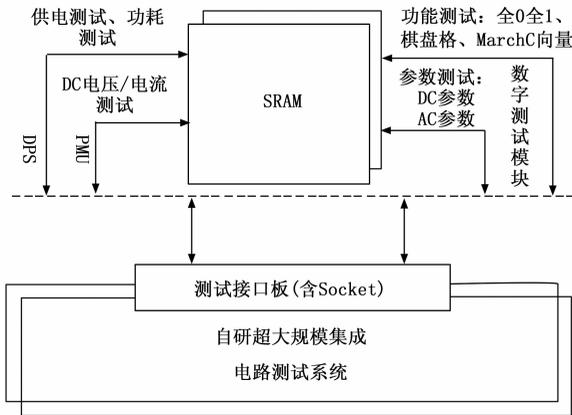


图 5 静态存储器自动测试演示验证框图

4.1 测试准备

所选取的国产某型静态存储器芯片为一款高性能、大容量 SRAM, 数据位宽 32 位, 存储器容量为 512 K×32 bit, 接口兼容 CMOS 输入输出电平, 具备双向三态数据总线, 且电路为异步操作存储器, 不需外接时钟。器件通过片选信号 \bar{E} 及读/写控制信号 \bar{W} 实现器件的写操作; 通过片选信号 \bar{E} 、输出使能信号 \bar{G} 以及读/写控制信号 \bar{W} 可实现器件读操作。芯片为 4 裸芯片封装, 每裸芯片的容量为 512 K×8 bit。器件工作状态真值表如表 1 所示。

表 1 存储器工作状态真值表

输入			输出	
\bar{G}	\bar{W}	\bar{E}	I/O 模式	工作模式
X	X	1	DQn(7:0)三态	待机
X	0	0	DQn(7:0)数据输入	写操作
0	1	1	DQn(7:0)数据输出	读操作
1	1	0	DQn(7:0)三态	读操作, 数据端口三态

注: X = Don't care; n 代表裸芯片序号。

SRAM 存储器测试包含供电功耗测试、直流参数测试、交流参数测试和功能测试^[23]。

其中, 供电测试利用测试系统的 DPS 模块, 对存储器

芯片的内核电路、外围 IO 供电, 分别完成芯片待机和在工作状态下的功耗测试。

直流参数测试主要包含输出高/低电平、输入漏电流、三态输出漏电流、待机和在工作电源电流等。利用 DPS 模块完成电源功耗测试, 采用数字测试模块的 PPMU 功能进行其他直流参数测试, 以保证测试数据的精度, 必要时通过施加测试矢量配合测试完成。

交流参数测试包含存储器特定的读/写周期、建立时间、保持时间等, 结合测试矢量, 采用参数搜索的测试方法, 通过对全局变量按照一定规律变化的赋值获取时间参数的测试结果。

对于大规模存储器电路的功能测试, 需要有大容量的矢量存储深度, 同时能够实现存储器测试的算法向量。在测试向量方面应提供包含全 0 全 1 向量, 棋盘格 (check board) 测试向量、March C 测试向量等, 以及通过基本向量算法衍生出来的改进算法, 进一步提高存储器故障模型的测试覆盖率^[24-25]。

根据上述测试条件和测试方案, 结合存储器产品手册中的引脚定义和引脚属性, 明确芯片引脚与系统硬件资源中数字测试模块和 DPS 供电模块之间的接口映射关系, 如图 6 所示。

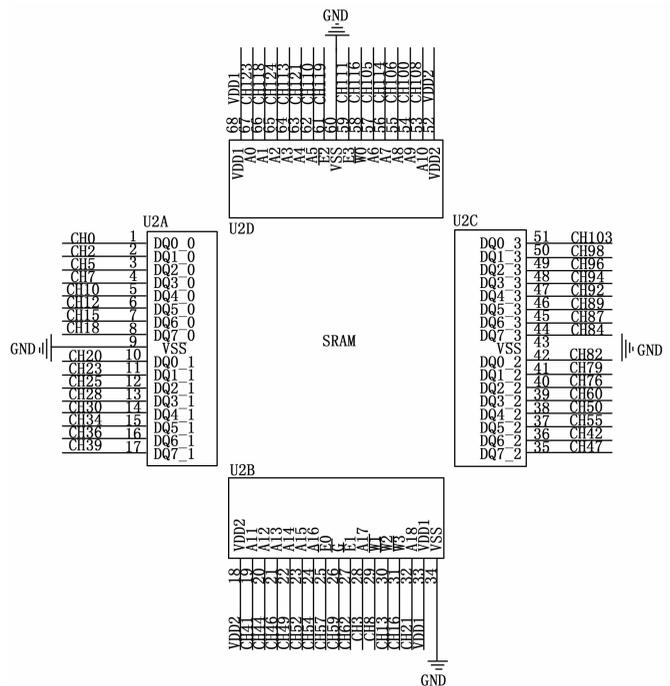


图 6 存储器引脚与硬件资源之间的映射关系

4.2 测试开发

4.2.1 测试插座和接口板设计开发

测试接口板实现被测存储器芯片引脚与测试系统资源通道之间的连接桥梁, 确保测试信号传输的完整性。针对该存储器芯片设计专门的测试接口板, 为了节省演示验证过程测试接口板的设计成本, 采用子母板的设计形式。其

中 motherboard 设计为通用测试接口板, 实现系统硬件资源的适配转接, 子板转接存储器芯片测试所需的硬件通道资源, 并安装存储器芯片测试的专用 Socket 测试插座。

4.2.2 测试矢量生成、优化和编译

根据测试需求, 测试系统提供基于 STIL 标准的存储器测试矢量算法生成工具, 包含全 0 全 1、正反向棋盘格和 March 矢量等矢量生成算法。存储器测试矢量主要通过引脚来侦测芯片制造过程中出现的缺陷, 故障模型要尽可能考虑周全, 但是测试时间仍然不能够过长, 因此, 通过不同算法的选择来完成测试矢量排序方面的优化, 减少测试时间, 并利用系统的专用编译器将基于 STIL 格式的测试矢量文本文件编译为测试系统数字测试模块可以正确识别的二进制数据文件, 进一步提高系统的测试效率。

4.2.3 测试程序开发和下载

存储器测试流程主要包含连接性测试、功能测试、直流参数测试以及交流参数测试等, 根据不同参数的测试原理, 在自动软件平台根据测试准备过程的测试方案开发存储器的 Pin 引脚定义、Package 映射、Power 供电、Level 电平、Timing 时序、直流参数、Pattern 矢量等配置项, 组织不同的测试项目, 建立存储器芯片的测试流程。最终将编译无误的矢量文件和测试程序下载至系统内部的功能板卡, 为存储器芯片测试程序的快速运行做准备。

4.3 迭代调试

迭代调试是一个反复运行测试程序的过程。静态存储器自动测试演示验证试验是在确保测试接口板设计正确和待测存储器芯片正常工作的前提下开展迭代调试。首先通过反复调试运行单个测试项目, 如输入漏电流、输出高低电平、电源功耗、各算法矢量作用下的功能测试等, 完成各个测试项目的调试, 根据测试项目运行结果定位错误原因, 如参数超限、功能矢量 Fail 等, 通过不断修改优化测试程序的配置项参数, 如电平、时序以及矢量数据文件等, 反复运行单个测试项目的测试, 确保测试项目的稳定性; 其次在单项测试通过的基础上按照相同的迭代调试原理分别开展部分以及整个存储器测试流程的调试, 验证测试流程的可执行性; 最终固化存储器芯片测试程序, 完成基于静态存储器芯片的自动测试演示验证试验过程。

表 2 为运行经过迭代调试后的存储器芯片测试流程主要典型参数结果数据与芯片电参数表规定的范围对比。根据对比结果可知, 利用该自研超大规模集成电路测试系统开展某型静态存储器芯片自动测试演示验证试验, 所有测试试验结果均在电参数表要求范围内, 满足要求。

5 结束语

随着集成电路工艺的不断发展和, 国内外市场对于超大规模集成电路芯片的要求越来越高, 必须通过全方位的测试验证其强大功能和高可靠性。针对国内超大规模集成电路的测试现状, 通过静态存储器的自动测试演示验证试验, 有效验证了基于典型集成电路的自动测试演示验证方法和过程, 一方面为国内新研超大规模集成电路测试系统推广

表 2 存储器芯片典型参数测试结果与电参数表要求范围对比

序号	测试参数名称	实测结果	电参数表要求范围	是否满足要求
1.	输出高电平 VOH	最大值:3.229 980 V 最小值:3.205 261 V	上限:— 下限:2.64 V	满足
2.	输出低电平 VOL	最大值:332.946 777 mV 最小值:264.282 226 mV	上限:0.66 V 下限:—	满足
3.	输入高电平 VIH	设置 VIH=2.31 V 时, 功能测试向量 Pass	上限:— 下限:2.31 V	满足
4.	输入低电平 VIL	设置 VIL=0.99 V 时, 功能测试向量 Pass	上限:0.99 V 下限:—	满足
5.	输入高电平电流 IIH	最大值:436.376 950 nA 最小值:364.111 315 nA	上限:1 μA 下限:-1 μA	满足
6.	输入低电平电流 IIL	最大值:434.667 981 nA 最小值:373.876 957 nA	上限:1 μA 下限:-1 μA	满足
7.	三态输出高电平电流 IOZH	最大值:405.371 082 nA 最小值:368.749 994 nA	上限:1 μA 下限:-1 μA	满足
8.	三态输出低电平电流 IOZL	最大值:401.220 717 nA 最小值:364.599 600 nA	上限:1 μA 下限:-1 μA	满足
9.	内核电源工作电流@ 1 MHz	23.621 467mA	上限:70 mA 下限:—	满足
10.	IO 电源工作电流@ 1 MHz	0.125 384 6mA	上限:0.35 mA 下限:—	满足
11.	内核电源工作电流@ 58.8 MHz	183.472 376 mA	上限:220 mA 下限:—	满足
12.	IO 电源工作电流@ 58.8 MHz	4.342 581 mA	上限:11 mA 下限:—	满足
13.	数据读取时间 tAVQV	13.653 418 ns	上限:17 ns 下限:—	满足
14.	控制有效输出使能时间 tGLQV	4.413 457 ns	上限:7 ns 下限:—	满足
15.	功能测试	全 0:Pass;全 1:Pass 棋盘格:Pass 反向棋盘格:Pass MarchC 测试:Pass	全 0、全 1、棋盘格、反向棋盘格、MarchC 测试矢量全部通过	满足

前的自动测试演示验证提供思路, 另一方面可结合不同类型集成电路的测试需求将该方法深入应用到各类超大规模集成电路的测试过程中。

参考文献:

[1] 宋铁生. 集成电路测试技术的应用研究 [J]. 电子测试, 2017 (16): 96-97.

(下转第 302 页)