

高速动态图像目标识别算法的设计与实现

张太然¹, 朱建国², 宋玉贵¹, 王永¹

(1. 西安工业大学 光电工程学院, 西安 710021;

2. 中国人民解放军 63850 部队, 吉林 白城 137000)

摘要: 为了实现对高速动态图像进行稳定的快速识别, 并将识别出的目标图像传给上位机, 应用优化的背景差分原理, 设计并验证了一种可并行计算的高速动态目标识别算法, 利用 FPGA 作为主控芯片实现了有效图像的高效采集以及实时传输功能; 首先该系统采用流水线处理方式实现对数据的实时采集, 然后利用乒乓操作来实现目标识别算法, 通过对 DDR3 进行分页操作, 将识别后的动态目标图像进行缓存, 最后采用 USB3.0 芯片实现上位机与 FPGA 进行实时传输数据; 实验结果表明, 所设计的动态目标高速识别算法可以有效识别出 6 mm 的 BB 弹, 捕获率高达 99%, 同时该系统可以实现动态目标数据的实时传输。

关键词: 高速动态图像; 背景差分; 目标识别; 实时传输; 流水线

Design and Realization of High-speed Dynamic Image Target Recognition Algorithm

ZHANG Tairan¹, ZHU Jianguo², SONG Yugui¹, WANG Yong¹

(1. School of Optoelectronic Engineering, Xi'an Technological University, Xi'an 710021, China;

2. 63850 Troops of the PLA, Baicheng 137000, China)

Abstract: In order to realize the stable and rapid recognition of high-speed dynamic images, and transmit the recognized target images to the host computer, by using the optimized background difference principle, a high-speed dynamic target recognition algorithm that can be calculated in parallel is designed and verified. FPGA as the main control chip realizes the efficient collection and real-time transmission of effective images. Firstly, the system adopts the pipeline processing to realize the real-time data collection, and then uses the ping-pong operation to realize the target recognition algorithm. Through paging operation on DDR3, the recognized dynamic target image is cached, and finally the USB3.0 chip is used to realize the real-time data transmission for the upper computer and FPGA. Experimental results show that the designed high-speed recognition algorithm for dynamic targets can effectively identify 6 mm BB bullets, Capture rate up to 99% and the system can realize the real-time transmission of the dynamic target data.

Keywords: high-speed dynamic image; background difference; target recognition; real-time transmission; pipeline

收稿日期: 2021-11-26; 修回日期: 2021-12-30。

基金项目: 陕西省教育厅重点实验室项目(18JS047)。

作者简介: 张太然(1995-), 男, 安徽巢湖人, 硕士研究生, 主要从事 FPGA 图像处理与电路设计方向的研究。

宋玉贵(1971-), 男, 河南西平人, 硕士, 副教授, 硕士生导师, 主要从事靶场光电仪器方向的研发工作。

引用格式: 张太然, 朱建国, 宋玉贵, 等. 高速动态图像目标识别算法的设计与实现[J]. 计算机测量与控制, 2022, 30(2): 229-236.

0 引言

在弹箭研制、生产与训练过程中,通常需要对弹箭的飞行参数如位置、姿态等进行跟踪测试。随着现代高超音速弹箭技术的飞速发展,使得相关的测试手段也愈发面临挑战。高速摄影技术^[1]是目前用于跟踪测量高速弹箭的常用手段,为了捕获更高速的目标,高速摄影的速度也不断提高,相应的图像数据采集速度也需要急剧提升,而且需要配备额外的精确触发设备以减少无效图像数据带来的存储、传输等成本开销。这样就会使测试系统变得庞大,可移动性变差,如果图像采集系统能够配备实时完善的动态图像识别功能将会大大简化此类高速图像测试测量系统的架构,提高系统的易部署性能。

运动目标检测技术是利用计算机视觉技术去除视频中时间和空间中的冗余信息以提取空间位置变化的过程,是计算机视觉领域的重要分支^[2],也是目标跟踪、运动图像编码、安全监控等视频分析及处理应用的关键步骤^[3]。

目前主流的移动目标检测算法主要分为 3 类^[4]:背景差分法^[5-7]、光流法^[8-9]和帧间差分法^[10-12]。文献^[13]对常见的视频序列中的运动目标检测方法进行研究和分析,并对这些方法的优越性和不足进行了比较,背景差分法检测效果较好,可以满足实时处理的要求,但是最终检测的好坏取决于背景图像的构造,如果构造不好再则不能及时地适应环境的变化^[14];光流法可以有效地识别出运动目标但是需要专业的硬件支持,而且对 FPGA 内部资源要求很高;帧间差分算法是最常用的目标图像检测算法,但是由于是利用相邻两帧的图像进行处理容易发生“空洞”以及针对速度快的目标容易出现“双影”现象^[15]。

本文在传统背景差分算法的基础上进行优化,利用 FPGA 特殊的结构,通过乒乓操作实现背景的实时更新,再通过流水线操作完成背景差分处理,检测到动态目标,相对传统算法,新算法对 FPGA 操作平台更加容易实现同时对环境的适应性更强,并且在图像进行二值化处理后进行低通滤波处理,可以有效地降低噪声污染,对动态图像的捕获率可以达到 99%。

1 背景差分算法原理

背景差分算法主要需要通过以下操作完成:背景建模、前景检测以及模型更新。该算法的基本思想将

此刻获取的每一帧图像与事先存储的背景图像进行做差处理,对差值图像数据进行二值化处理,超出阈值的动态区域则是目标图像。该算法设计简单,通过做差可以直接得出运动目标的位置、形状以及大小等信息,能够获取完整的价目标区域。背景差分图像算法中背景图像反映的是当前的图像背景,包括当前背景中静止的以及运动的背景图像信息,当前帧包含了感兴趣的运动目标信息和环境背景信息^[16]。通过对当前图像与背景图像做差,即做差所得到的信息就是当前感兴趣的运动目标。该算法的原理如图 1 所示。

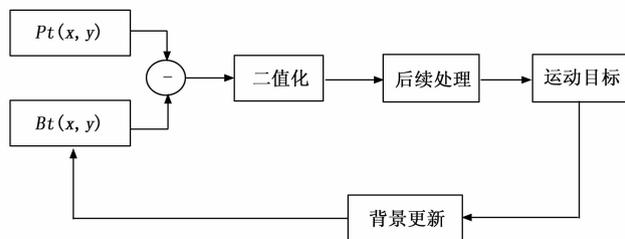


图 1 传统背景差分法原理图

传统的背景差分算法,在最初的时候,捕获一张图片进行数据分析,然后将这张图片作为背景图像存储到存储器,将采集到的实时图像作为当前图像,然后将二者进行做差处理,直到获取到目标图像前,背景都是不变的,但实际上,不同时刻环境变化很大,所以外部干扰很大,因此传统的背景差分算法不能应对复杂环境下的背景变化,只适合单一背景。

改进的背景差分算法针对背景建模进行了优化,该算法是通过将每次采集到的图像都先进行缓存,然后将下一帧采集到的图像与上一刻采集到的图像进行做差,做差得到的就是目标图像。由于本系统两帧图像之间时间间隔只有 $7.4 \mu\text{s}$,所以可以相当于上一帧的图像就是当前帧的图像背景,这样就可以保证背景是实时变化的。做差处理后,再进行二值化处理,并且对二值化后的数据进行了低通滤波处理,即判断是否有相邻的几个像素点均为 1,这样可以有效排除一些微小信号,降低外部蚊虫以及一些微小信号的干扰,从而达到高效的捕获率。改进的算法原理如图 2 所示。

- 1) 选取第一行图像 F_0 作为初始背景图像 B_0 ;
- 2) 求当前图像 P_t 与背景图像 B_t 的差分图像;

$$D_t = P_t - B_t \quad (1)$$

- 3) 对差分后的图像用阈值 T 进行二值化处理:

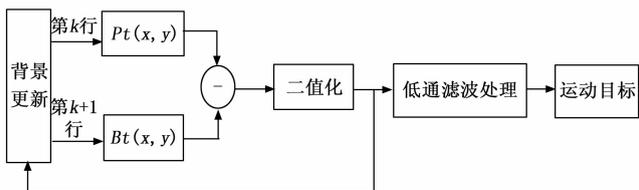


图 2 改进的背景差分原理图

$$B_{int} = \begin{cases} 0, & D_i < T \\ 1, & D_i \geq T \end{cases} \quad (2)$$

4) 对二值化后的数据进行低通滤波处理:

$$F_{irt} = \begin{cases} \{0, \{B_{in}(t+1), B_{int}, B_{in}(t-1)\} \neq \{1, 1, 1\}\} \\ 1, \{B_{in}(t+1), B_{int}, B_{in}(t-1)\} = \{1, 1, 1\} \end{cases} \quad (3)$$

5) 当对两行图像数据做过差分处理后, 就将第 k 行数据作为背景图像, 第 $k+1$ 行数据写入新的图像数据, 作为当前图像, 对其做差即可得到目标图像; 下一次将第 $k+1$ 行图像作为背景, 写入第 k 行的图像作为当前图像, 做差即可, 依次反复做差即可得到完整的动态目标。

2 FPGA 设计实现

2.1 总体设计方案

该系统采用自顶向下模块化的设计思想将系统分为图像数据接收模块、目标提取模块、DDR3 读写控制模块和 USB 传输模块 4 个模块, 系统框图如图 3 所示。

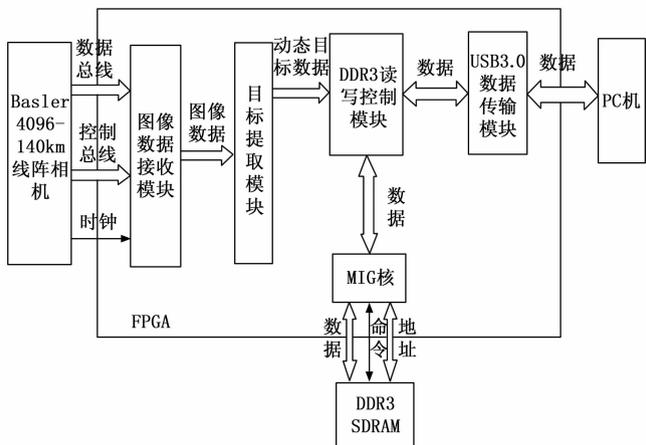


图 3 系统框图

2.2 图像数据接收模块

Camera Link 是一种基于视频应用发展而来的接

口技术, 是美国国家半导体实验室于 2000 年推出的一种通信协议, 主要是针对视频输出与采集卡之间数据传输速度不匹配的问题^[17]。CameraLink 通信协议是基于 Channel Link 技术发展的, Channel Link 标准规定了图像数据在传输过程中采用 LVDS 信号进行数据传输, 4 对 LVDS 信号在驱动器端并行传输, 每路 LVDS 信号按照 7:1 的比例串行序列化, 每路 LVDS 信号在一个时钟周期内传输 7 bit 数据, 4 路 LVDS 总共 28 bit 数据, 24 位有效数据, 4 位信号位。然后还有 1 路 LVDS 信号传输时钟信号。

Camera Link 标准定义了从 A 到 H 共 8 个端口, 它们都是逻辑 8 位的字, 低位用 bit0, 高位用 bit7 表示。Camera Link 接口共有 3 种配置, 分别为初级 (Base)、中级 (Medium) 和高级 (Full), 在 Full 模式下的传输速率最高可以达到 5.44 Gbps。在 Base 配置模式下, 只需一块 Channel Link 接口芯片; 而在 Medium 配置模式下, 则需要两块 Channel Link 接口芯片; 在 Full 配置模式下就需要 3 块 Channel Link 接口芯片^[18]。3 者需要的连接器、解码芯片以及端口分配情况如表 1 所示。

表 1 端口分配以及连接器数量

结构	端口	芯片	连接器
Base	A~C	1	2
Medium	A~F	2	2
Full	A~H	3	2

本系统采用的是外部芯片实现对 Camera Link 协议传输的数据进行编码、解码。数据输入端通过芯片 DS90CR287 实现将 28 bit 并行数据转为 4 对 LVDS 信号进行传输, 数据接收端通过外部芯片 DS90CR288 芯片将 4 对 LVDS 信号按照 Camera Link 协议转为 28 bit 并行数据传输给 FPGA 的 IO 部分。

图 4 为相机 Base 模式下输出的时序图, Clk 是像素的同步时钟, Fval 为帧有效信号, Lval 为行有效信号, Data 为数据信号, 只有当行有效信号为高电平时, 此时在像素时钟上升沿采集到的数据才为有效数据^[19]。Medium 模式可以理解为等同两个 Base 模式在同时进行传输数据, 一个通过 A~C 端口传输, 另一个则通过 D~F 端口进行传输数据; Full 模式则可以理解为同时 3 个 Base 模式在进行数据传输, 但是第 3 个 Base 模式不是传输 24 位数据而是传输 16

位数据，前两个与 Medium 相同，第 3 个则传输 G~H 两个端口数据。

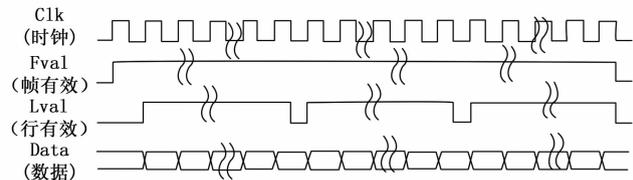


图 4 输出时序图

由于本设计采用的线阵相机，行频为 140 kHz，一帧图像有 4 096 个像素点，每个像素点 8 位，因此由公式 (4) 算出每秒采集的数据量为 546.875 MB，由于本设计采用的时钟是 80 MHz 时钟，因此 base 或者 medium 模式均不能满足数据的实时传输，因此本设计采用 Camera Link Full 模式进行数据采集。

$$140000 \times 4096 \times 8 \div 8 \div 1024 \div 1024 = 546.875 \text{ MB} \quad (4)$$

为了接收高速线阵相机传输过来的数据，考虑到 FPGA 特殊的结构，该模块采用并行设计，利用 3 个 fifo 同时接收相机传输来的 8 组数据，将 A-C 写入一个 fifo，D-F 写入第二个 fifo，G-H 写入第三个 fifo，只有当三个 fifo 均写满数据后，表示此时成功接收到图像数据。图像接收模块的仿真如图 5 所示，图中 fval_r3 表示帧有效，fifo_wr_en 为高电平表示此时数据有效，准备写入 fifo1；同理 fifo_wr_en_1 为高电平表示此时可以把数据写入 fifo2，fifo_wr_en_2 为高表示此时可以把数据写入 fifo3。当检测到 3 个 fifo 里均有数据时，且写满时，再开始进入下一个模块处理。

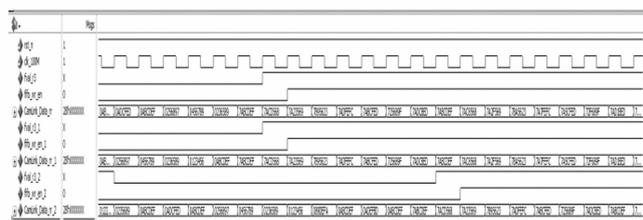


图 5 图像接收模块的仿真图

2.3 动态目标图像识别系统设计

为了满足动态目标图像的识别以及将检测到的有效的目标图像信息传输到上位机，在 FPGA 设计中采用并行流水线模块设计，并行设计如图 6 所示。将该系统分为两个子模块进行设计：动态目标识别模块

以及 DDR3 数据缓存模块，由于 FPGA 并行操作的特点，两个模块同时进行操作。在动态目标识别算法中，通过流水线设计完成对图像的动态识别，由于通过调用 fifo 以及 ram 等 FPGA 内部资源，由于 fifo 以及 ram 的特性会造成几个时钟延时，因此相对原始数据采集输入的时刻有 5 个时钟周期的延时，一个时钟周期只有 10 ns，所以延时 50 ns，可以忽略不计，从而保证动态目标图像识别的实时性。在 DDR3 缓存模块中，考虑到存在连续运动的高速目标会被检测到，因此将 DDR3 分为 32 个区域，用来放置不同的动态目标，然后通过 DDR3 的读写将连续运动的目标图像上传到上位机。

用动态目标识别模块输出的 Flag 信号来控制每一页的读写，可以保证每一个目标在每一页被采集。

上述两个模块同时进行处理，当动态识别模块未检测到目标图像时，DDR3 的数据只会在当前页进行重复写，当检测到目标图像后，此时对 DDR3 下一页进行读写，当再次检测到目标图像的时 i ，继续写入下一页。由于并行处理，大大提高了算法执行的速度，同时通过 DDR3 的分页控制可以有高效的识别出连续检测。

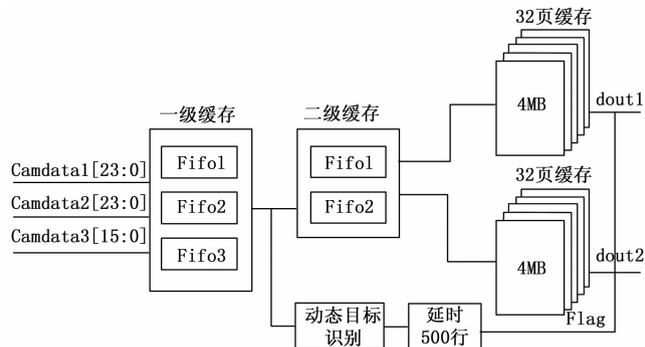


图 6 并行设计框图

2.3.1 动态目标识别

动态目标识别算法主要是在背景差分算法的基础上优化的，动态目标算法如图 7 所示。首先将第 k 行、第 $k+1$ 行图像数据分别写入到 FPGA 内部的两个简单双口 RAM 中，然后在写下一行图像开始传输到第 k 行数据存储的 RAM 时，此时将两个 RAM 中数据同时读出来，对读出的数据进行绝对值做差处理，接着对做差之后的图像数据进行二值化处理，通过二值处理就可以识别出动态目标图像，但是考虑到在室外会存在蚊虫等外部环境干扰，因此在二值化处

理以后, 还增加了一个低通滤波处理, 即当检测到有连续的几个大于阈值的像素点时, 才表明此时采集到的图像数据为目标图像数据。由于采集的动态目标图像只有几厘米, 最大的也就几十厘米, 因此一幅图像所占有的像素行数非常少, 通过对目标图像进行 500 行图像数据的延时, 保证采集到的图像显示在外接屏幕中间, 当延时结束输出一个标志位输出到 DDR3 模块, 当 DDR3 接收到该信号时, 开始对原始图像数据进行传输。

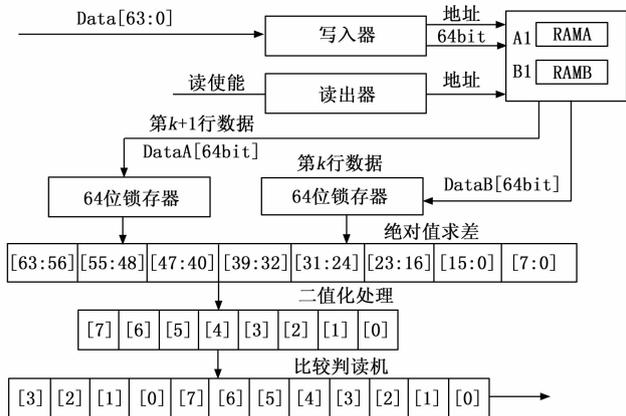


图 7 动态目标算法框图

图 8 展示的是动态目标算法仿真图, 该图通过 modelsim10.7 软件仿真得出的图, 阈值 (threshold-value) 给的是 14, 阈值可以通过上位机经过 USB 发送到 FPGA 端进行阈值更改。当进行阈值处理后, 通过判断连续为 1 的值是否满足设定的要求, 设定的连续个数为 6, 通过判断 flag_trigNum 信号, 此时为 FFFF, 满足低通滤波要求, 此时表示检测到目标信号, 输出 flag_trig_r 信号给 DDR3 模块, 表示此时可以将数据写入到 DDR3 模块, 图中的减数 (jianshu) 表示当前图像数据, 被减数 (beijianshu) 表示的是背景图像。

2.3.2 DDR3 控制模块

DDR3 (double data rate SDRAM) 的中文名称为双倍速率同步动态随机存储器, 双倍速率是指在工作时钟的上下沿都会对数据进行采样^[20]。通过上下沿采用的访问方式可以让该存储器相对普通存储器来说, 采样频率会提高一倍, 这种采样方式造成存储速率也得到提升。DDR3 由 8 个 bank 组成, 每个 bank 都是按照行、列形式排列, 并且每个 bank 都对应一个片选信号 (CS)。DDR3 通过对 bank 地址以及行

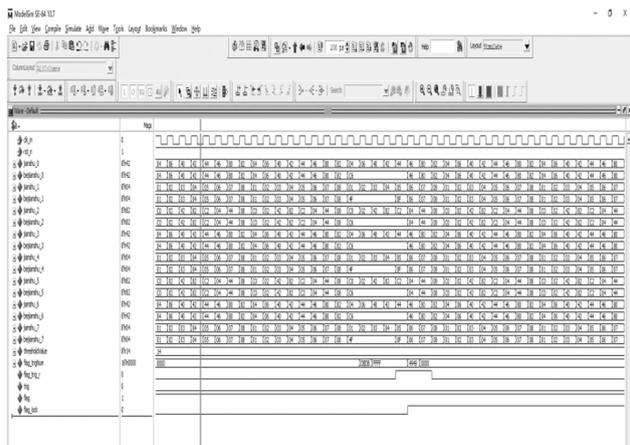


图 8 动态目标算法仿真图

列地址的访问来进行数据读写。并且为了保证所偶数据不丢失, DDR3 需要进行定时刷新。

DDR3 控制模块是通过外挂两片 DDR3 实现的, 主要实现对图像数据的实时缓存。利用 XILINX 提供的 MIG IP 核完成对 DDR3 的控制, 首先 DDR3 进入空闲状态, 当检测到写状态请求时, 此时进入到写状态, 当写地址计数等于写突发地址计数的时候, 此时进入到状态结束状态, 如果不等于写突发地址计数的时候则继续进入写状态; 同样, 对于读数据, 当检测到都状态请求时, 此时开始对 DDR3 的数据进行读取, 当读地址满足读突发地址计数时, 此时进入状态结束状态, 反之继续对数据进行读取, DDR3 的读写控制如图 9 所示。

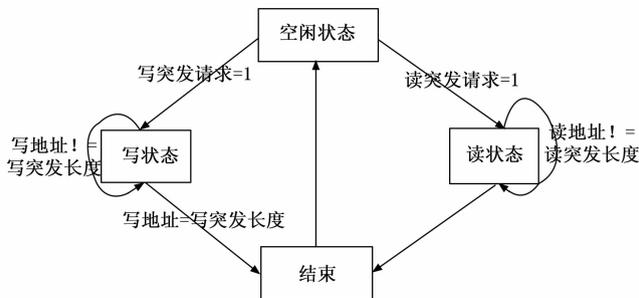


图 9 DDR3 读写控制图

通过对 DDR3 地址进行控制, 实现将一片 128 M 的 DDR3 划分为 32 个区域, 同时第二片 DDR3 也进行同样的处理, 就得到 32 个图像缓存区域, 这样是为了实现可以对高速动态图像进行连续采集, 采集原理就是: 首先将采集到的图像数据存储在一个存储空间, 当动态目标识别模块检测到动态目标之后, 就

会给 DDR3 一个信号，此时 DDR3 会将图像采集模块输入的数据写入到第二个存储空间，同时将前一个存储空间的数据读出，并且往复循环读写，最终可以实现对高速连续的动态目标进行实时识别。

写数据仲裁模块，写数据两片 DDR3 是独立实现的，但是是同步的，当数据流进入仲裁模块后，此时检测是否有写命令以及写地址，如果二者都有，此时将数据写入到 DDR3 存储空间，当没有检测到目标检测模块给出的有效信号时，DDR3 一直在同一个区域进行写数据，当写到空间最后一个地址时，覆盖最初的地址数据，继续写入数据。当检测到目标模块的有效信号时，此时开始将当前区域数据读出，执行读仲裁模块，同时，对接下来传输的数据写入到下一个区域。

2.4 USB 传输模块

千兆网、PCIE、光纤、SATA 等传输方式是目前主流的传输方式，但是这些传输方式要么逻辑代码复杂，占用资源多，要么布线复杂，会导致开发难度增大^[21]。但是 USB 传输不同，随着 USB 芯片内部架构的发展，在芯片内部集成缓存以及 DMA 等传输接口，USB3.0 的传输速率最高可以达到 5 Gbit/s，可以满足该系统实时传输的要求，并且 USB 支持热插拔，使用方便，而且与计算机兼容性更好。

USB3.0 采用 FT601 芯片作为该模块的接口芯片，该芯片的测试速率可以达到 350 MB/s，并且改芯片采用 QFN 封装，后期方便调试。该芯片内部自带 100 MHz 的外部晶振，该时钟在位自己提供工作时钟的同时也可以为外部提供 100 MHz 时钟^[20]。该芯片主要是通过控制内部 fifo 的空满标志位来实现对数据写入以及读出，实现对数据的实时传输。

对于 USB 传输模块，主要是通过状态机实现的，状态机转换如图 10 所示，Ref_n 为可读标志位，低电平有效，Txe_n 为可写标志位，也是低电平有效，当检测到 Rxe_f 为低电平以及 fifo 为空时，此时开始从 DDR3 读出数据；当检测到 Txe_n 为低电平且 fifo 为非空状态，此时把 fifo 的数据读出，传给上位机。

3 测试实验及其结果分析

3.1 系统的逻辑代码设计

验证本设计代码的可行性，系统采用的硬件平台是 Xilinx 公司的 xc7a200tfbv676-2 芯片，整个系统通

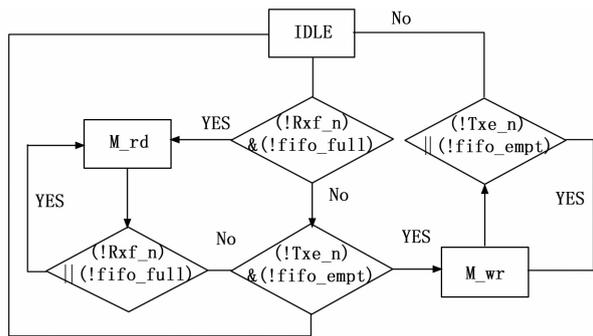


图 10 USB 传输模块状态机转换示意图

过 Vivado2018.2 进行代码编写，图像采集模块用的是 Basler4096-140 KM 的高速线阵相机，获取黑白图像，通过 Camera Link 接口协议将采集到的图像信息传输给 FPGA，通过 FPGA 完成对采集到的图像数据进行分析，识别出动态目标图像，并且利用流水线操作将采集到的图像数据通过 FPGA 写入到两片 DDR3 SDRAM，最终将目标图像数据通过 USB3.0 传输到上位机。图 11 是整个系统的 RTL 图，图 11 中的 1、2、3、4、5、6 分别在下面做出解释。图 12 为整个系统消耗的资源以及该芯片所拥有的资源，LUT 消耗 15.15%，FF 消耗 8.8%，BRAM 消耗 53.84%，由此可知该芯片完全满足设计。

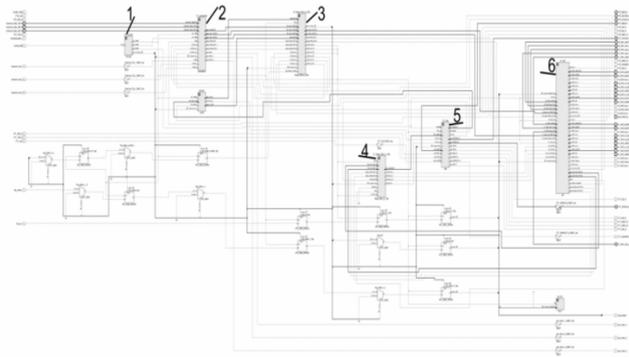


图 11 系统整体 RTL 图

序列号 1 代表的是时钟分频模块，将外部晶振产生的 80 MHz 系统时钟，通过 FPGA 内部的 PLL IP 核对其进行分频、倍频，输出分别为 100 MHz、160 MHz 以及 200 MHz 的时钟。100 MHz 作为外部 DDR3 的输入时钟，160 MHz 作为目标识别算法模块所需要的时钟，200 MHz 作为 USB 控制模块的时钟，通过 PLL 分频得时钟依旧是同源时钟，进行时序分析的时候容易进行处理。

Resource	Utilization	Available	Utilization %
LUT	20 274	133 800	15.15
LUTRAM	1 990	46 200	4.31
FF	23 544	267 600	8.80
BRAM	196.50	365	53.84
IO	229	400	57.25
BUFG	11	32	34.38
MMCM	3	10	30.00
PLL	2	10	20.00

图 12 系统资源消耗图

序列号 2 代表的图像采集模块, 将高速线阵相机传输过来的数据进行采集然后利用外部芯片对采集到的数据按照 Camera Link 协议对数据进行解析, 然后输出对应 Camera Link Full 模式下的数据格式, Camera Link Full 模式下的数据输出有 8 个端口, data_dout 代表的是 A、B、C 三个端口数据, data_dout_1 代表的是 D、E、F 三个端口的数据, data_dout_2 则代表的是 G、H 端口的数据, 然后将该模块输出的数据输出到下一个模块, 作为下一个模块的输入。

序列号 3 代表的模块是动态目标识别算法模块, 该模块通过将图像采集模块输出的 A、B、C、D、E、F、G、H 端口输出的数据进行目标识别算法处理, 当检测到目标图像后输出 error 信号, 并且将有效数据拼接成 128 位输出到 DDR 模块。

序列号 6 代表的是 DDR3 控制模块, 该模块通过利用 DDR3 的地址实现对 DDR3 存储器的分页处理, 对 DDR3 的区域进行循环读写。当检测到 External_trig 信号为高电平时此时表示动态目标算法模块检测到目标图像, 此时开始将有效数据写入 DDR3。

序列 4 代表的模块是缓存模块, 将 DDR3 的有效数据读出, 然后拆分成 64 位数据通过 fifo 实现数据缓存, 当 USB 模块给出命令时, 将缓存数据写入到 USB 模块。

序列 5 表示的是 USB 控制模块, 该模块通过 USB 芯片端反馈的信号, 对 DDR3 芯片内部的数据进行读出, 将有效数据传输给上位机, 同时接收上位机发出的指令, 对整体系统进行启动与停止。

3.2 实验验证

本次实验设备主要有 5 部分组成, 分别是图像采集系统完成对图像的采集与传输, 图像处理系统完成

对有效目标图像后期的处理, 光纤和数据同步系统是由于有两个同样的采集系统在对数据进行采集是为了保持数据同步, 外接一个显示屏主要是对采集到的图像进行显示。

最终采集到的目标图像在显示屏中显示, 采集到的有效图像数据如图 13 (a)、(b) 所示, 最终实验表明可以有效的识别动态图像, 由于使用的是背景差分算法, 所以只有检测到的目标图像是黑点, 其余均是白色背景, 即图片中被黑色圆圈圈中的黑点即是检测到的目标图像。



图 13 检测到的目标图像

4 结束语

本实验针对高速运动物体的实时目标检测, 提出了一种针对基于改进背景差分算法的目标检测算法, 并设计了一套基于 FPGA 的图像采集系统, 通过对 6 mm 的 BB 弹进行测试, 验证了该算法可以实时检测出高速运动的目标图像, 并且通过对 DDR3 的分页控制可以实现对连续射击的枪弹图像进行缓存, 利用 USB 将采集到的数据实时传输到上位机。该设计后续还可以应用到车辆检测、军用监控以及半导体材料定位等方面。

参考文献:

- [1] 赵奇峰, 李进, 李运良, 等. 基于高速摄影图像的轻气炮弹速测量研究 [J]. 计算机测量与控制, 2021, 29 (11): 132-136.
- [2] 余焯, 曹明伟, 岳峰. EVibe: 一种改进的 Vibe 运动目标检测算法 [J]. 仪器仪表学报, 2014, 35 (4): 924-931.
- [3] 罗敏, 刘洞波, 文浩轩, 等. 基于背景差分法和帧间差分法的车辆运动目标检测 [J]. 湖南工程学院学报 (自然科学版), 2019, 29 (4): 58-61.
- [4] 彭敏, 马宁, 王少军, 等. 基于可见光图像的工业过程气体泄漏检测研究 [J]. 电子测量与仪器学报, 2019, 33 (6): 1-8.
- [5] ZHANG K, et al. Moving object detection of assembly

components based on improved background subtraction algorithm [J]. IOP Conference Series: Materials Science and Engineering, 2021 (1). DOI: 10. 1088/1757-899X/1009/1/012063.

[6] 陈磊, 邹北骥. 基于动态阈值对称差分 and 背景差法的运动对象检测算法 [J]. 计算机应用研究, 2008 (2): 488-490, 494.

[7] 袁益琴, 何国金, 王桂周, 等. 背景差分与帧间差分相融合的遥感卫星视频运动车辆检测方法 [J]. 中国科学院大学学报, 2018, 35 (1): 50-58.

[8] 魏志强, 纪筱鹏, 冯业伟. 基于自适应背景图像更新的运动目标检测方法 [J]. 电子学报, 2005 (12): 2261-2264.

[9] MITO Y, MORIMOTO M, FUJII K. An object detection and extraction method using stereo camera [C] // Automation Congress, IEEE, 2007.

[10] HARITAOGLU D. Real-time surveillance of people and their activities [J]. IEEE Transaction on Pattern Analysis and Machine Intelligence, 2000, 22 (7): 809-830.

[11] COLLINS R, LIPTON A, KANADE T, et al. A system for video surveillance and monitoring: VSAM final report [R]. America: Carnegie Mellon University, Technical Report: CMU-RI-TR-00-12, 2000.

[12] 贾亮, 张武臣. 基于帧间差分法的目标检测研究与

(上接第 228 页)

[12] ZHOU Z W, et al. UNet++: redesigning skip connections to exploit multiscale features in image segmentation [J]. IEEE Transactions on Medical Imaging, 2020, 39 (6): 1856-1867.

[13] BRUZZONE L, CARLIN L. A multilevel context-based system for classification of very high spatial resolution images [J]. IEEE Transactions on Geoscience and Remote Sensing, 2006, 44 (9): 2587-2600.

[14] WANG Q, WU B, ZHU P, et al. ECA-Net: efficient channel attention for deep convolutional neural networks [C] //The IEEE Conference on Computer Vision and Pattern Recognition (CVPR), IEEE, 2020.

[15] LI Z, QU N, LI X, et al. Partial discharge detection of insulated conductors based on CNN-LSTM of attention mechanisms [J]. Journal of Power Electronics, 2021, 21: 1030-1040.

[16] TONG C, XUE L, YIN H, et al. Call attention to ru-

FPGA 实现 [J]. 电脑与信息技, 2021, 29 (2): 20-23.

[13] 夏永泉, 李卫丽, 甘勇, 等. 智能视频监控中的运动目标检测技术研究 [J]. 通信技术, 2009, 42 (6): 185-187.

[14] 何炜. 自适应运动目标检测和跟踪技术研究 [D]. 昆明: 云南大学, 2011.

[15] 赵柏山, 郑茂凯, 张帆. 基于帧差与背景差分的改进目标识别算法 [J]. 通信技术, 2018, 51 (11): 2733-2739.

[16] 孙文华. 基于自适应 Surendra 背景更新的背景差分运动目标检测算法 [J]. 南昌工程学院学报, 2018, 37 (3): 60-64.

[17] 赵强. 基于 Camera Link 的数字图像采集处理及以太网传输系统 [D]. 重庆: 重庆大学, 2014.

[18] 钟文峰. 基于 Camera Link 图像采集卡的设计与实现 [D]. 成都: 电子科技大学, 2011.

[19] 周敬东, 程钊, 周明刚, 等. 基于 Camera Link 的数据采集与处理系统设计 [J]. 湖北工业大学学报, 2016, 31 (1): 4-7.

[20] 曹宗凯, 桑红石. 基于 FPGA 的 DDR3 高速图像缓存策略 [J]. 信息通信, 2020 (8): 23-26.

[21] 周晨曦, 曾国强. 基于 USB 3.0 的高速数据传输接设计 [J]. 计算机测量与控制, 2020, 28 (5): 146-150.

mors: deep attention based recurrent neural networks for early rumor detection [C] // Pacific-Asia Conference on Knowledge Discovery and Data Mining, Springer, Cham, 2018.

[17] HU J, et al. Squeeze-and-excitation networks. [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2020, 42 (8): 2011-2023.

[18] HOU Q, ZHOU D, FENG J. Coordinate attention for efficient mobile network design [C] // The IEEE Conference on Computer Vision and Pattern Recognition (CVPR), IEEE, 2021.

[19] KINGMA D, BA J. Adam: a method for stochastic optimization [C] //International Conference on Learning Representations (ICLR), 2015.

[20] TONG X Y, et al. Land-cover classification with high-resolution remote sensing images using transferable deep models [J]. Remote Sensing of Environment, 2020, 237: 1-20.