

基于 IIR 抗混叠干扰滤波器的相干跳频同步技术研究

钟都都¹, 张伟科¹, 马 啸², 万桂斌², 曾 值², 高 岩²

(1. 火箭军研究院, 北京 100096; 2. 中国运载火箭技术研究院, 北京 100076)

摘要: 无线通信波形设计中, 扩频通信是常用的抗干扰设计体制; 其中, 相干跳频波形因为具有更好的抗干扰性能而受到广泛研究, 相干跳频波形的抗干扰性能也与抗干扰滤波器的性能成正相关; 受限于传统的 FPGA 资源和 AD 采样率, 相干跳频波形研究方法是结合射频前端多频点下变频+软件无线电平台窄带同步的设计架构, 文章采取射频前端全带宽采样+软件无线电平台宽带同步的设计与架构; 抗干扰滤波器通常设计基于 FIR 的低通滤波器结构, 但是相比于 IIR 滤波器, 其资源占用高; 文章提出基于 IIR 的低通滤波器结构和作为抗干扰滤波器, 采用相位非线性补偿, 确保施加不同干扰情况下相干跳频波形的抗干扰性能保持不变。

关键词: 相干跳频; FPGA+AD 架构; 抗干扰 IIR 滤波器; 同步

Research on Coherent Frequency Hopping Synchronization Technology Based on IIR Anti-aliasing Filter

ZHONG Dudu¹, ZHANG Weike¹, MA Xiao², WANG Guibin², ZENG Zhi², GAO Yan²

(1. Rocket Force Institute, 6Beijing 10009, China;

2. China Academy of Launch Vehicle Technology, Beijing 100076, China)

Abstract: In the wireless communication waveform design, the spread spectrum communication is a commonly used anti-jamming design system. Among them, the coherent frequency hopping waveform has been widely studied because of its better anti-interference performance, and the anti-interference performance of the coherent frequency hopping waveform is also positively correlated with the performance of the anti-interference filter. Limited by the traditional FPGA resources and AD sampling rate, the research method of the coherent frequency hopping waveform is combined by the design and implementation architecture of the RF front-end multi-frequency down-conversion + the software radio platform narrowband synchronization. The design and implementation architecture of broadband synchronization is adopted by the RF front-end full-bandwidth sampling + software radio platform in this paper. The anti-interference filter is usually designed based on the FIR low-pass filter structure, but compared to the IIR filter, its resource occupancy is high. This paper proposes a low-pass filter structure based on IIR and taken as an anti-jamming filter, using the phase nonlinear compensation to ensure that the anti-jamming performance of the coherent frequency hopping waveform remains unchanged under the different interference conditions.

Keywords: coherent frequency hopping; FPGA+AD architecture; anti-interference; IIR filter; synchronize

0 引言

在军事和保密应用中, 抗干扰能力和隐蔽性是更受重视的能力。扩频通信 (Spread Spectrum Communications) 技术长期受到青睐^[1-2]。通过以各种不同方式将数字通信信号的带宽扩展到远远高于信息传输速率的频带上, 扩频通信以牺牲频带利用率为代价, 获得了扩频增益 (Spreading Gain), 因此能够对抗单音、梳状和窄带等多个类型的同频干扰, 并可将自身淹没于侦测机噪声基底之下, 从而达到降低被发现概率的效果^[3]。最具有代表性的两种扩频技术是直接序列扩频 (DSSS, direct sequence spread spectrum)

和跳频 (FH, frequency hopping)。

跳频是将低速、窄带的信息数据流调制在快速切换中心频率的载波上, 从而实现扩展频谱、降低发射谱密度的目标^[4-6]。跳频发射机依靠某个伪随机跳频码来作为频率快速切换的依据; 接收机的本振以相同跳频码作为指导, 并按照与发送端同步进行频率跳变, 保持收发之间跳频频率始终对准, 得到基带或中频解跳输出; 后续的信号处理流程和常规调制解调没有区别。跳频通信体制因高躲避性和抗截获性能, 在军事、保密应用、无人设备和低轨卫星等通信系统中有广泛的前景。

收稿日期: 2021-11-19; 修回日期: 2022-02-11。

作者简介: 钟都都 (1981-), 男, 江苏徐州人, 博士, 副研究员, 主要从事导航制导控制技术方向的研究。

通讯作者: 万桂斌 (1992-), 男, 河北人, 硕士, 工程师, 主要从事航天器测控方向的研究。

引用格式: 钟都都, 张伟科, 马 啸, 等. 基于 IIR 抗混叠干扰滤波器的相干跳频同步技术研究[J]. 计算机测量与控制, 2022, 30(7): 187-

跳扩频系统由于带宽大, 实现时往往采用内部集成频点切换、下变频和滤波功能的射频前端 AD, 再将解跳后的数据送入后端数字处理器(如 FPGA)处理。但由于射频模拟前端本振不灵活、开关速度慢等问题, 给射频前端频率切换时间和内部逻辑提出了更高的设计难度^[7-9]。

随着 FPGA 逻辑资源和运算速度的提高, 并且 FPGA 内部 DDS 频点按 FPGA 时钟高速切换特性可以适用于快速跳频解跳处理, DDS 控制核也可以精确配置 DDS 的相位初值。射频模拟前端全带宽数字采样, 软件无线平台实现多频点下变频功能加快捕获处理速度的跳频通信系统为更优选择。然而因采样带宽大、瞬时有效信号带宽小, 在软件无线平台内部下变频后, 需要对采样数据信号进行抽取处理再传递给后续同步算法模块, 这种模式对于数据预处理算法(如滤波和抽取)带来更高的要求, 同时由抽取算法造成混叠干扰或者带外干扰无法忽视^[10-12]。

抗干扰滤波器组通用的实现办法是采用 FIR 技术, 但达到高阶抑制度抽头系数极高, 实现资源复杂度高。对于相同的设计, IIR 滤波器所需的阶数远远小于 FIR 滤波器, 因此时域 IIR 滤波器滤波是很好选择, 但是需克服非线性带来的失真影响^[12-14]。

本文分析全带宽采样相干跳频体制, 基于抗混叠干扰需求, 分析各种典型干扰的影响, 针对降低资源的需求, 设计一种基于 IIR 滤波器的抗混叠干扰模块, 并针对其非线性特点设计处理补偿模块。最后, 给出了基于 IIR 全带宽采样相干跳频体制的对比仿真及实测结果作为算法的验证。

1 相干跳频同步算法模型

1.1 跳频发射信机原理及建模

本文在低轨卫星通信背景下, 研究宽带 FFH-DS 体制实现通信信号传输, 其中重点研究物理层接收算法中的快速捕获技术和频偏与伪码相位精确跟踪技术。其发射机示意框图如图 1 所示。

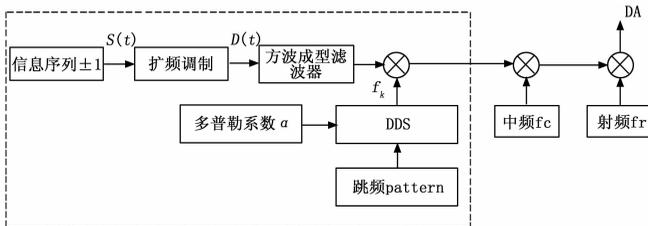


图 1 FFH-DS 发射框图

发送信息序列经过编码后与扩频码调制, 再经过方波成型滤波器, 与跳频图案对应频点调制完成变频功能, 再中频上变频、射频混频完成发射信号调制。为满足收发信机测试需求, 人为设置多普勒系数 $\alpha = \frac{v}{c}$ 表征收发信号的多普勒频率。发送端 FFH-DS 信号表达式为:

$$T_{\text{send}}(t) = AS(t)D(t)\cos(2\pi(f_k + f_c + f_r)t + \varphi_k) \quad (1)$$

其中: A 为信号幅度; $S(t)$ 为符号信息; 符号信息包含两种信息序列: 捕获同步全 1 信息序列以及有效数据随机

± 1 序列; $D(t)$ 为伪码直接扩频序列; f_k 为跳频图案控制的跳频载波频率, f_c 为中频载波, f_r 为射频 Ku 波段载波, φ_k 为载波初始相位。

为了提升宽带 FFH-DS 系统性能, 接收端采取相干跳扩频体制可提升信噪比。因此, 发送端跳频载波频点切换时刻相位应保证连续, 即两个跳频时隙之间不突变。如在时刻为 N 时, 跳频频率从 f_{k-1} 跳变到 f_k , 下一个时刻频率 f_k 的初相位 φ_k 与 f_{k-1} 频点的相位关系是:

$$\varphi_k = 2\pi(f_{k-1} + f_c + f_r)N + \varphi_{k-1} \quad (2)$$

在发端模拟产生带多普勒频偏的信号, 则需要计算出 f_{k-1} 频率的跳频时隙内多普勒带来的相位偏移量 φ^d , 下一个跳频 f_k 跳变时刻初相位 φ_k^d 为:

$$\varphi_k^d = 2\pi(f_{k-1} + f_c + f_r)N + \varphi_{k-1} + \varphi^d \quad (3)$$

为便于宽带 FFH-DS 信号的捕获, 发送信号拟采取两种跳频图案。同步全 1 序列, 用第一种跳频图案(8 跳)传输同步信息, 接收端完成信号捕获; 有效数据 ± 1 序列, 用第二种跳频图案(128 跳)来传输有效数据信息, 接收端完成伪码跟踪等功能。两种信息的区别有两点: 8 跳频点同步头信息为全 1 序列, 本身不带调制信息; 128 跳频点有效数据信息为有效信息(1、0 随机), 可传输遥控指令、用户自定义有效数据; 捕获同步信息由于宽带 FFH-DS 捕获算法的需求, 每符号由 8 个固定频点等时隙传输, 即 $f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8 \dots f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8$ 顺序; 有效信息每符号则由 128 频点等时隙传输。

1.2 跳频接收信机原理及建模

跳频通信系统中, 通信双方约定跳频图案, 以多种频率传输不同符号, 以此增强信号鲁棒性, 且跳速越高抵抗跟踪式干扰的能力越强。所以在符号速率和跳频点数不变的情况下, 扩频比与带宽和抗干扰能力成正相关。传统的跳频同步算法架构如图 2 所示, 射频内部集成频点切换及下变频功能。

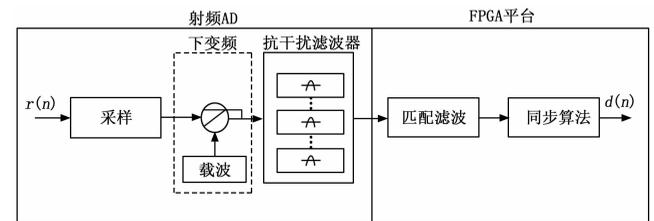


图 2 传统跳频同步算法实现架构

射频前端采样信号, 经解跳、滤波后传递给软件无线平台, 在软件无线平台内部经过匹配滤波等同步处理算法, 解出有效信息。本架构对于射频前端频点切换速度、内部逻辑提出了更高的设计难度, 所以本文设计如图 3 所示的相干跳频同步结构。

跳频同步架构为: 射频前端宽带采样全部频点信号 $r(n)$, 传递给 FPGA 得解跳信号 $s(n)$ 、经过抗干扰滤波 $s_m(n)$ 、抽取和匹配滤波、最后输入给同步算法解出有效信息 $d(n)$ 。

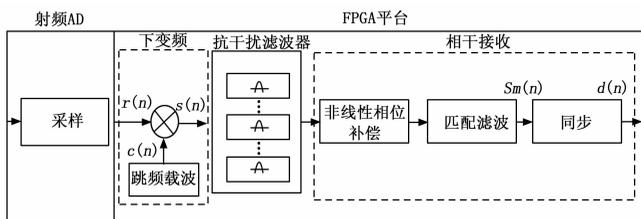


图 3 宽带采样跳频同步算法实现架构

针对本文跳频同步模型, 抗干扰滤波器的描述如下:

设解跳信号为:

$$s(n) = r(n)c_i(n) \quad (4)$$

其中: $r(n)$ 为采样信号, $c_i(n)$ 为多频点的跳频载波。

抽取倍数为 N , 则抽取后信号为:

$$s(n)' = s(Nn) \quad (5)$$

傅里叶表达式为:

$$S(e^{j\omega})' = \frac{1}{N} \sum S(e^{j(\omega-2\pi k)/N}) \quad (6)$$

其中: N 倍抽取即将解跳信号在频谱上以 $2\pi/N$ 为间隔做周期延拓。

设基带信号最高频率为 f_c , 干扰最高频率 f_j , 采样率 f_s , 且通常 $f_j > f_c$, 若干扰信号 $Nf_j > f_s$, 则有效带宽之外的干扰会被混叠进有效带内造成干扰, $Nf_j < f_s$, 则为带外干扰, 都需要高阶阻带抑制度的抗干扰滤波器抑制干扰。

针对于抗干扰滤波器的类型选择描述如下: 若跳频同步算法抗混叠干扰滤波器选取 FIR 滤波器, 传递给同步算法模块的信号为:

$$S_m 1(n) = s(n)' * h_f(n) * h_m(n) \quad (7)$$

其中: $h_f(n)$ 为 FIR 抗混叠滤波器, $h_m(n)$ 为匹配滤波器, 且 $h_f(n) * h_m(n)$ 为恒参信道。

若跳频抗混叠干扰滤波器选取 IIR 高阻带抑制制度滤波器, 传递给同步算法模块的信号为:

$$S_m 2(n) = s(n)' * h_i(n) * h_m(n) \quad (8)$$

其中: $h_i(n)$ 为 IIR 抗混叠滤波器, $h_m(n)$ 为匹配滤波器, $h_i(n) * h_m(n)$ 不是恒参信道。

跳频 PSK 调制的相干接收前提是建立在确知信号基础上, 若算法引入非线性信道, 需要估计非线性特性进而补偿成为恒参信道, 因此基于 IIR 滤波技术的相干跳频抗混叠干扰滤波器若满足相干接收条件需要加入线性补偿信道 $h_\Delta(n)$, 且满足:

$$h_f(n) * h_m(n) = k(h_i(n) * h_m(n) * h_\Delta(n)) \quad (9)$$

其中: k 是比例因子。

所以本文 IIR 技术传递给同步模块的输入信号为确知信号 $S_m 3(n)$ 。

$$S_m 3(n) = s(n)' * h_i(n) * h_m(n) * h_\Delta(n) \quad (10)$$

本文由相干接收机误码率公式:

$$P_e = \frac{1}{2} \operatorname{erfc} \left(\sqrt{\frac{E_b}{4n_0}} \right) \quad (11)$$

其中: E_b 是码元能量, n_0 是噪声功率谱密度。可以仿真基于 IIR 滤波技术的抗干扰跳频同步算法性能和 FIR 跳频系统的对比结果。

1.3 典型干扰及建模

跳扩频体制中常见干扰的有单音、窄带、宽带、频率跟随式干扰。其中, 频率跟随式干扰的干扰生效应该要满足干扰机在干扰椭圆内, 并且满足干扰机到发射机和接收机的距离之和满足小于等于收发机之间的距离加上跳频周期减去干扰机反应时间的时差乘以速度, 即:

$$d_1 + d_2 \leq L + (T - T_j)v \quad (12)$$

其中: d_1 是干扰机到发射机距离, d_2 干扰机到接收机距离, L 是收发信机距离, v 为传播速度, T 是跳频周期, T_j 是干扰机反应时间。

当干扰机的反应速度低于跳频速率时, 即时, 干扰椭圆不存在, 无论干扰机位置如何, 也不会对于跳频通信产生频率跟随式干扰。通常干扰机的处理时间为毫秒级别, 所以当 $< 1 \text{ ms}$ 时, 即跳速大于 1000 Hop/s 即可满足抗跟随式干扰要求, 因此跟随式干扰对于宽带快跳 FFH-DS 系统无作用, 所以下面只对单音干扰、窄带干扰和宽带干扰建模。

1) 单音干扰建模:

传输链路信道中存在多种电磁干扰, 接收端接收的信号通常是原始信号与各种干扰信号叠加得到的复合信号, 这会导致原始信号失真。因此对于卫星通信系统中的研究中, 电磁干扰信号的分析 and 模拟对提高通信系统的可靠性有很大的帮助。其中, 常见的典型干扰为窄带、单音和宽带干扰。

单音干扰是指具有对某一单一特定频点有压制性的干扰类型, 单音干扰的数学表达式为:

$$J(t) = A \cos(2\pi f t + \varphi) \quad (13)$$

其中: A 表示单音干扰信号的幅度, 单音干扰产生方便, 其仿真图如图 4 所示。

2) 窄带干扰建模:

窄带干扰, 其频谱通常集中在较窄的频率范围, 再频域表现出一定的尖峰。其表达式为:

$$J(t) = \sum_{l=1}^L A_l e^{i(2\pi f_l t + \varphi_l)} \quad (14)$$

其中: L 表示单频干扰分量的个数, A_l, f_l, φ_l 分别为窄带干扰的第 l 个单频分量的幅度、频率和初始相位。

3) 宽带干扰建模:

宽带干扰是指对通信系统传输的频谱进行干扰, 实现的基本原理是确定通信系统的最大和最小频点, 然后在最小频点到最大频点之间施加干扰信号。

假设干扰机的总功率为, 最大干扰频点和最小干扰频点的差值为, 则干扰功率谱密度可以表示为:

$$N = \frac{P_j}{W} \quad (15)$$

宽带干扰也可以看作一种干扰到通信系统的最大和最小频点的窄带干扰。常见的宽带干扰为宽带噪声干扰。其

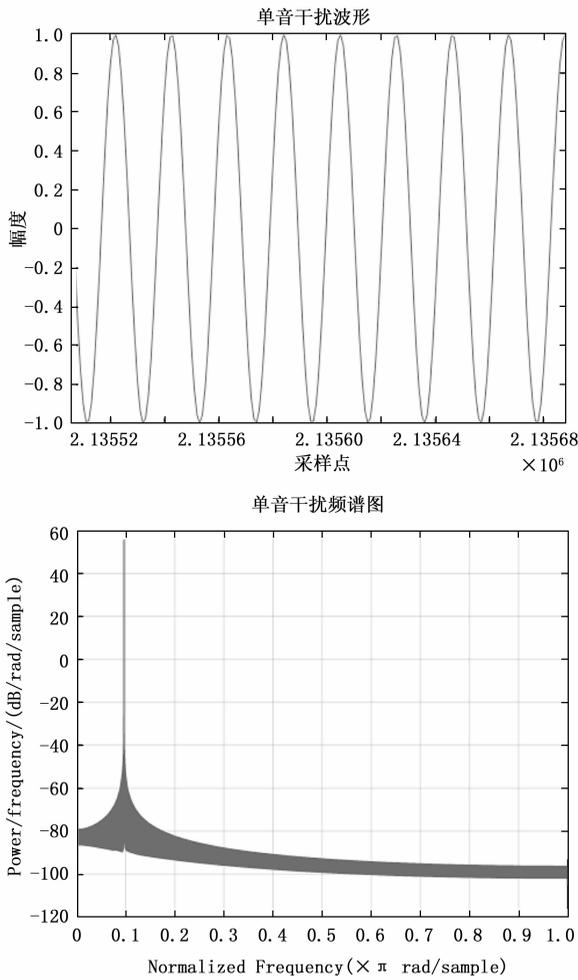


图 4 单音干扰信号的时域波形和频谱

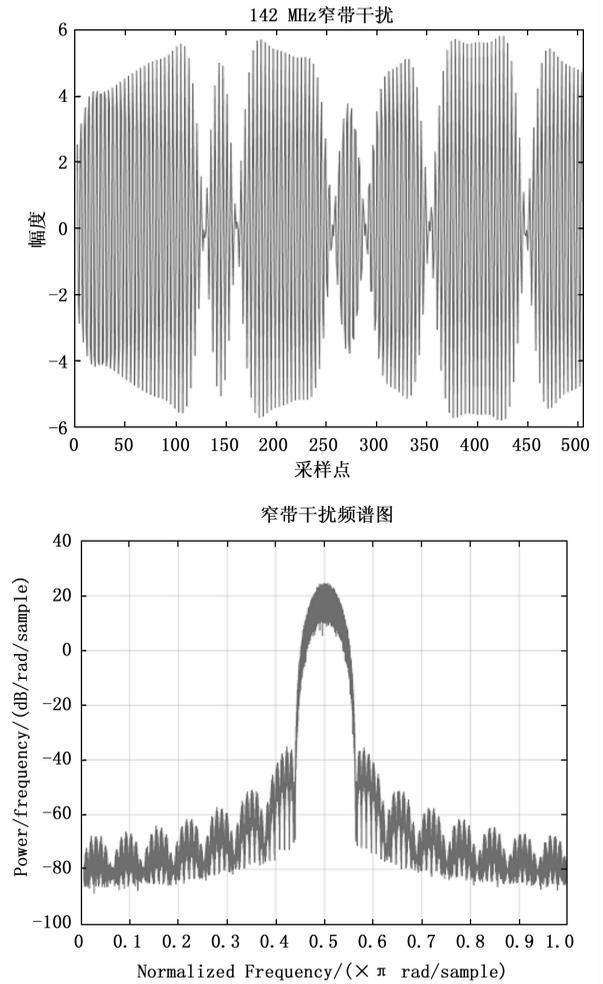


图 5 窄带干扰信号的时域波形和频谱

时域波形和频谱为图 6 展示的是一种宽带干扰波形与频谱。其频谱与波形与窄带干扰类似。

2 抗干扰滤波器设计与优化

2.1 多频点并行抗混叠与抽取算法推导

为接收宽带 FFH-DS 信号并进行后续算法处理，AD 采样率应满足奈奎斯特采样定理，采样率。因此系统设计采样率应大于信号最高频率的两倍，采样信号为 N 倍过采样数据（相对比伪码速率）。

跳频捕获算法目的之一是完成收发伪码相位的粗同步，通常满足精度即可满足后续环路的牵引误差。因此，捕获前数据预处理模块只需要数据，因此对接收信号解跳后应进行抽取处理。而抽取算法不能忽略瞬时有有效带宽以外的带外干扰和抽取算法带来的混叠干扰，尤其是被干扰频点功率很大时造成的混叠干扰会恶化捕获信噪比，所以在同步信号处理之前加上一级高阻带抑制制度的抗干扰滤波器十分必要。

AD 采样后算法处理流程为：中频下变频后的基带信号 $r(n)$ 经过定频下变频解跳（多频点并行下变频解跳，这里以其中一个频点为例）再经过抗混叠干扰滤波算法与抽取算法得到输出信号 $r_d(n)$ 。由于抽取带来的混叠影响信号可

靠性，所以抗混叠干扰滤波算法的设计是关键。下面说明由抽取算法带来的混叠干扰产生原理设输入信号为：

$$r(n) = r(t) \Big|_{t=nT_s} \quad (16)$$

抽取倍数为 N ，则抽取后信号为：

$$y(n) = r(Nn) \quad (17)$$

抽取后信号的傅里叶表达式为：

$$Y(e^{j\omega}) = \frac{1}{N} \sum X(e^{j(\omega-2\pi k)/N}) \quad (18)$$

从频域表达式知，时域的 N 倍抽取是将 $y(n)$ 信号在频谱上以 $2\pi/N$ 为间隔做周期延拓。设信号最高频率为 f_c ，原始采样率为 f_s ，若 $Nf_c > f_s$ 则有效带宽之外的干扰会被混叠到有效带宽内成为干扰。对于本系统，当某一频点解跳后抽取时，其余频点信息在相应时隙会被折叠进入有效带内造成混叠干扰。此外，带外干扰会对其余频点造成影响，所以需要高阻带抑制制度的滤波算法。

2.2 抗混叠滤波器原理和结构设计

为了保证干扰被滤除干净，并且保证滤波器不会信号造成影响，应该选取阻带抑制度高、带内平坦的抗混叠干扰滤波器。

滤波算法常见的设计方法是 FIR 滤波器或者 IIR 滤波

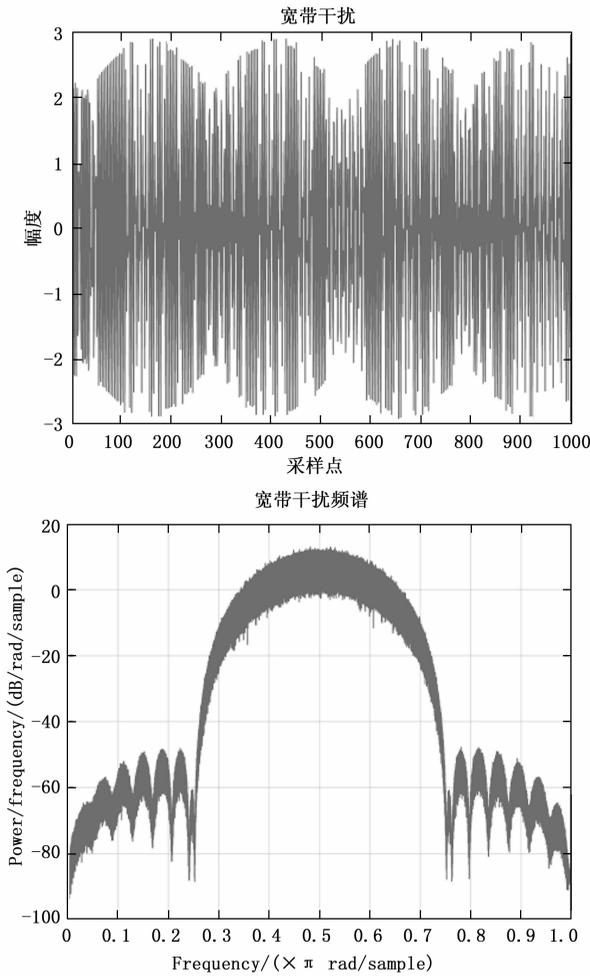


图 6 宽带干扰信号的时域波形和频谱

器。FIR 数字滤波器的单位冲激响应 $h(n)$ 有限长, 系统函数 $H(z)$ 在 $|z|$ 处收敛, 在 $|z| > 0$ 处只有零点, 且所有的极点都在 $z = 0$ 处, 结构为非递归型, 不含输出到输入的反馈。其表达式为:

$$H(z) = \sum_0^{N-1} h(n)z^{-n} \quad (19)$$

FIR 滤波器常见的基本结构有直接型结构和级联型结构。与直接型结构相比, 级联型结构可以方便地调整零点, 每个一阶网络控制一个零点, 每个二阶网络控制一对零点, 因此级联型结构可用于需要对系统零点进行控制的系统。级联型结构的系数比直接型多, 系统分解的因子较多, 所以需要的乘法器资源越多。当 FIR 滤波器阶数较高时, 不易进行因式分解, 因此高阶 FIR 滤波器设计时, 通常采用直接型结构 IIR 数字滤波器的单位冲激响应 $h(n)$ 是无限长的, 传递函数 $H(z)$ 在 z 平面上存在极点, 含有输出到输入的反馈回路, 在结构上是递归的。

无限长单位脉冲响应系统函数为:

$$H(z) = \frac{\sum_{r=0}^M b_r z^{-r}}{1 - \sum_{k=1}^N a_k z^{-k}} = A \frac{\prod_{r=1}^M (1 - c_r z^{-1})}{\prod_{k=1}^N (1 - d_k z^{-1})} \quad (20)$$

根据系统函数, 抗干扰滤波器实现结构选取级联型 IIR

模型, 即根据 IIR 阶数分为若干个基本节。每一个基本节除零极点需独立调整外其他部分一致, 便于模块复用, 且级联型占用存储单元较少, 利于工程实现^[14-16]。IIR 模型基本节差分方程为:

$$y(n) = b_0 x(n) + b_1 x(n-1) + b_2 x(n-2) - a_1 y(n-1) - a_2 y(n-2) \quad (21)$$

抗干扰滤波器组和基本节实现结构如图 7~8 所示。

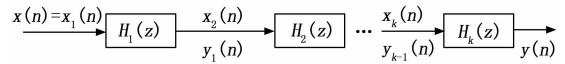


图 7 级联型 IIR 示意图

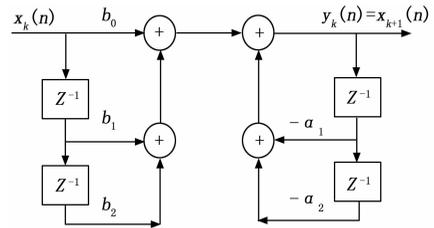


图 8 二阶节示意图

FIR 与 IIR 滤波器都可以设计高阶阻带抑制度和陡峭的截止带。但 FIR 滤波器抽头系数高, 实现资源复杂度高。IIR 滤波器因为具有从输出到输入的反馈补偿, 所以在高阶阻带抑制度方面可以用更小的阶数满足设计参数, 在资源占用情况上优于 FIR 滤波器。但 IIR 滤波器由于自身存在非线性相位的特点, 所以在相频特性上不如 FIR 滤波器的线性相位, 容易因为多频率信号的相位时延不一致造成包络的畸形。

在同样参数下, FIR 滤波器阶数比 IIR 滤波器阶数高出一个量级, 在过渡带两者区别也不明显, 所以在资源占用角度考虑 IIR 具备低复杂度的设计优势。

从单路到多路并行解跳需要并行抗混叠滤波器设计, 这使得需要的资源成倍增加。所以 IIR 滤波算法更适用低复杂度并行抗混叠滤波算法的设计。对于常见的 IIR 滤波器, 本文比较了常见的巴特沃斯 IIR 滤波器与切比雪夫二型滤波器性能, 同样参数的 IIR 滤波器不同类型幅频响应与相频响应如图 9~10 所示。

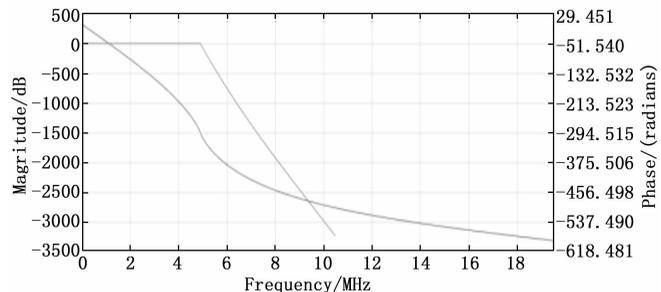


图 9 巴特沃斯幅频/相频响应

对比中两种滤波器的设计, 尽管巴特沃斯型滤波器具有近似的线性相位, 但所需阶数较高, 切比雪夫二型阶数少更适合低复杂度设计。但是由于 IIR 存在非线性相位的特点

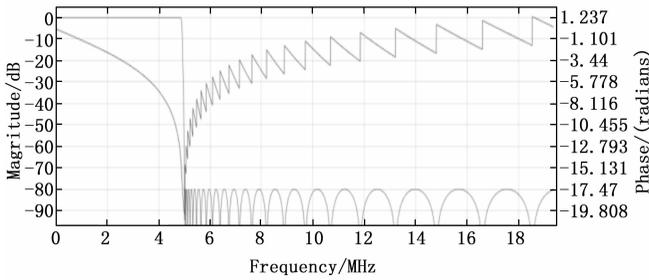


图 10 切比雪夫二型幅频/相频响应

点，所以对于本系统设计的 IIR 滤波器的固定相位特性应该补偿，应分析非线性相位补偿的设计与对比。

2.3 非线性相位补偿原理

由于本系统参数信息固定，因此滤波器设计带宽、过渡带和阻带抑制制度都确知。因此基于多阶 IIR 抗混叠滤波算法的零极点参数可以由 MATLAB 工具中的 FDATool 直接设计，将设计好的系数直接导入 FPGA 中作为 IIR 滤波器系统参数即可。但由于 IIR 滤波器自身存在非线性相位的特点会对信号产生畸变，造成信号能量损失，跳频系统经过 IIR 滤波后需非线性补偿准确估计相位延迟才满足相干接收条件。因此本节推导 IIR 非线性相位补偿，并根据系统参数设计合适的低阶相位补偿滤波器。

设信息序列为：

$$s(n) = \sum_{i=0}^{N-1} A(n) \cos(\omega_i n + \varphi) \quad (22)$$

其中： ω_i 表示跳频图案， φ 表示各个频点固定的初始相位。接收端抗干扰模块的输入信号为：

$$r(n) = s(n) + n(n) + J(n) \quad (23)$$

其中： $n(n)$ 为加性高斯白噪声， $J(n)$ 为干扰。考虑到折叠干扰和带外干扰，若引入 FIR 滤波器：

$$H(z) = \sum_{n=0}^{N-1} h(n) z^{-n} \quad (24)$$

经过滤波输出信号：

$$Y(z) = R(z)H(z) \quad (25)$$

FIR 为线性相位系统，所以输入信号经过滤波系统，只改变相位和幅度。即经过滤波器的输出：

$$S_{F0}(n) = \sum_{i=0}^{N-1} K_{FA} A(n) \cos(\omega_i n + \varphi + K_F \omega_i) \quad (26)$$

其中： K_{FA} 是幅值系数， K_F 是群时延。又因为 FIR 线性相位系统滤波器群时延公式为：

对于 IIR 非线性相位系统，输入信号经过滤波系统后，输出信号结果为：

$$S_{I0}(n) = \sum_{i=0}^{N-1} K_{AI} A(n) \cos(\omega_i n + \varphi + K_I \omega_i) \quad (27)$$

其中： K_I 随 ω_i 变化而变化、所以对于多个频点系统，各个跳频之间的相位关系不再明确。所以要把各个跳频点对应的相位做一个补偿因子 φ'_i ，使得：

$$K_I \omega_i + \varphi'_i = K_F \omega_i + 2k\pi \quad (28)$$

否则，相位随机的接收信号采用非相干的方法接收，损失信噪比。

2.4 基于最小二乘法的非线性补偿模块设计

由于跳频信号经过抗混叠滤波器组会对不同频点产生非线性相位，即使在发端跳频点切换的时候保证相位从固定相位开始变化，经过信道和 IIR 滤波处理模块后多个跳频点的相位关系不再固定，无法满足相干接收条件^[12]。所以需要补偿一个上文所说的因子 φ'_i 。

级联纯相位补偿的全通网络是通用的处理办法，但为降低 FPGA 实现的资源复杂度，全通网络可以被等效查找表替换。IIR 相位特性为非线性，但是可以按照最小二乘法准则将其对应的频点非线性曲线进行估计^[18-20]。

设离散点为 $(x_1, y_1), (x_2, y_2), (x_3, y_3), (x_m, y_m)$ 。假定拟合参数为 k 阶，则估计曲线表达式

$$Y = a_1 x^{k-1} + \dots + a_{k-2} x^2 + a_{k-1} x + b_0 \quad (29)$$

将离散点带入估计曲线得 Y_j ，与原始结果 Y_i 的平方和 $E^2 = \min(\sum (Y_i - Y_j)^2)$ 最小可求出 a_1 等系数。

$$E^2 = \min(\sum (Y_i - Y_j)^2) \quad (30)$$

对于 IIR 的相频特性曲线，取若干特殊离散点，设定拟合阶数，将离散点构造出解析函数，优选出误差平方和 E^2 最小的结果。设计步骤如下：利用 MATLAB 调用 polyfit 函数拟合最优曲线公式。再由拟合曲线公式估计跳频图案中各个频率对应的相位 T_d ；在跳频点切换时顺次补偿 $(2\pi - T_d)$ 延迟时间，保证跳频图案切换时不会受到其他频点干扰，后续同步算法不会有能量损失。在软件无线电平台实现上可将跳频图案对应的各个频点相位和延迟时间存入查找表，便于模块化更新与替换。

3 基于 IIR 抗混叠滤波器的跳频同步的仿真

本文借助 MATLAB 仿真基于 IIR 的全带宽采样相干跳频同步算法的性能与纯 FIR 的全带宽采样相干跳频同步算法的性能对比。

本文 matlab 平台设计基于 IIR 的全带宽采样相干跳频同步算法，与 FIR 带宽采样相干跳频相干跳频同步算法设计指标如表 1。

表 1 指标项

抗干扰体制	FIR 抗干扰跳频相干	IIR 补偿抗干扰跳频相干
符号速率	2.5 ksp/s	
跳速	160 000 H/s	
跳频图案	64	
系统时钟	163.84 MHz	
扩频比	1 024	
抗窄带干扰	40 dB(5%带宽)	
抗宽带干扰	30 dB(全带宽)	
阶数	170	10

在无干扰的情况下，测试 FIR 跳频同步、IIR 跳频同步、IIR 非线性补偿同步误码率性能，曲线如图 11 所示。

在窄带 40 dB (5%带宽) 干扰的情况下，测试 FIR 相干跳频同步、IIR 相干跳频同步、IIR 非线性补偿相干跳频同步误码性能，性能如图 12 所示。

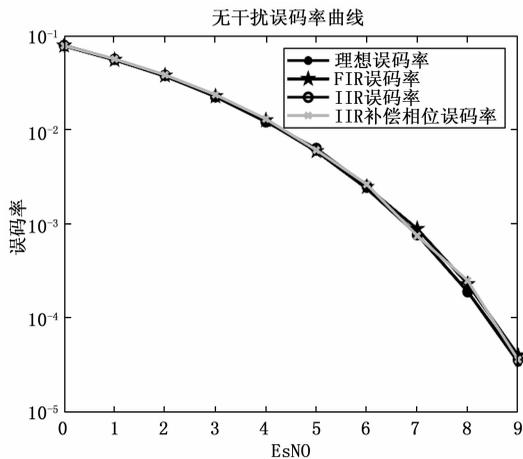


图 11 FIR、IIR、IIR 补偿 3 个跳频同步系统在 Es/NO 从 0 到 9 dB 范围内误码率仿真

4 结束语

为构建宽带跳扩频收发信机模型, 本文提出全带宽采样相干跳频抗干扰技术, 针对抽取带来的混叠干扰, 采取以 IIR+非线性补偿算法为抗混叠和带外干扰的抗干扰手段, 保证在误码性能不降低的前提下, 减小相对于 FIR 抗混叠滤波器的实现复杂度。相比于射频模拟前端内部多频点下变频的跳频技术, 具有更强的抗干扰能力和高度灵活的跳频图案, 有效提高了跳频技术的应用性能。

参考文献:

- [1] 陈 岩, 安建平, 罗伟雄. 扩频通信抗窄带干扰技术 [J]. 系统工程于电子技术, 2003, 2: 147-153.
- [2] 丁溯泉, 杨知行, 潘长勇, 等. 扩频技术: 历史、现状及发展 [J]. 电讯技术, 2004, 44 (6): 1-6.
- [3] 胡礼鸿, 雷武虎. 无线扩频通信及其应用 [J]. 中兴新通讯, 1997 (6): 29-32.
- [4] AN S, ZHOU X, HU J, et al. Low Probability of Detection Communication: Opportunities and Challenges [J]. IEEE Wireless Communications, 2019, 26 (5): 19-25.
- [5] LE L, TEH K C, LI K H. Survey on diversity-combining techniques for interference suppression in fast frequency hopping systems [J]. IET Communications, 2015, 9 (12): 1501-1509.
- [6] 迟冬南, 徐丽娜, 栗晓云. 基于逻辑回归的匹配滤波器设计方法 [J]. 计算机测量与控制, 2016, 24 (3): 159-162.
- [7] CHERUBINI G, MILSTEIN L B. Performance analysis of both hybrid and frequency-hopped phase-coherent spread-spectrum systems. I. A hybrid DS/FH system [J]. IEEE Transactions on Communications, 1989, 37 (6): 600-611.
- [8] MIN J, ROFOUGARAN A, SAMUELI H, et al. An all-CMOS architecture for a low-power frequency-hopped 900 MHz spread spectrum transceiver [C] // IEEE Custom Integrated Circuits Conference. IEEE, 1994.
- [9] GULZAR S, KHAN S A, ZEESHAN M. Digital hopping of narrowband waveform using wideband frontend [C] // International Conference on Advanced Communication Technology. IEEE, 2017.
- [10] 王 康, 李署坚, 宋伟宁. 一种高速跳频速率下的 DS/FH 系统的设计 [J]. 微计算机信息, 2012, 78 (5): 57-65.
- [11] 许 彬. 基于极化分离的抗主瓣干扰技术研究 [D]. 哈尔滨: 哈尔滨工业大学, 2020.
- [12] 张 焱, 任勇峰, 姚 宗. 抗混叠滤波设计在数据采集系统中的应用 [J]. 计算机测量与控制, 2015, 23 (1): 243-246.
- [13] 陈 啸, 李广侠, 李志强, 等. 电离层色散对 DS/FH-BPSK 信号解调性能影响 [J]. 飞行器测控学报, 2017, 36 (2): 8.
- [14] 孟生云, 杨文革. 直扩/跳频测控信号伪码跟踪抗干扰性能分析 [J]. 电讯技术, 2013, 53 (5): 5.
- [15] 马 宏, 秦国领, 魏绍杰. 基于熵权的 DS/FH 测控系统抗干扰效能评估指标赋权研究 [J]. 遥测遥控, 2015 (4): 6.
- [16] XIAO C, LI G, LI Z, et al. Effective acquisition of a phase-coherent DSFH satellite telemetry signal [C] // IEEE/CIC International Conference on Communications in China-workshops. IEEE, 2017.

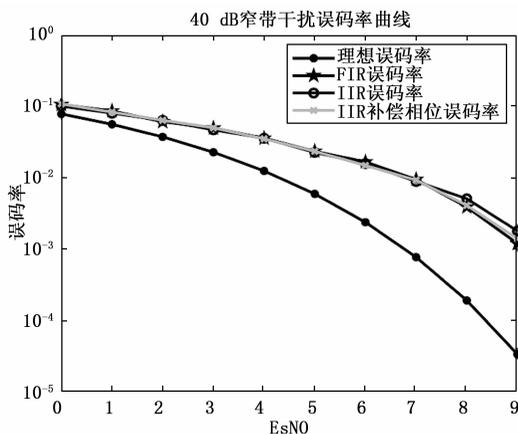


图 12 FIR、IIR、IIR 补偿系统 3 个跳频同步系统在 Es/NO 从 0 到 9 dB 范围内 40 dB 窄带干扰下的误码率仿真

在宽带 30 dB 干扰的情况下, 测试 FIR 跳频同步、IIR 相干跳频同步、IIR 非线性补偿相干跳频同步误码性能, 性能如图 13 所示。

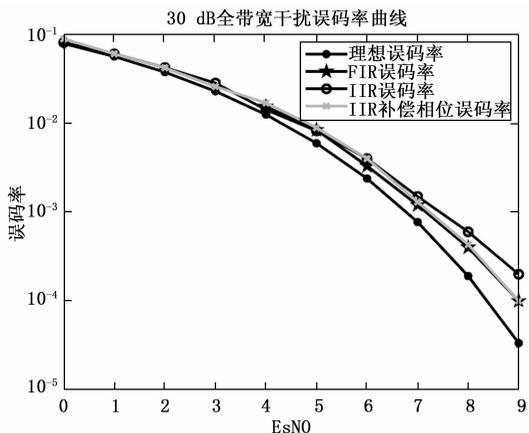


图 13 FIR、IIR、IIR 补偿系统 3 个跳频同步系统在 Es/NO 从 0 到 9 dB 范围内 30 dB 宽带干扰下的误码率仿真

从仿真可知, FIR 全带宽采样相干跳频同步与 IIR 全带宽采样相干跳频同步性能测试结果近似一致。