

# 基于 FPGA 和 PCIe 总线的电子星模拟器设计

唐永学<sup>1</sup>, 朱桂梅<sup>2</sup>, 聂瑞千<sup>1</sup>

(1. 北京轩宇空间科技有限公司, 北京 100190;

2. 丹娜(天津)生物科技股份有限公司, 天津 300467)

**摘要:** 为了实现卫星姿轨控地面半物理仿真试验, 设计了基于 FPGA 和 PCIe 总线的电子星模拟器, 图像分辨率支持  $1\ 024 \times 1\ 024$ ; 图像位宽支持 12 bit; 电子星模拟器图像处理卡基于 FPGA 的硬件结构, 与上位机界面软件通过 PCIe 总线交互数据, 采用 LVDS (low voltage differential signaling) 信号收发星图数据; 地面动力学按照 10 ms 周期将四元数通过以太网发送给电子星模拟器, 电子星模拟器将生成的电子星图通过 LVDS 传输给星敏感器, 通过地面实时仿真验证系统验证, 电子星模的输出与目标值误差小于 0.07%, 闭环测试中星敏采集到准确的星图, 显示了电子星模拟器的可行性, 在卫星姿轨控地面半物理仿真试验中具有良好的推广性。

**关键词:** 电子星模拟器; FPGA; PCIe 总线; 闭环仿真; 星图

## Design of Electronic Star Simulator Based on FPGA and PCIe Bus

TANG Yongxue<sup>1</sup>, ZHU Guimei<sup>2</sup>, NIE Ruiqian<sup>1</sup>

(1. Beijing Sunwise Space Technology Company, Beijing 100190, China;

2. Dynamiker Biotechnology (Tianjin) Co., Ltd., Tianjin 300467, China)

**Abstract:** In order to realize the ground semi physical simulation experiment for satellite attitude and orbit control, an electronic satellite simulator based on FPGA and PCIe bus is designed, and the image resolution supports  $1\ 024 \times 1\ 024$  pixels, The image bit width supports 12 bit. Based on the hardware structure of FPGA, the image processing card for electronic star simulator is interacted with the upper computer interface software through PCIe bus, and LVDS (low voltage differential signaling) signal is used to transmit and receive star map data. According to the 10ms cycle, the quaternion for the ground dynamics is sent to the electronic star simulator through Ethernet. The electronic star simulator transmits the generated electronic star map to the star sensor through low voltage differential signaling (LVDS). It is verified by the ground real-time simulation verification system that the error between the output of the electronic star model and the target value is less than 0.07%. The star sensitivity collects the accurate star map in the closed-loop test, which shows the feasibility of the electronic star simulator, It has good popularization in the ground semi physical simulation experiment of satellite attitude and orbit control.

**Keywords:** electronic satellite simulator; FPGA; PCIebus; closed-loop; star map

## 0 引言

随着近期“嫦娥”系列月球探测器、中国空间站核心舱、“天舟”系列货运飞船、“神舟”系列载人飞船的陆续成功发射, 证明中国航天技术水平走在了国际前列。航天事业的步伐不断的前进, 对卫星执行任务的要求越发复杂、任务完成精度越高<sup>[1]</sup>。为了完成更为精确地姿态确定, 星敏感器作为目前使用最广泛、测量精度最高的天体敏感器, 可以为飞行器提供精确的三轴姿态信息<sup>[2]</sup>。

星敏感器自身存储有全天区的导航星图<sup>[3]</sup>, 在工作过程中, 通过其光学系统拍摄所对应的天球上的恒星, 得到观测星图, 将观测星图与导航星图进行特征匹配, 从而得出卫星本体的坐标系的姿态。姿态确定的输入信息是姿态

敏感器的测量数据, 输出是卫星的三轴姿态参数<sup>[4]</sup>。

为满足高精度的姿态测量要求, 国内外的卫星控制系统都采用高精度星敏感器进行姿态测量。如国外的微型 X 射线太阳光谱仪卫星<sup>[5]</sup>, 三轴姿态控制精度为  $0.004\ 2^\circ$ 、 $0.011\ 7^\circ$ 和  $0.006^\circ$ , 姿态测量精度为  $0.001\ 83^\circ/\text{s}$ 、 $0.007\ 3^\circ/\text{s}$ 和  $0.001\ 05^\circ/\text{s}$ 。国内的资源三号卫星<sup>[6]</sup>, 控制系统稳定度达到  $5 \times 10^{-4}^\circ/\text{s}$ , 惯性姿态测量精度达到了  $0.005^\circ$ 。电子星空模拟器是与星敏感器配套的地面测试设备。它可根据输入的惯性姿态数据, 实时生成与该姿态对应的星图, 按照接口时序向星敏感器线路盒输出, 使星敏感器线路盒获得所需的电子图像, 从而达到实时动态模拟在轨星敏工作过程。

收稿日期:2021-10-12; 修回日期:2021-10-29。

作者简介:唐永学(1983-),男,甘肃靖远人,硕士,工程师,主要从事航天器测试方向的研究。

引用格式:唐永学,朱桂梅,聂瑞千.基于 FPGA 和 PCIe 总线的电子星模拟器设计[J].计算机测量与控制,2022,30(4):258-262.

文献 [7] 主要介绍了高精度静态星模拟器的组成、工作原理, 完成了光学系统设计以及星点板设计。文献 [8] 设计了一种基于长焦距高成像质量准直光学系统的甚高精度动态星模拟器。文献 [9-10] 主要设计的是基于 CCD 的星图模拟器, 上述文献均是侧重于光学系统的研制。文献 [11] 设计了一款电子星空模拟器, 但是主要侧重于星图生成研究, 未对硬件原理做介绍。本文主要从电子星模拟器的软硬件组成进行了详细的设计, 通过 LVDS 将电子图像作为星敏感器的输入, 参与控制系统联试, 验证了星敏感器在轨工作性能。

### 1 系统原理与组成

作为应用最为普遍和关键的星敏感器地面标定设备, 星模拟器的主要任务是, 在实验室里生成静态或者动态星图。按照使用用途将星模拟器分为静态星模拟器、动态星模拟器和电子星模拟器。

静态星模拟器产生一幅固定天区的星图, 不能测试星敏感器的动态性能, 也不能参与闭路测试。静态星模拟器主要用来考察星敏感器的光路和电路性能。

动态星模拟器用于星敏感器动态性能的测试和标定, 可以考察星敏感器动态光学和电性能。动态星模拟器需要实时更新显示星表中的星图, 对星图质量具有较高要求, 具有光学系统, 要求安装精度高, 成本较高<sup>[12]</sup>。

电子星模拟器产生星敏感器线路所需的电子图像。电子星模拟器没有复杂的光学系统, 电子图像传送至星敏感器的 CPU 板, 供 CPU 板软件处理, 从而达到实时动态模拟在轨星敏工作过程的目的, 验证星敏感器的在轨工作性能。电子星模拟器具有成本较低, 无安装要求, 精度较高的优点。

电子星模拟器由控制计算机及相关连接电缆组成, 其工作原理如图 1 所示。电子星模拟器由高性能 PC 机、图像处理板、硬件底层驱动程序 (FPGA 程序、硬件驱动程序等) 和人机交互界面软件等组成。电子星模拟器控制计算机不仅可以自动生成星图, 也可以接收动力学计算机的输入指令生成星图, 因此要求电子星模拟器控制计算机与动力学计算机间的通讯协议应简单、直接。

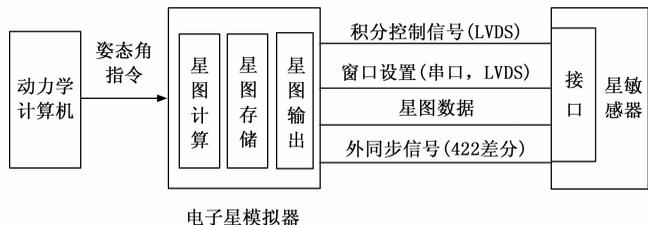


图 1 电子星模拟器系统组成框图

地面动力学按照 10 ms 仿真周期计算出惯性四元数, 并通过以太网将四元数发送给电子星模拟器, 电子星模拟

器根据输入的四元数, 查找星图表, 实时生成与该姿态对应的星图, 并将该星图转换为电子图像通过 LVDS 电缆输出。星敏的采样周期为 200 ms, 可见电子星模拟器输出的姿态频率远高于星敏采样频率, 同时电子星模拟器可设置不同工况下电子星模拟器产生星图<sup>[13-14]</sup>。电子星模拟器图像分辨率支持 1 024 \* 1 024; 图像位宽支持 12 bit; 能够同时完成帧频 10 Hz 的图像上传及采集。

### 2 电子星模拟器硬件设计

电子星模拟器包括测试计算机、LVDS 图像卡和对应测试电缆组成。其中, 电子星模拟器接受指令并按照指令生成图像, 通过 LVDS 图像卡提供给星敏感器, 也可以通过 LVDS 图像卡接收来自星敏感器发来的图像并存储。电子星模拟器总体结构如图 2 所示。

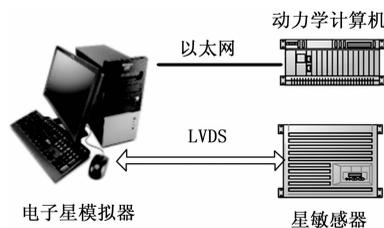


图 2 电子星模拟器总体结构

电子星模拟器具体功能要求如下:

- 1) 采用 PC 机扩展卡的形式, 可选用 PCI/PCIe 接口扩展卡;
- 2) 图像为 1 024 × 1 024 × 12 bit;
- 3) 支持同时激励 2 台星敏感器;
- 4) 能够同时完成帧频 10 Hz 的图像上传及采集;
- 5) 要求板卡支持最大带宽同时读写不低于 20 Mbps;
- 6) 要求板卡支持 LVDS 发送与接收;

#### 2.1 电子星模拟器图像处理卡

图像处理卡主要实现 LVDS、LVTTL 及其 RS422 差分电平接口, 通过 PCIe 总线与 PC 机通讯, 实现与星敏感器接口时序, 以及图像的上传与下载功能。具体性能如下: PCIe 板卡尺寸 167.65 \* 106.65 mm; 符合 PCIe V1.1 规范, 支持 PCIe 1 Lane 接口; 支持 DMA 读写功能, 50 MHz 系统时钟实测最大读带宽 130 Mb/s, 写带宽 84 Mb/s, 可支持 66 MHz 系统时钟, 最大读写带宽可达 150 Mb/s; 板载 1 GB DDR2 颗粒, 用作 FIFO 缓存; 采用 FPGA 芯片, 可根据实际需要实现特定时序接口; 采用高速电磁隔离, 最大传输延迟 7 ns; 最大可承受脉冲电压 6 kV; 最大支持 20/20 LVDS 输入/输出接口, 符合 IEEE 1 596.3 SCI / TIA/EIA-644 规范; 支持 4/4 路 3.3 V LVTTL 输入/输出接口。

此板卡使用 FPGA 芯片, 连接前端接口, 控制后端输出, 可灵活配置输出接口时序, 增加了板卡通用性以及灵活性。鉴于板卡带宽较高, 使用 SDRAM 缓存, 防止图像

传输过程发生带宽受限或者数据溢出现象。板卡具体原理如图 3 所示。

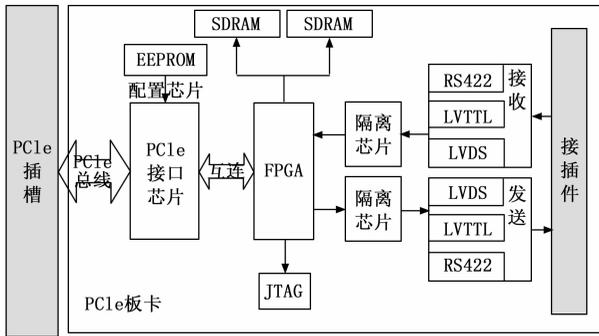


图 3 板卡原理框图

由于电子星模拟器的实时性需求较高，LVDS 数据搬移时的逻辑时序要求较高，FPGA 核心电路主要完成设备硬件时序和相关的控制处理。设计中采用 Altera 公司的 CycloneIII 系列的 EP3C40F484C8N，该芯片具有 39 600 个逻辑单元，高达 1 134 Kb RAM 资源，可以满足电子星模拟器信号控制和图像处理等需求，集成的存储器控制模块速率可达 525 Mb/s，可以用来外接高速大容量 DDR2 SDRAM 做缓存。

FPGA 在本次设计中主要作为控制芯片使用。它的具体作用有以下几个：

- 1) 控制 LVDS 芯片的工作；
- 2) 利用外部晶振和内部 DLL（延迟锁相环）为内部电路和 LVDS 驱动接收芯片提供精确的时钟信号；
- 3) 控制 DDR2 SDRAM 模块及相应二选一数据流模块；
- 4) PCIe 总线 Local 端总线操作模块。

### 2.1.1 PCIe 接口设计

本设计中与 FPGA 通讯选用 PCIe-Local bus，采用 PCIe x1 接口，在满足带宽要求的基础上，具有更好的适用性。PCIe 接口采用 PEX8311<sup>[15]</sup>，性能如下：PCIe-Local bus，支持 2.5 GHz PCIe x1 接口，符合 PCIe V1.0 规范；支持 32 位 C/J 模式 Local bus，最大支持 66 MHz 时钟；支持 SPI 接口 EEPROM 配置寄存器（PCIe 端和 Local 端）；1.5 V、2.5 V 供电电压，3.3 V IO 电压；PBGA 337 封装，21 mm \* 21 mm。根据 PCIe V1.0 规范，PCIe x1 可支持最大传输速率为 2.5 Gbps，由于其 8/10 编码机制，有效带宽最大为 200 Mbps (2 Gbps)。根据 PLX 公司给出的实测数据 PEX8311 实际传输速率为：读速度大于 160 Mbps，写速度大于 150 Mbps。此数据完全能满足板卡对于数据传输带宽的要求。

PCIe 主要有以下信号：TX+/-、RX+/-、CLK+/-、RST 三对差分信号和一个单端的复位信号。发送信号连接到 PEX8311 的接收端，接收信号连接到 PEX8311 的发送端，CLK 信号连接到 PEX8311 的时钟信号 CLK，

RST 信号连接到 PEX8311 的复位信号。接口电路如图 4 所示。

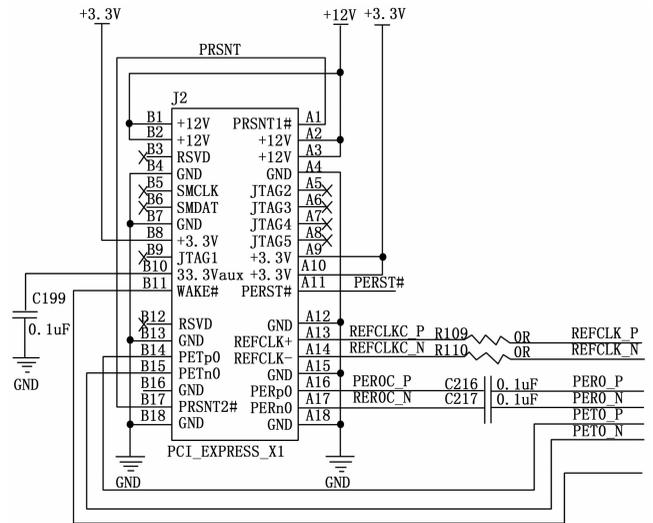


图 4 PCIe 接口电路

PEX8311 外接两个 EEPROM，一个用于配置 PCIe 初始化合寄存器，另外一个用于配置 Local bus。可根据实际需要对 PCIe/Local bus 进行配置。使用 ATMEL 公司的 64 Kb SPI 接口 EEPROM（AT25640）用于配置 PCIe 寄存器信息，使用 Microchip 公司 2 Kb EEPROM（93LC56）配置 Local 端寄存器信息。

### 2.1.2 LVDS 接口设计

采用 TI 公司的 DS90LV031/DS90LV032 作为 LVDS 接口芯片，可以兼容星上 LVDS 接口。接口电路如图 5 所示。

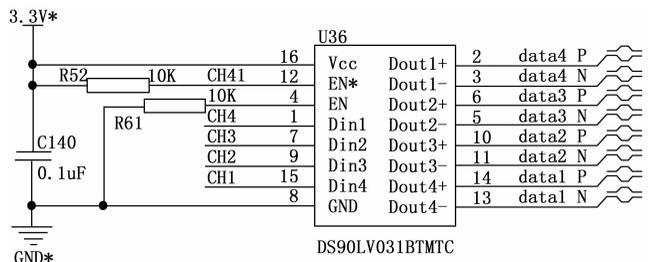


图 5 LVDS 接口电路图

具体性能如下：大于 400 Mbps (200 MHz) 转换速率，4 通道高速数字隔离器件；0.1 ns 的典型差分延迟；2 ns 最大传输延迟；3.3 V 电源供电；±350 mV 差分信号；低功耗（3 V 工作时 13.2 mW 静态功耗）；可与外部 5 V LVDS 芯片交互；兼容 IEEE 1596.3 SCI LVDS 标准；兼容 TIA/EIA-644 LVDS 标准。

### 2.1.3 系统时钟设计

时钟部分主要是 PCIe 时钟、FPGA 时钟以及 Local bus 时钟。PCIe 时钟由 PCIe 插槽提供。FPGA 与 Local bus 使用 50 MHz 时钟，由 50 MHz 晶振经过时钟 buffer CY2305SC

输出。

### 2.2 电子星模拟器主机

电子星模拟器主机负责人机交互、图像生成、图像采集、存储显示等, 是测试软件运行的载体以及 LVDS 图像卡、串口通信卡的安装平台。为了能更好的进行图像处理, 在计算机 CPU 选择时着重考虑处理速度, 目前选择 i7 系列 CPU, 主频为 3.4 GHz, 四核八线程, 以满足图像处理速度; LVDS 图像处理卡为 PCIe 接口, 因此在选择主板时应选择有 PCIe 的主板; 选择 1T 以上存储空间的硬盘。根据上述要求, 选择惠普的商用电脑 ProDesk 480G6。

## 3 电子星模拟器软件设计

### 3.1 图像处理卡发送模块设计

FPGA 程序在 Altera 的 Quartus II 环境下开发<sup>[16-17]</sup>, 发送模块 FPGA 实现如图 6 所示。发送图像时, 上位机通过 PEX8311 以 50M 的时钟向异步 fifo\_fi 连续写入 32 bit 的图像数据。

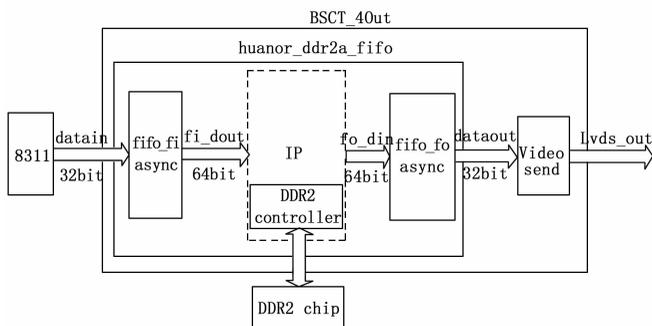


图 6 发送模块 FPGA 实现框图

fifo\_fi 为 64bit 位宽, 当 fifo\_fi 里面的使用地址大于等于 64 并且接收到 DDR2 的 local\_ready 信号时, 突发地向 DDR2 内写入 64 个 64bit 的数据, 完成后 DDR2 内写数据地址加 64 ( $dr\_wr\_adr += 64$ );

fifo\_fo 为 64bit 位宽, 当 fifo\_fo 里面的使用地址小于 896, 并且接收到 DDR2 的 local\_ready 信号, 以及 DDR2 内写数据地址大于读数据地址 ( $dr\_adr\_dt = dr\_wr\_adr - dr\_rd\_adr$ ) 64, 3 个条件同时满足时, 突发地从 DDR2 内读 64 个 64bit 的数据到 fifo\_fo 中, 完成后 DDR2 内读地址加 64 ( $dr\_rd\_adr += 64$ )。

异步 fifo\_fo 的输出位宽为 32bit, 以 50M 时钟将 32bit 的图像数据输入给 video\_send 模块, 该模块在时钟上升沿发送数据。

### 3.2 图像处理卡接收模块设计

接收模块的 FPGA 实现如图 7 所示, 图像数据经过 LVDS 接收, 接收图像时钟的下降沿取数, 将接收到的数据相应的存入 32bit 数据的低 16bit 和高 16bit, 接收完一个 32bit 数据即产生一个写 DDR2\_FIF0 请求, 将数据存入 fifo; 上位机 DMA 读请求即 fifo 的读请求, 将数据读出来

接收缓冲区, 然后软件进行显示及保存图像操作。

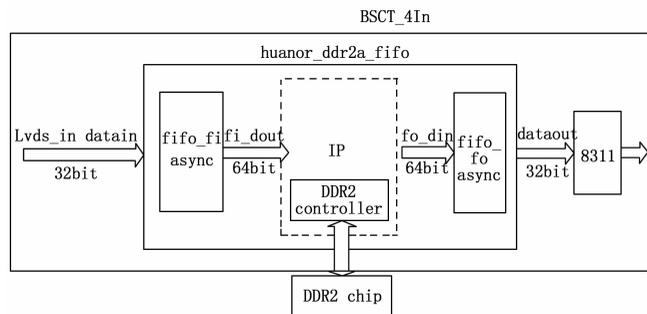


图 7 接收模块 FPGA 实现框图

### 3.3 人机界面软件设计

电子星模拟器软件采用 Microsoft Visual Studio 2010 编写, 程序语言为 C# 以及 VC++, 软件运行在 Windows 7 操作系统下; 使用 NI VISA 来驱动 LVDS 图像处理卡。人机交互界面、图像显示模块、动力学参数模块均是使用 C# 开发。人机交互界面使用了 WPF 界面开发以及 Prism 框架。板卡操作模块、图像生成模块、板卡驱动模块是使用 C/C++ 开发。这样的方案考虑了板卡操作的性能优化, 以及界面开发的便捷性。C# 调用 C/C++ 动态库的接口, 采用调用方清堆栈的方式进行<sup>[18-20]</sup>。

### 3.4 软件结构及功能模块

电子星模拟器软件与动力学地面设备传递动力学参数使用以太网传输模式。

软件的功能模块主要包括: 人机交互、板卡操作模块、图像生成、图像发送、图像采集、动力学参数接收/生成及图像显示等功能。

1) 人机交互模块。基于灵活配置的软件框架实现基本的按钮控件、编辑框控件、主界面的显示控件、开始/停止图像数据输出、开始/停止图像数据采集、动力学参数显示等。

2) 板卡操作模块。主要实现功能是: 初始化 LVDS 图像板卡发送功能、采集功能以及中断功能; 维护板卡操作线程; 在板卡操作线程中将模拟星图数据通过 LVDS 板卡发送图像数据, 并通过板卡采集图像数据。此模块使用 VC++ 开发接口, 以便于 C# 调用为原则进行设计; 调用图像生成模块和板卡驱动模块; 调用 NI VISA 接口来操作板卡。

3) 图像生成模块。主要功能是根据动力学参数以及其他系数 (星点参数、标定系数等), 调用星图库生成模拟星图数据。星图库采用北京控制工程研究所的星图库, 专门为小型长寿命星敏电子星模拟器提供, 目前提供的库生成的星图为  $1024 \times 1024 \times 12$  bit。

4) 动力学参数接收/生成模块。根据界面用户选择初始化相应的串口或网口, 根据界面用户选择开启接收线程 (从串口或网络接收动力学参数) 或生成线程 (本地生成动力学参数); 维护动力学参数的实时性。使用 C# 开发; 生

成动力学参数主要是四元数根据当前设定的角速度进行积分、计算。

5) 图像显示模块。主要实现功能是: 将 RAW 数据格式转换为 BMP 格式; BMP 格式数据到显示窗口的转换; 定时图像更新; 图像分析, 放大缩小, 灰度值显示。使用 C# 开发, 窗口位图按照 BMP 格式数据输出。各软件模块的关系如图 8 所示。

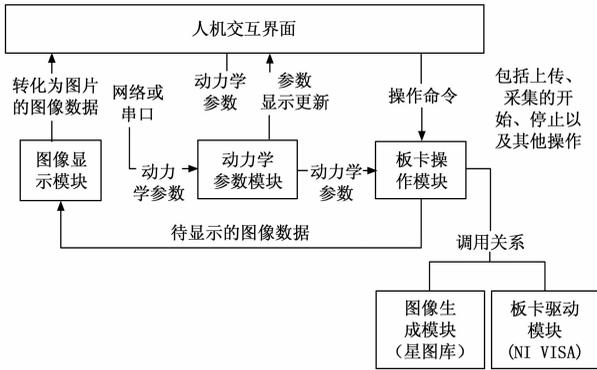


图 8 软件模块关系

#### 4 实验结果与分析

根据指标要求, 电子星模拟器能够完成 10 Hz 的图像上传及采集要求, 即电子星模拟器接收到动力学计算机的四元数后, 将生成的星图上传给星传感器的时间  $\leq 100$  ms。影响响应时间的因素主要有: 星图生成时间, 写 DMA 时间, Windows 线程调度引起的线程等待。在 2 通道发送、采集均开启的情况下, 通过 48 小时拷机实验, 利用软件输出的数据文件进行统计: 星图生成时间均小于 5 ms; 通过 PCIe 总线通过 DMA 写 2 MB 数据时间约为 23.8 ms; Windows 线程调度时间小于 75 ms。故满足系统设计指标。

在某卫星控制分系统地面测试中, 将电子星模拟器接入闭环测试回路, 在测试过程中, 将同一时间段的地面动力学输出给星敏的理论数据和星敏采集到的姿态信息数据进行分析, 经过数据分析, 理论值和采集值的最大误差为 0.000 7, 小于 0.07%, 此误差对于闭环测试系统姿态确定的影响可忽略不计。电子星模拟器性能满足要求, 证明了电子星模拟器的实用性和有效性。

#### 5 结束语

本文设计完成了电子星模拟器的软硬件, 此电子星模拟器在某卫星控制分系统地面测试中成功的进行了闭环测试。为更充分的验证卫星控制系统方案的可行性, 以及确定姿态的工作情况, 将电子星模拟器应用于卫星控制分系统的闭环测试中, 在地面模拟了星敏在轨识别的星图, 测试结果表明电子星模拟器动态响应迅速、工作稳定、误差小, 该电子星模拟器具有通用性, 可广泛应用于控制系统闭环测试中。

#### 参考文献:

- [1] 李津淞, 刘爽, 李东, 等. 基于导星电子星图模拟器的卫星控制系统半物理试验方法 [J]. 科学技术与工程, 2021, 21 (17): 7369-7376.
- [2] 王永胜, 王宏力, 刘洁梁, 等. 星敏传感器误差模型及参数分析 [J]. 光电与控制, 2014, 21 (2): 85-89.
- [3] 王萌萌. 适用于皮纳卫星的微型星敏传感器设计与测试 [D]. 杭州: 浙江大学, 2014.
- [4] 孙高飞, 张国玉, 郑茹, 等. 星敏传感器标定方法的研究现状与发展趋势 [J]. 长春理工大学学报, 2010, 33 (4): 8-14.
- [5] MASON J P, BAUMGART M, ROGLER B, et al. MinXSS-1 CubeSat on orbit pointing and power performance: the first flight of the blue canyon technologies XACT 3-axis attitude determination and control system [J]. Journal of Small Satellites, 2017 (12): 651-662.
- [6] 陈超, 丁建钊, 王淑一, 等. 高分七号卫星高精度控制技术与验证 [J]. 中国空间科学技术, 2020, 40 (5): 34-41.
- [7] 陶雪. 高精度静态星模拟器设计 [D]. 长春: 长春理工大学, 2013.
- [8] 孙高飞. 甚高精度星模拟器及其关键技术研究 [D]. 长春: 长春理工大学, 2012.
- [9] 郭敬明, 魏仲慧, 何昕, 等. CCD 星图模拟器的设计及验证 [J]. 中国光学与应用光学, 2010, 3 (5): 486-493.
- [10] SUN X Y, DUAN J. Design of multi-parameter target used in calibration of high precision CCD camera [J]. Optik-International Journal for Light and Electron Optics, 2016, 127 (2): 548-552.
- [11] 吴小明. 基于 DSP 和 FPGA 电子星空模拟器设计 [J]. 计算机测量与控制, 2013, 21 (6): 1666-1671.
- [12] 巩岩, 胡宜宁, 赵阳. 基于数字光处理技术的小型星模拟器设计 [J]. 光学精密工程, 2007, 15 (11): 1698-1703.
- [13] 黄博, 马杰, 田金文. 振动模糊星图仿真技术研究 [J]. 计算机与数学工程, 2012, 40 (4): 90-92.
- [14] 韩慧媛, 贯顺. 电子星模在卫星控制系统闭环测试中的应用 [J]. 计算机测量与控制, 2019, 27 (10): 23-26.
- [15] DatasheetBank. PEX8311 [EB/OL]. [2021-09-26]. <http://zh.datasheetbank.com/datasheet/PLX/PEX8311.html> / 2021-09-26.
- [16] 夏宇闻. Verilog 数字系统设计教程 [M]. 第 2 版. 北京: 北京航空航天大学出版社, 2008.
- [17] 徐萌萌, 刘晓娜, 陶灿辉, 等. 一种基于 FPGA 的高速数据采集系统设计 [J]. 测控技术, 2013, 32 (3): 14-17.
- [18] 周立, 蒋天发. C++ Builder 中 DLL 的创建及调用 [J]. 现代电子技术, 2009, 32 (16): 73-75, 79.
- [19] 李信洪, 王邵伯. VC++ 中 DLL 的实现及其在数据采集中的应用 [J]. 工业控制计算机, 2002, 15 (2): 46-48.
- [20] 毕文斌, 唐国良, 张晓煜. C 应用程序开发与项目实践 [M]. 北京: 清华大学出版社, 2013.