

舰载膛内多参数微型弹载记录仪的设计

王 帅, 李 杰, 张德彪, 江 杰

(中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘要: 针对舰炮高频射击场景以及常规导弹智能化改造的过程中, 发射过程膛内不可见的各种关键指标的测量对于整体弹药发射过程的把控以及舰炮耐久极限性能的测量显得极为重要; 基于 IPC 传感器、MEMS 高精度陀螺仪以及其余传感器, 设计传感器阵列采集膛内过程相关数据; 记录仪以 FPGA 为主控芯片, 控制多通道高速模数转换实现对舰炮以及制导弹药击发出膛极短过程中关键参数的动态测试, 再通过 SRAM 缓存后写入 eMMC 存储系统; 记录仪实现 8 路 40 MS/s 采样率的模拟信号以及 2 路数字信号采集, 实现 250 MB/s 的数据存储; 并且满足 50 000 g 以内冲击过载、15 000°/s 角速率的恶劣环境下动态测试, 误差在 1% 以下, 能够满足极短时间恶劣环境下的动态参数测量。

关键词: 高速数据采集; FPGA; eMMC; CRC 校验; ICP 加速度传感器

Design of Multi-Parameter Miniature Missile Recorder in Bore

WANG Shuai, LI Jie, ZHANG Debiao, JIANG Jie

(Key Laboratory of Instrumentation Science & Dynamic Measurement, Ministry of Education,
North University of China, Taiyuan 030051, China)

Abstract: In the process of developing guided missile for high frequency firing of naval gun and intelligent transformation of conventional missile, the measurement of various key indicators invisible in the firing process is very important for the control of the whole firing process and the measurement of endurance limit performance of naval gun. This design is based on IPC sensor, MEMS high-precision gyroscope and other sensors to design sensor array to collect in-bore process data. This design uses FPGA as the main control chip and controls the multi-channel high-speed ANALOG-to-digital conversion circuit to achieve the dynamic test of the firing chamber of naval gun and guided ammunition in a very short time period. After passing the SRAM cache, it is written into the eMMC storage system. The recorder realizes 8-channel 40MS/s sampling rate of analog signal and 2-channel digital signal acquisition, and realizes 250 MB/s data storage. And can meet the impact overload within 50 000 g, 12 000°/s angular rate of harsh environment dynamic test, error is less than 1%, can meet the very short time of harsh environment dynamic parameter measurement.

Keywords: high speed data acquisition; FPGA; eMMC; CRC; ICP accelerometer

0 引言

近年来, 我国国防事业日益强大, 走进国防现代化改革的关键时期, 其中舰艇是海军的核心力量, 在以驱逐舰为代表的各类大型舰艇中, 主炮承担主要毁伤与护卫的任务。在实战演习或执行特殊任务的场景中, 连续高频发射制导导弹的过程中, 主炮膛承受巨大压力, 高频短时的高温高压的发射瞬间对于弹体与炮膛都存在一定程度的影响。其膛内瞬时多参数测量是整体舰载火炮系统技术迭代的关键与前提, 其中数据采集存储系统超高速、高精度、大容量地获取目标数据在动态测试系统就得到了非常广泛的应用。

目前的数据采集存储系统主要分为两种方式: 遥测编和记录仪存储。但是由于弹载高冲击高旋的恶劣环境, 遥测编模块需要通过发射天线以一定的波段的频率进行数据传输, 地面遥测接受站通过接收天线对数据进行实时

接收存储, 这种方案收到环境因素的影响较大, 这种方案在大量弹药智能化改造的进程中设计成本高昂。测试过程基本集中在毫秒级测量, 无线传输方案在速率方面也存在一定的局限性^[1]。所以本文采用更加切合实际使用场景的弹载记录仪方案, 这种方案具有可以最大限度地满足小型化、低功耗、电路结构适应性强的要求, 实现对多通道模拟信号的前端滤波、信号调理、中端完整采集、编码、存储, 以及后端对数据的验证解算, 从而实现高速高精度的数据采集^[2]。

1 弹载记录仪总体设计原理

弹载记录仪系统主要分为传感器矩阵、信号调理电路、高速模数转换电路、FPGA (field programmable gate array) 控制电路, eMMC (embedded multi media card) 存储电路、SRAM (static random-access memory) 缓存模块、422 数

收稿日期: 2021-10-02; 修回日期: 2021-11-02。

基金项目: 国家自然科学基金(61973280)。

作者简介: 王 帅(1996-), 男, 湖北襄阳人, 硕士研究生, 主要从事高速数据采集存储与传输、微惯性系统集成方向的研究。

李 杰(1976-), 男, 山西吕梁人, 教授, 主要从事微系统集成理论、惯性感知与控制、组合导航理论等方向的研究。

引用格式: 王 帅, 李 杰, 张德彪, 等. 舰载膛内多参数微型弹载记录仪的设计[J]. 计算机测量与控制, 2021, 29(12): 131-137.

字量通信接口电路、USB 上位机通讯模块以及内部供电网络模块。

系统级设计如图 1 所示。

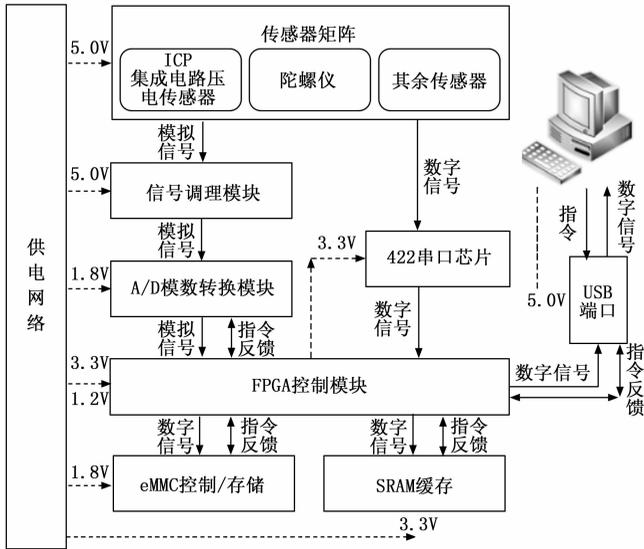


图 1 系统级设计框图

其中系统供电网络采用 7.4 V—500 mAh 的锂电池通过级联降压的方式进行电压转换，以便于为各电路子模块和前端传感器矩阵供电^[4-5]。分布在弹体各部位传感器产生的激励信号经过高频 50 R 阻抗的 SMA (sub miniature version—A) 接口将 LVDS (low voltage differential signaling) 低压差分信号传输网络传输进弹载记录仪，通过信号调理电路进入高速数模转换器。提供数字信号的传感器通过 422 接口电路以 115 200 的波特率发送进 FPGA，FPGA 采用 80 MHz 的时钟控制数据流经过 1 个深度为 2 K 的异步 FIFO (first in first out) 缓存后再通过 100 MHz 的时钟控制 SRAM 进行缓存，再经过 1 个深度为 4 K 的异步 FIFO 完成跨时钟域的采编写入 eMMC 存储模块^[6]。待试验结束后，通过数据读取设备通过 USB 模块和上位机软件通讯^[7-8]，将弹载记录仪中的数据读取至上位机。最后通过数据处理软件进行相关传感器的数据处理分析获得相应的试验参数。

为满足舰炮连续射击时膛压以及出膛最高转速对炮口以及弹体飞行姿态的影响。传感器矩阵在系统中布局如图 2 所示。

2 硬件电路设计

2.1 传感器与信号调理模块

ICP (integrated circuits piezoelectric) 传感器即为集成电路传感器。其中自身集成了压电传感器，

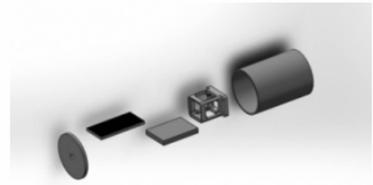


图 2 传感器矩阵布局图

运算放大器以及偏置电路，但是不能直接输出模拟信号给模数转换芯片进行采集，必须建立在恒流源稳定供电环境的基础上，才可以将其信号调理成稳定模拟信号^[9-11]。由于该类型传感器集成度高，显著提高测试精度，具有极强的抗干扰能力，信噪比高，同时可以有效缩减外部电路所占面积，缩小整体系统体积，获得更好的抗冲击过载能力^[12]。ICP 加速度传感器需要相关的外围调理电路如图 3 所示。

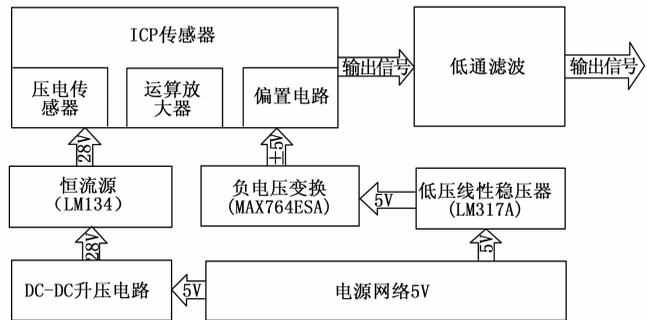


图 3 ICP 传感器信号调理框图

通过 DC—DC 芯片对基本电源网络进行级联升压处理，给恒流源输出 28 V 稳定电压为 ICP 传感器供电。并且通过 LDO (low dropout regulator) 低压差线性稳压器为其余配置电路进行有效输出。负电压转换电路为程控放大器和偏置电路提供有效工作负电压。最后通过电容与电阻搭建的一阶无源低通滤波电路^[13-14]。对于 ICP 传感器模拟量信号的调理模块电路的原理如图 4 所示。

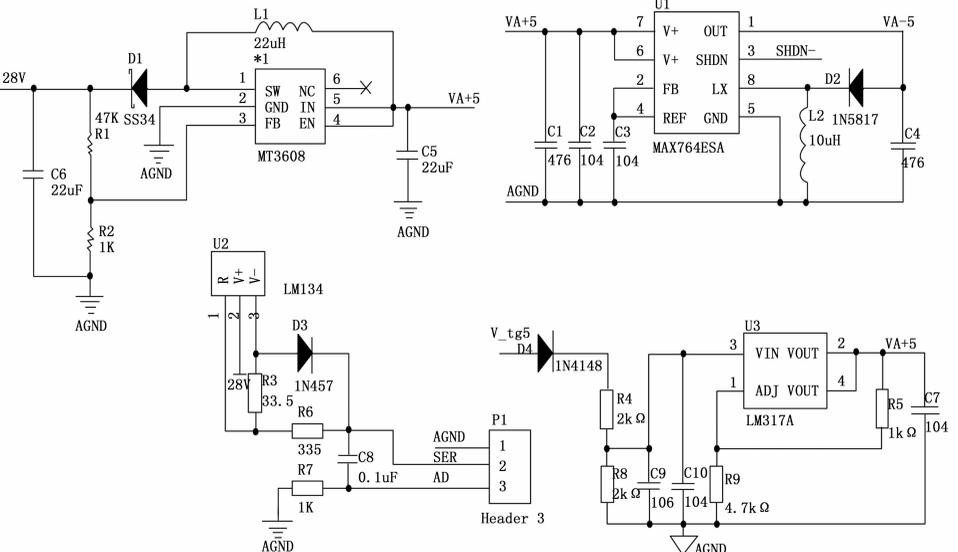


图 4 信号调理模块电路原理图

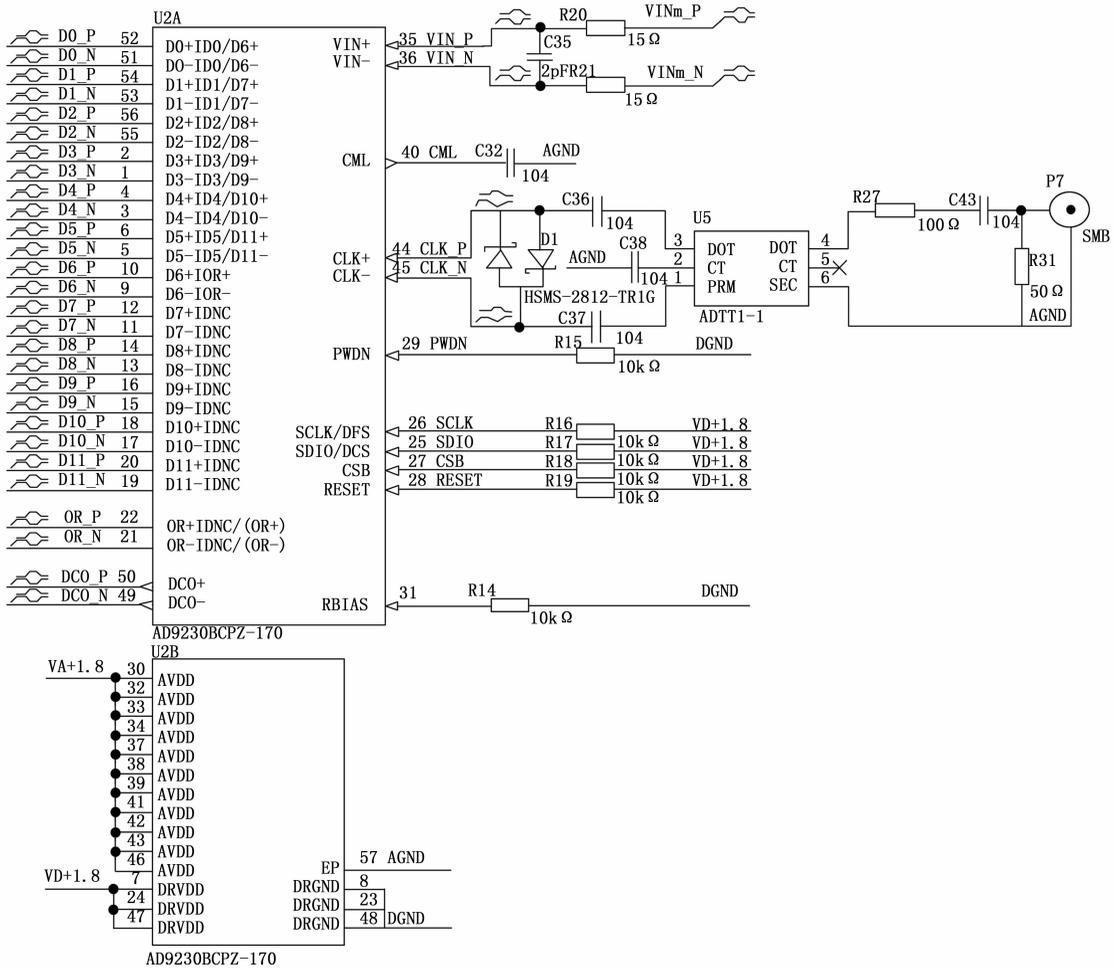


图 5 AD9230 工作原理图

2.2 模数转换模块设计

记录仪需要具备同时采集多路高频传感器信号的能力, 对于数模转换芯片的要求极高。为了保证采样速率、采样精度、输入带宽, 真实还原发射过程中的膛压波形, ADC (analog-to-digital converter) 的采样速率应该大于采样信号频率的 10 倍以上^[3]。本设计选用 AD9230。该款芯片功耗低, 在 LVDS DDR mode 模式中 250 Msps 的采样率, 功耗只有 400 mW。带宽为 700 MHz, 分辨率为 12 bit, 可以满足本设计的前端采样需求^[15]。通过 SMA 接口将 LVDS 信号传输进模拟信号网络可以极大地提升信号完整性以及传输信号的稳定性, 可以有效地克服适应舰炮中的恶劣环境带来的影响^[16]。

模数转换芯片 AD9230 的具体工作电路原理如图 5 所示。

2.3 eMMC 存储模块设计

eMMC 存储系统相较于传统的 NAND Flash 存储器, 在其内部集成了一个 Flash 控制器, 其中包括了数据传输协议, Flash 读写擦操作, 坏块管理, ECC (error correcting code) 校验, 电源及时钟管理等功能^[17]。同时也具有更快的读写速度。eMMC 存储系统基本工作原理如图 6 所示。

由于系统整体采样率很高, 所以在 eMMC 存储系统中

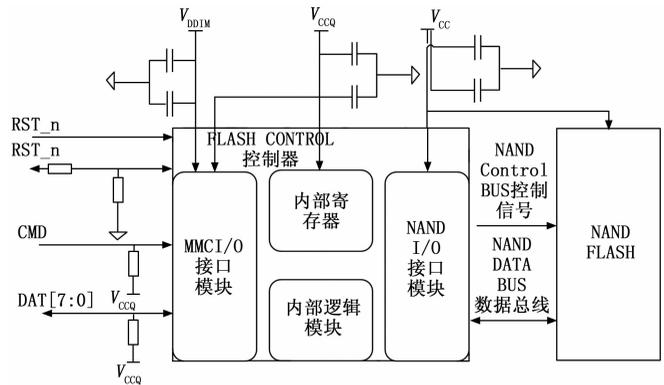


图 6 eMMC 存储系统基本工作原理图

我们选定的 HS400 模式, 在 HS400 的模式下, 通过 IP 核生成 eMMC 工作时钟 200 MHz, 理论上最大可达到 400 MB/s 的传输速率, 但是由于系统内部存在发送接收的不可避免时钟延迟, 所以对于 Flash 的数据写入速率达不到预定的 400 MB/s, 此时需要在存储系统内部集成一个 SRAM 缓存单元。SRAM 不需要刷新电路就可以保持内部数据, 而且只要不掉电, 就可以一直保持^[18]。

eMMC 的工作原理如图 7 所示。

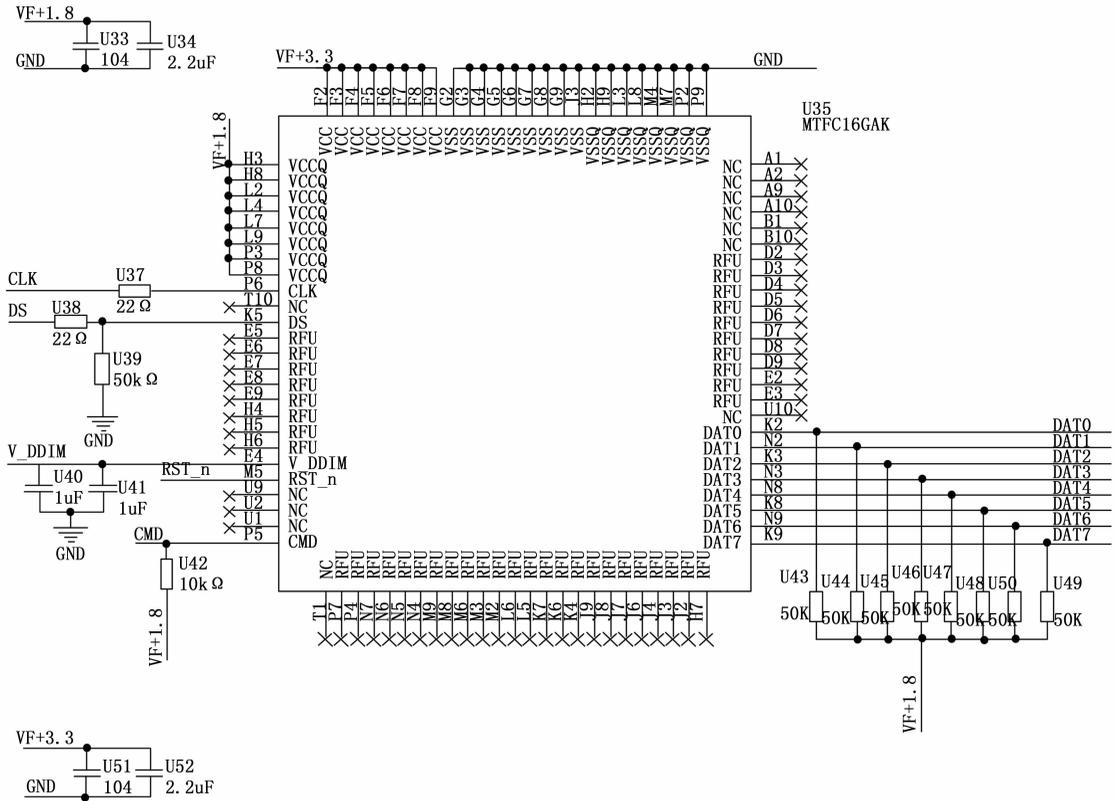


图 7 eMMC 存储系统原理图

3 软件程序设计

3.1 模数信号采集

AD9230 输出端的采用的是全差分输出，但是 FPGA 内部无法直接处理全差分信号，所以需要调用 FPGA 内部提供的原码将全差分信号转换为单端信号。IBUFGDS 模块即为内部的差分输入缓存器^[19]，实现的输入输出关系如表 1 所示。

表 1 IBUFGDS 模块输入输出关系

INPUT	INPUT	OUPUT
I	IB	O
0	0	No Change
0	1	0
1	0	1
1	1	No Change

验证 ADC 模数采集模块程序时序的正确性，用程序仿真软件对该程序进行时序仿真，sys_clk 为经由差分时钟转换后的单端时钟信号，ad_data 为 AD9230 输出的数字信号，如图 8 所示。

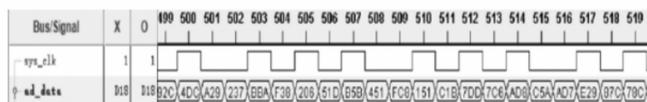


图 8 AD9230 时序仿真图

3.2 eMMC 存储

在整体系统上电后，eMMC 也同样需要整体复位初始

化，其中需要完成器件识别、器件模式判断与相关状态寄存器的配置等操作。在系统收到 FPGA 发送出的系统复位信号即 CMD0（参数为 0x00000000）或者硬件复位信号时，进入 IDLE 空闲状态，随后配置相关寄存器。

eMMC 存储系统 ORC 寄存器中包含电压配置文件、访问模式指示和状态信息位。

表 2 OCR 寄存器参数配置

OCR Bits	OCR Value	Description
[31]	1/0(ready/busy)	设备电源状态忙碌位
[30:29]	10b	Sector 模式
[28:24]	0 0000b	保留位
[23:15]	1 1111 1111b	2.7~3.6 V
[14:8]	000 0000b	2.0~2.7 V
[7]	1b	1.7~1.95 V
[6:0]	000 0000b	保留位

初始化完成后，设备会先进入兼容速率模式（back compatible mode），需要通过控制器发送指定的命令才能进行高速模式的选择与切换，并且需要先进入 HS200 后，再将 eMMC 存储系统设置为高速的 HS400 模式，以实现对模数转换模块采集到的数据进行高速传输与存储^[20]。命令指令流程如图 9 所示。

进入 HS400 模式后，此时 eMMC 进入 Transfer 模式，这个模式下已经可以开始对器件进行读取、写入、擦除操作。eMMC 存储设备与控制器建立新的数据传输与时钟逻

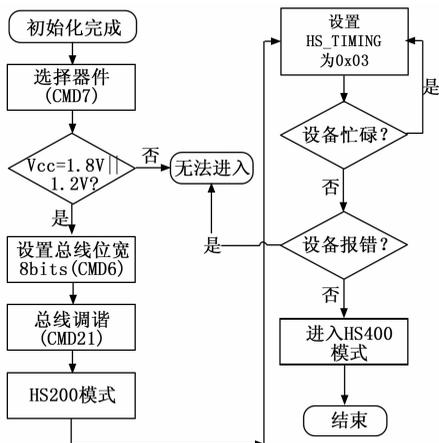


图 9 HS400 模式选择流程图

辑关系。如图 10 所示。

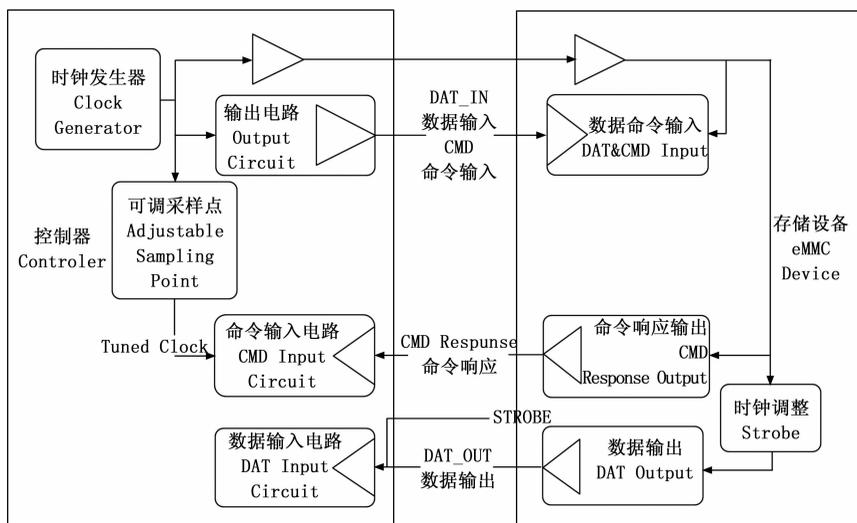


图 10 HS400 模式下控制器与 eMMC 设备原理框图

软件复位或硬件复位后, 设备均为 SDR 传输模式, 当 eMMC 控制器判断到设备已经达到 HS200 或者更高速模式, 并支持 DDR 模式后, 可以在设备中启用 DDR 传输模式。通过设置寄存器 EXT_CSD [177] 将设备切换到 DDR 模式, 控制器使用 SWITCH 命令将 0x06 (8—bits) 写入寄存器 EXT_CSD 的 Modes 段中的 BUS_WIDTH [183]。当设备切换到 HS400 模式时, HS_TIMING [3: 0] 也应设置为 0x3 (4—bits)。

这里我们提到的寄存器 EXT_CSD 是扩展设备特定数据寄存器 (extended device—specific data register) 包含设备功能和所选模式的信息, 一共有 512bits 宽度, 低位的 192bits 可以通过 SWITCH 命令改变寄存器里的配置信息, 高位的 320bits 是设备固有属性无法更改^[21]。

数据均以 512 bytes 的数据包的形式在每个时钟上升沿进行传输的。在系统进入 HS400&8bits—DDR 模式, 接收到写入命令后, 需要在 EEPROM 内读取上次写入 eMMC 的数据地址, 实现续写操作, 然后在输入新的地址位, 发

送 CMD25 确认当前地址位然后发送 512 bytes 的数据包, 通过 CRC16 校验后才能通过数据总线。写入操作流程如图 11 所示。

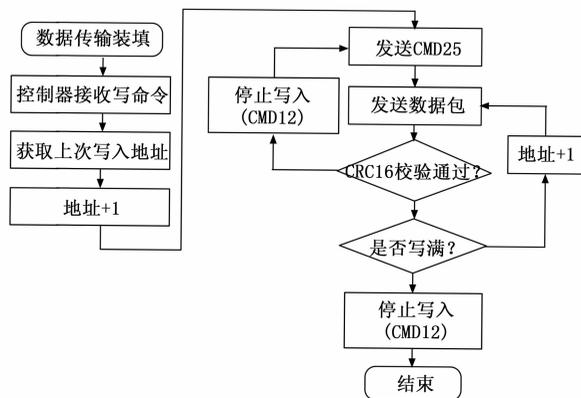


图 11 eMMC 存储系统写入操作

同时为了避免数据在传输中出现错帧漏帧的现象, FPGA 将对命令响应和数据包进行校验, 需要在每个 48 bits 命令前面附上起始位 0, 方向位 1 (指从控制器 FPGA 到 eMMC 存储器方向), 中间 38 位是具体命令内容, 后面要附上 CRC7 校验码和结束位 1^[22-23]。

对应的 48 bits 响应的格式正好相反, 第 0 位是结束位为 1, 第 1~7 位为 CRC7 的校验, 中间 38 位是响应内容, 第 46 位是方向为 0 (指从 eMMC 存储器到控制器 FPGA 方向), 第 47 位为起始位 0。但是其中访问 CSD 寄存器和 CID 寄存器的返回响应是 136 bits 的, 响应结构相同。CRC7 的计算方法如下式所示:

$$G(x) = x^7 + x^3 + 1$$

$$M(x) = (first\ bit) \times x^n + (second\ bit) \times x^{n-1} \dots + (last\ bit) \times x^0 \quad (2)$$

$$CRC[6:0] = Remained[(M(x) \times x^7 / G(x))] \quad (3)$$

每个数据包前附上起始位 00, 中间是数据包, 后面附上 CRC16 校验码与结束位 1。起始位在时钟的上升沿和下降沿都可以判断, 但是结束位只能在时钟上升沿判断。

CRC16 校验码的计算方法如下式:

$$G(x) = x^{16} + x^{12} + x^5 + 1$$

$$M(x) = (first\ bit) \times x^n + (second\ bit) \times x^{n-1} \dots$$

$$\sqrt{a^2 + b^2} + (last\ bit) \times x^0 \quad (5)$$

$$CRC[15:0] = Remained[(M(x) \times x^{16} / G(x))] \quad (6)$$

4 试验解算分析

为确保数据采集存储的正常功能实现, 以及数据采集的精度, 用信号发生器为 8 个数据采集通道提供 3 V_{pp}, 100 Hz 的标准正弦波信号。系统正常工作结束后, 使用

USB3.0 接口将数据导出至上位机，在通过数据处理软件将各个通道的数据按照前期的编帧进行分离，画出每个通道的波形图像，如图 12 所示。系统采集的波形与信号发生器的输出波形基本一致，波形平滑，没有丢帧错帧现象，检测点电压为 2.999 V，误差仅为 1%，此误差主要来源于信号调理电路中的运算放大器与模数转换芯片的精度，此误差在设计合理范围之内。

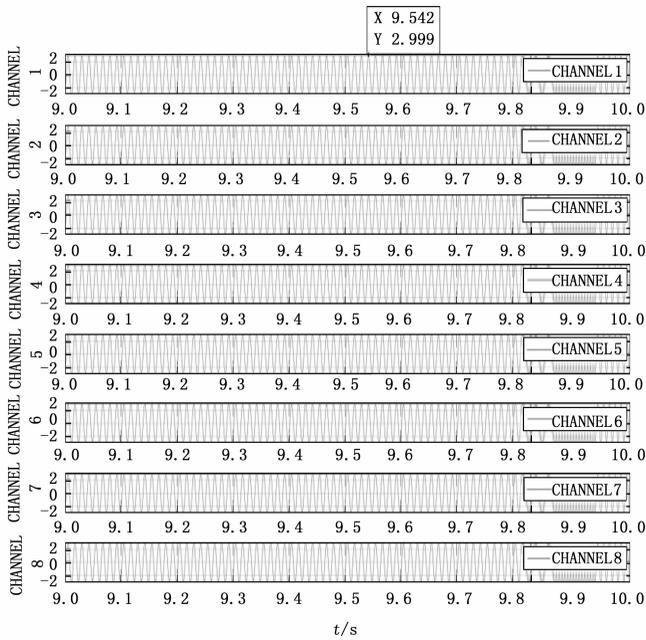
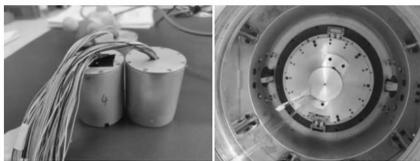


图 12 采集信号发生器波形

在采集存储功能论证通过后，接入 ICP 压电传感器与高精度陀螺仪，进行系统集成灌封防护工作，如图 13 所示。前期功能性验证都以实验室理想信号环境进行，在进行系统集成的过程中必定会引入一些不可避免的误差，比如传感器输出轴与载体坐标系同轴度误差，三轴传感器输出轴不垂直误差。这些系统误差占比总误差的 90% 以上，可以通过系统标定有效提高系统整机精度与数据真实性。



(a) 集成后记录仪 (b) 飞行仿真转台标定试验

图 13 系统集成与整机标定

标定试验后数据的处理，如图 14 所示。系统经过传感器器件级标定以及整机标定试验后，通过数据处理软件完成对试验数据的解算，得到相关的标定因数、零偏系数与拟合曲线。对系统整体的零偏稳定性、零偏重复性、传感器线性度与交叉耦合误差有了一个准确的误差模型^[11]。消除在系统集成过程中引入的系统误差，提高系统整体的传

感器数据的采集精度，满足系统整体的精度需求。

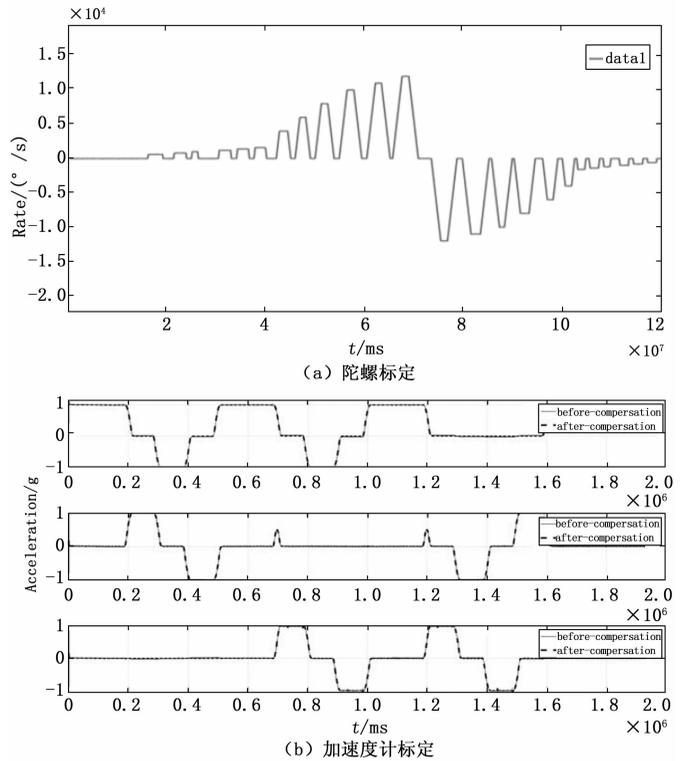


图 14 系统级误差补偿

在整体方案论证通过后，本设计实际运用在实弹环境下的常规弹药击发出膛过程膛压过载连续动态特性的测量试验中，并且表现良好。得到实弹数据如图 15 所示。

	0	1	2	3	4	5	6	7	8	9	a	b	c	d	b4	b5	b6	b7	b8	b9	ba	bb	bc
00000000h:	EB	F4	46	2D	75	F4	4F	EB	F4	50	2D	D4	F4	56	F4	50	EB	F4	48	2D	CF	F4	4F
000000bdh:	EB	F4	4A	2D	E1	F4	4E	EB	F4	4B	2D	F1	F4	50	F4	4C	EB	F4	45	2D	DC	F4	4A
0000017ah:	EB	F4	45	2D	D1	F4	4A	EB	F4	44	2D	DC	F4	49	F4	45	EB	F4	40	2D	EE	F4	44
00000237h:	EB	F4	41	2D	DC	F4	43	EB	F4	3F	2D	D1	F4	44	F4	40	EB	F4	3C	2D	DF	F4	41
000002f4h:	EB	F4	3C	2D	EE	F4	40	EB	F4	3C	2D	E6	F4	40	F4	3C	EB	F4	39	2D	D1	F4	3F
000003b1h:	EB	F4	38	2D	D8	F4	3D	EB	F4	38	2D	E9	F4	38	F4	38	EB	F4	36	2D	DD	F4	38
0000046eh:	EB	F4	34	2D	D1	F4	39	EB	F4	35	2D	DA	F4	38	F4	36	EB	F4	34	2D	EB	F4	39
0000052bh:	EB	F4	33	2D	E2	F4	37	EB	F4	33	2D	D5	F4	36	F4	34	EB	F4	32	2D	D8	F4	37
000005e8h:	EB	F4	32	2D	E7	F4	35	EB	F4	32	2D	E3	F4	35	F4	33	EB	F4	30	2D	D1	F4	35
000006a5h:	EB	F4	2F	2D	D7	F4	32	EB	F4	31	2D	E6	F4	32	F4	31	EB	F4	2F	2D	E4	F4	33
00000762h:	EB	F4	2F	2D	D5	F4	34	EB	F4	30	2D	D3	F4	31	F4	30	EB	F4	2E	2D	EA	F4	33
0000081fh:	EB	F4	2D	2D	E5	F4	31	EB	F4	2E	2D	D7	F4	30	F4	30	EB	F4	2C	2D	DA	F4	33
000008dch:	EB	F4	2D	2D	E7	F4	31	EB	F4	2D	2D	E8	F4	30	F4	30	EB	F4	2C	2D	D2	F4	30

图 15 试验数据

将实验数据导出后，可见记录仪中原始数据在用 EB F4 帧头对齐后，数据整齐，无乱码错码现象，用数据处理软件对数据进行处理画图。以时间为横坐标 (ms)，过载冲击为纵坐标 (g)，得到膛压过载曲线，如图 16 所示。

可见在图 16 中的 9.14×10^5 ms 时炮射弹药击发，测得一段不到 40 ms 的膛压曲线，正向峰值约为 28 000 g，与高速相机的实时高速摄像的结果进行验证，出膛时间与记录仪完全符合。此测量值已经通过信号调理模块前端低通滤波，去掉 ICP 传感器频率响应之外的高频机械谐振噪声。符合理论参数计算结果范围，证实此段冲击曲线为有效数据。满足试验任务需求。

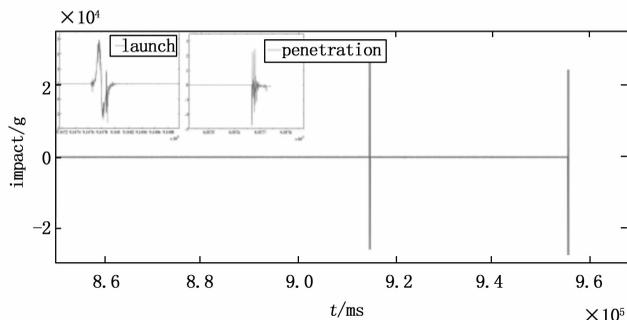


图 16 膛压过载曲线

以时间为横坐标 (ms), 角速率为纵坐标 ($^{\circ}/s$), 得到弹体角速率曲线, 如图 17 所示。

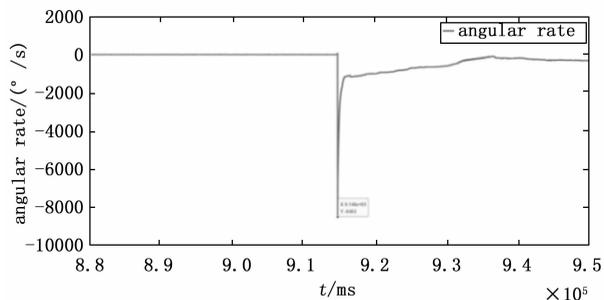


图 17 弹体角速率曲线

可见在图 17 中的 9.14×10^5 ms 时刻炮射弹药击发, 膛内极端时间加速至极快转速约为 $9\ 000^{\circ}/s$, 炮口出膛后 10 ms, 弹体展开尾翼, 迅速稳定飞行姿态降低弹体转速, 开启相关制导系统。

5 结束语

本文设计了一款基于 FPGA、高速 A/D 芯片与 eMMC 存储系统的高速高精度弹载数据记录仪。实现在舰载舰炮膛内狭小恶劣环境下 8 路 40 MS/s 采样率的模拟信号, 2 路数字信号采集, 以及 250 MB/s 的数据存储。经过实践检验, 在 $28\ 000\ g$ 的强冲击下有效记录数据, 隔离 MEMS 陀螺仪的冲击短时失效现象, 可靠性强, 整体静态功耗低, 数据误差小, 满足测量膛内恶劣环境短时间多参数多通道的设计要求。

参考文献:

[1] 马海潮. 超高速数据采集技术发展现状 [J]. 测试技术学报, 2003 (4): 287-292.

[2] 庞晓晖, 胡修林, 张蕴玉, 等. 高速数据采集系统的设计与实现 [J]. 仪器仪表学报, 2000 (3): 297-299.

[3] 李金强, 李 杰, 张德彪, 等. 微型弹载冲击信号记录仪设计 [J]. 中北大学学报 (自然科学版), 2020, 41 (4): 305-309.

[4] 郭 亮, 卫一然, 甄国涌. 基于 FPGA 的高速数据采集系统设计实现 [J]. 计算机测量与控制, 2013, 21 (2): 537-539.

[5] 贾 亮, 王真真, 马 兴, 等. 基于 FPGA 高速数据采集与存

储系统的设计 [J]. 计算机测量与控制, 2015, 23 (11): 3839-3841.

[6] YANG B, DING X W. Design of SPI bus communication in the multi-channel data acquisition systems [J]. Advanced Materials Research, 2012, 1864: 188-189.

[7] 刘林仙, 乔楠楠, 童 强, 等. 基于 FPGA 的 USB3.0 通信接口设计 [J]. 测试技术学报, 2021, 35 (3): 261-265.

[8] 叶 磊. 弹载加速度记录仪系统软件设计与实现 [D]. 南京: 南京理工大学, 2018.

[9] KIM S Y, KIM K H, KIM Y. Comparative study on pressure sensors for sloshing experiment [J]. Ocean Engineering, 2015, 94: 199-203.

[10] PARK B S, HAN K J, LEE S W, et al. Analysis of compensation for a g-sensitivity scale-factor error for a MEMS vibratory gyroscope [J]. Journal of Micromechanics and Microengineering, 2015, 25 (11): 4-9.

[11] 冯铭瑜, 王 真, 易 芳. 恒流源对 ICP 传感器高频响应的影响 [J]. 中国科技信息, 2018 (10): 57-58.

[12] 周 强, 贾方秀, 张天宇, 等. 低成本弹载侵彻过载测试系统设计 [J]. 兵器装备工程学报, 2018, 39 (11): 54-57.

[13] 孙倩华, 赵利军, 王 伟. 智能 ICP 信号调理器的设计 [J]. 电子科学技术, 2016, 3 (3): 257-261.

[14] 卫永琴, 高建峰. 一种恒流源电路的巧妙设计 [J]. 仪器仪表学报, 2006 (9): 1170-1172.

[15] 李金强. 基于 eMMC 的弹载高速多参数采集存储系统设计 [D]. 太原: 中北大学, 2020.

[16] LI Z R, WANG C H, SONG Y K, et al. The design for high speed LVDS transceiver on FPGA [C] //Advanced Science and Industry Research Center. Proceedings of 2014 International Conference on Computer, Network Security and Communication Engineering (CNSCE 2014). Advanced Science and Industry Research Center; Science and Engineering Research Center, 2014: 5.

[17] 卢腾辉. eMMC 主机控制器设计与研究 [D]. 广州: 华南理工大学, 2018.

[18] 周 全. 高速低功耗 SRAM 的设计与实现 [D]. 长沙: 国防科学技术大学, 2013.

[19] 胡志臣, 刘家玮, 林 桐, 等. 20 GSa/s 高速采集模块设计与实现 [J]. 计算机测量与控制, 2017, 25 (1): 196-197, 203.

[20] 张 煜, 陈 微, 吴利舟, 等. 基于 FPGA 的 HS400 模式 eMMC 控制器设计与实现 [J]. 计算机工程与科学, 2018, 40 (6): 969-976.

[21] 姜俊宏. 基于 eMMC 阵列的高速大容量存储与传输系统 [D]. 南京: 南京理工大学, 2018.

[22] TONG X R, SHENG Z B. Design of UART with CRC check based on FPGA [J]. Advanced Materials Research, 2012, 1700: 1242-1244.

[23] EL-MEDANY W M. Reconfigurable CRC IP core design on Xilinx Spartan 3AN FPGA [J]. Int. J. of Computer Applications in Technology, 2017, 55 (4): 258-262.