

# 高集成度射频收发器的差分正交调制解调测试与工程实现

王志强, 丁丹

(航天工程大学 电子与光学工程系, 北京 101416)

**摘要:** 针对高集成度射频收发器(AD9361)实现差分正交调制解调(DQPSK)收发过程中存在的工程实现问题,采用理论分析与硬件平台实现相结合的方法测试AD9361,验证DQPSK调制解调;先通过Serial Peripheral Interface(SPI)接口测试AD9361自发自收,采用点积叉积方法实现了DQPSK的调制解调;配置AD9361过程中,通过测试定位初始化后AD9361输出端无波形、通过示波器观察发现AD9361发射与接收本振时域波形扭曲、频谱仪观察AD9361输出端谐波分量严重、DQPSK解调时发射本振与接收本振存在随机相位误差4个疑难问题,分别通过采用降低SPI时钟频率为10 MHz、AD9361芯片的系统时钟更改设置为40 MHz、初始化过程中输出端频率设置为1.4 GHz、DQPSK的解调采用点积叉积方式进行解调4种方法予以解决;实验结果表明4个相关问题解决效果良好,所实现的DQPSK收发性能可靠。

**关键词:** AD9361; SPI接口; 输出巴伦; DQPSK; 点积叉积

## Test and Engineering Implementation of Differential Quadrature Modulation and Demodulation for Highly Integrated RF Transceiver

WANG Zhiqiang, DING Dan

(Department of Graduate Management, Space Engineering University, Beijing 101416, China)

**Abstract:** Aiming at the engineering implementation problems in the process of differential quadrature modulation and demodulation (DQPSK) transceiver of highly integrated RF transceiver (AD9361), the method of combining theoretical analysis and hardware platform implementation is used to test AD9361 and verify DQPSK modulation and demodulation. Firstly, AD9361 is tested for self-transmitting and receiving through the serial peripheral interface (SPI), and the modulation and demodulation of DQPSK is realized by using the dot product and cross product method. In the process of configuring AD9361, there are four difficult problems: no output waveform after test positioning initialization, time domain distorted waveform of AD9361 transmitting and receiving local oscillation (LO) observed by oscilloscope, serious harmonic component output of AD9361 observed by spectrometer, random phase error between transmitting LO and receiving LO during DQPSK demodulation, respectively by reducing SPI clock frequency to 10 MHz, the system clock of AD9361 chip is set up to 40 MHz, the output frequency is set up to 1.4 GHz during initialization, and the demodulation of DQPSK is demodulated by dot product and cross product. The experimental results show that the four related problems are solved effectively, and the implemented DQPSK transceiver performance is reliable.

**Keywords:** AD9361; SPI interface; output balun; DQPSK; dot product; cross product China Library Classification No: TN914

收稿日期:2021-10-16; 修回日期:2021-11-02。

作者简介:王志强(1997-),男,辽宁本溪人,硕士研究生,主要从事信息与通信工程方向的研究。

引用格式:王志强,丁丹.高集成度射频收发器的差分正交调制解调测试与工程实现[J].计算机测量与控制,2022,30(2):31-37.

## 0 引言

ADI 公司的 AD9361 集成射频捷变收发器, 具有很强的可编程性和宽带能力<sup>[1]</sup>, 器件集 RF 前端与灵活的混合信号基带部分为一体, 集成频率合成器, 为处理器提供可配置数字接口。AD9361 芯片工作频率可达 70 MHz~6 GHz, 通道带宽可以达到 200 kHz 至 56 MHz, 同时支持外部控制, 功能强大, 因此在 3G, 4G 基站有着广泛应用。文献 [2] 在自回环测试 AD9361 功能时只是观察接收端信号的频率, 但未考虑到系统时钟误差对接收、发射本振的时域波形带来的影响。文献 [3] 基于 AD9361 实现 QPSK 调制解调, 并未考虑到 AD9361 接收与发射本振的精度。

本文将从工程实现角度出发, 发现并解决 4 个工程问题: 1) 发现 AD-FMCOMMS2 输出端在输出 70 MHz 正弦波时, 同时发现 100 MHz, 150 MHz 正弦波谐波分量都非常严重, 分析其原因是由于子板的输出端的输出巴伦匹配频率为 2.4 GHz, 导致相比较于 2.4 GHz 低的频率输出谐波分量严重, 将输出端的频率设置为 1.4 GHz 谐波分量将得到抑制; 2) AD9361 如果系统时钟设置与真实系统时钟频率有误差将会导致发射与接收本振的时域波形扭曲, 因此系统时钟应将默认的 38.7 MHz 修改为 40 MHz; 3) 分析 DCXO 的频率精度导致的频差大小将不会导致点积又积解调系统的解调<sup>[4]</sup>; 4) 分析 AD9361 接收与发射本振的随机相位差导致接收端的星座图偏移。

## 1 AD9361 配置

AD9361 通过一个串行外设接口 SPI 与 FPGA 开发板实现通信。该接口可以配置为 4 线接口, 带有专门的接收和发射端口, 也可以配置为 3 线接口, 带一个双向数据通信端口。该总线允许 BBP 通过一种简单地址数据串行总线协议, 设置所有器件控制参数。

AD9361 中 SPI 接口的写命令遵循 24 位格式。前 6 位用于设置总线方向和需要传输的字节数。接下来的 10 位数据的写入地址。最后 8 位是将被传输至指定寄存器地址 (MSB 至 LSB) 的数据。AD9361 还支持 LSB 优先格式, 允许命令以 LSB 至 MSB 格式写入。在该模式下, 对于多字节写命令, 寄存器地址将递增。SPI 写时序如图 1 所示。

读命令遵循相似的格式, 区别在于, 前 16 位在

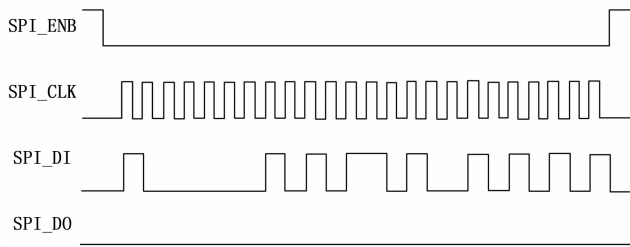


图 1 SPI 时序图

SPI\_DI 引脚上传输, 最后 8 位从 AD9361 中读取, 如果是 4 线模式, 则在 SPI\_DO 引脚上完成, 如果是 3 线模式, 则在 SPI\_DI 引脚上完成。这里我们使用默认的 4 线接口模式。

测试 SPI 接口功能, 首先找到 AD9361 内部可读可写的寄存器位 0x3DF, 将配置文件载入开发板并与 ad9361 连接, 通过 signaltap 采样内部开发板管脚, 先对寄存器 0x3DF 进行写入, 写入的数据为 0x88, 再读出寄存器 0x3DF 的值, 再观察 sdo 管脚, 观察 SPI\_CS\_N 高电平前八位的值对应位寄存器 0x3DF 的读出值为 0x88。

## 2 AD9361 测试验证

### 2.1 正弦信号自发自收验证

设置 AD9361 发送端的本振为 1.4 GHz, 发送带宽为 5 MHz, 发送端的采样速率为 8 MHz, IQ 两路发送全“1”, 因此发送端将会发送一个 1.4 GHz 的正弦信号。接收端设置本振为 1.399 GHz, 接收端的带宽为 5 MHz, 接收端的采样频率为 8 MHz, 自回环将发送端的信号接收回来, 经过混频, 带通滤波器, AD 变换后, 因此接收端将会得到 0.1 MHz 的正弦信号, 将接收端的 IQ 两路信号用 signaltpa 采样保存后用 Matlab 分析结果如图 2 所示。

对接收结果的频率进行验证, signaltap 采样时钟设置为 125 MHz, 因此图中 Matlab 两个点之间的时间为  $T_0 = 1/125\ 000\ K\ (s)$  从图中看出一个正弦时钟周期大约有  $M=1\ 250$  个点, 从而得出该时钟的频率  $F$  为:

$$F = \frac{1}{M/T_0} = \frac{1}{1250/125000\ K} = 0.1$$

验证此次测试的结果。

### 2.2 DQPSK 自发自收验证

AD9361 实现 DQPSK, 首先基带信号处理的实现由 FPGA 来完成, 设前一时间刻发送的相位为  $\pi/4$ ,

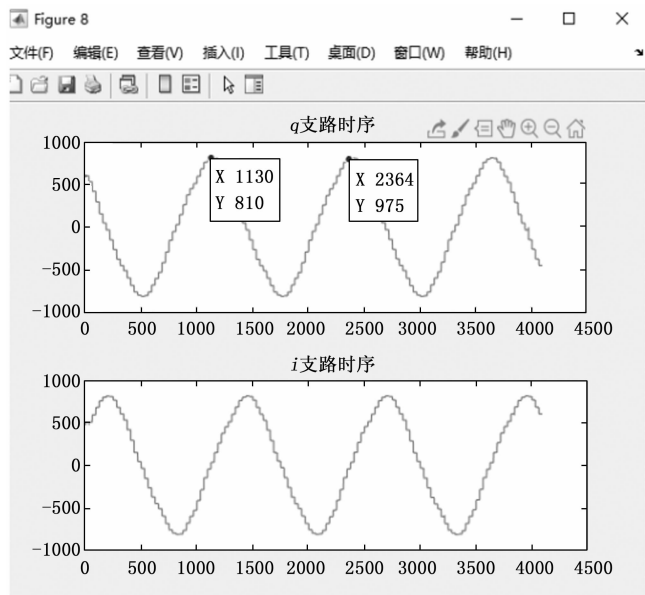


图 2 0.1 MHz Matlab 分析结果

意味着前一时刻 FPGA 发送给 IQ 两路数据分别为 +1, +1。若此时输入的符号为 10, 此时刻相位变化  $\pi/2$ , 此时刻发送的相位应该为  $3\pi/4$ , 对应 IQ 两路数据应该为 -1, +1, 前一时刻共 4 种相位, 发送的数据两位二进制, 差分调制发送端共 16 种情况。设置 AD9361 的发送端采样速率为 8 MHz, 为了保证采样的正确性, 设置为符号速率为 1 MHz, 这样每个符号 AD9361 都会采样八次。FPGA 实现框图见图 3。发送端的发带宽设置为 8 MHz。发送端频率设置为 1.4 GHz 载频。发送端将得到, 中频频率为 1.4 GHz, 带宽为 4 MHz 的 DQPSK 信号。

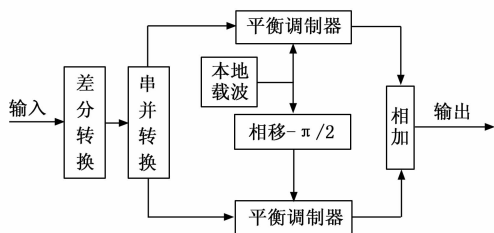


图 3 DQPSK 调制 FPGA 实现框图

DQPSK 的解调若采用经典的相干解调法, 对于接收端与发射端的频率误差与相位误差的精度要求很高, 然而对于 AD9361 而言首先发送端与接收端的本振是由两个不同的锁相环产生的, 两个不同的锁相环很难产生相同的频率, 同时两本振之间还存在随机的相位差, 采用相干解调法很难实现。针对本系统而言, 采用点积叉积方法对 DQPSK 进行解调, 收发本

振的偏差对采用点积叉积方法影响几乎可以忽略。与此同时, DQPSK 相比较于 QPSK 而言, 发送的信息为前后相差的, 抵消了接收与发射本振的相位差随机的影响, 但使用点积叉积的方法前提条件为接收与发射本振的频差不会导致对最终的判断结果错误。与发送端的频率设置相同, 接收端的采样时钟设置为 8 MHz, 因此每 8 个点表示单个符号, 具体的 FPGA 处理如图 4 所示。

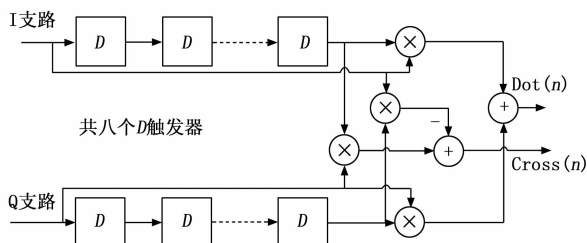


图 4 点积叉积解调 FPGA 实现框图

接收端设置为与发送端的采样速率相同的采样速率, 即: 采样速率设置为 8 MHz 通道带宽设置为 5 MHz, 用 Matlab 进行分析结果如图 5 所示。

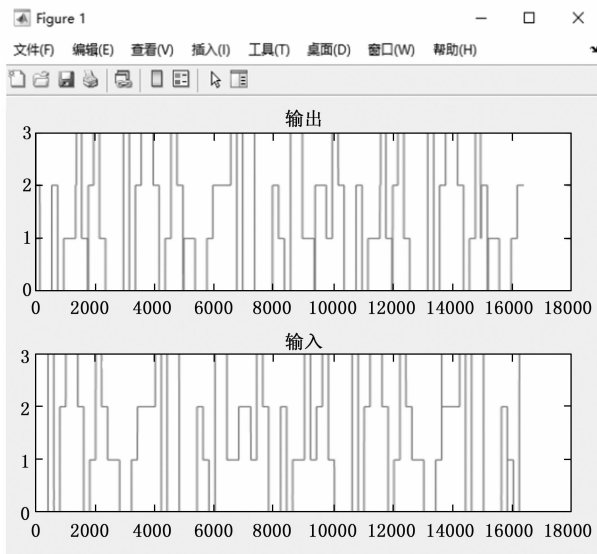


图 5 输出输入对比波形结果

从波形图结果可以看出发送端与接收端的解调结果相一致。

### 3 工程实现问题及解决

#### 3.1 AD9361 锁相环的校准问题及解决

在实现 AD9361 对于正弦信号的自发自收过程中, 先根据 AD9361 的配置软件 AD9361 Evaluation Software 产生的配置脚本对 AD9361 进行初始化, 其

中脚本中大部分为 SPI Write 指令，还有部分 SPI Read 指令，例如 SPIRead 05E // Check BBPLL locked status (0x05E [7] = 1 is locked) 即：只有当寄存器 05E 第八位读出的结果为 1 时，初始化才能继续进行。还有一类指令例如 WAIT\_CALDONE RXCP, 100 // Wait for CP cal to complete, Max RXCP Cal time: 460.800 ( $\mu s$ ) (Done when 0x244 [7] = 1) 此行脚本表示为读取寄存器 244 的第八位，直到第八位的值为 1 表示 rxcp cal 校准成功，同时又具有最大校准时间 460 ( $\mu s$ )，若超过校准时间寄存器 244 的第八位的值仍为 0，初始化继续往下进行。

1) 问题描述：AD-FMCOMMS2 子板的输入参考时钟为 dcxo 输入，如果根据配置软件默认设置 refclk path 为 extclk into xtal\_n 路径，按此方式进行初始化，结果显示初始化未成功。初始化进行到 spi 接口读出的 05E 寄存器的 bit [7] 为 0，此结果表明 bbpll 频率合成器一直不能锁定。

问题原因及解决方式：由于 AD-FMCOMMS2 的系统时钟输入未 DCXO 输入，如果配置为内部时钟输入，导致锁相环无时钟源，不能锁定。将 AD9361 系统时钟输入方式改为 xo into xtal\_n<sup>[5]</sup>，SPI 接口读出 05E 寄存器的 bit [7] 为 1，判断 bbpll 频率合成器校准成功。

2) 问题描述：为保证 ad9361 初始化效果，SPI 接口时钟频率不宜过高，一般选用 10 M 及 10 M 以下的时钟，因此工程中采用 10 M 的时钟频率。同时，每一次写入寄存器值都要等待 2 ms 保证校准效果，如果时钟过高，或者写入的太快，将会导致 rxcp 校准出现问题，初始化不能继续进行。将初始化 spi 时钟设置为 40 MHz，每一个写入寄存器的间隔不设置的结果。按照配置软件产生的配置脚本，寄存器已经配置结束，状态机也处于 fdd 状态，但频谱仪上没有信号，说明初始化校准不理想。

原因及解决方式：AD9361 系统配置时钟应设置为 40 MHz 以下，保证写入每个寄存器质量。因此将 SPI 时钟设置为 10 MHz，同时按照脚本上的每一写时序之间相隔 2 ms 写入，初始化可以继续继续进行。

3) 问题描述：按照配置软件产生的脚本进行对 AD9361 的配置后，iq 两路发送全 1，发送本振设置为 150 MHz，通道衰减<sup>[6]</sup>设置为 0 dB，使用发射通道 2 即：TX2A 使用示波器并未观测到信号。

问题原因：这是由于按照配置软件产生的脚本进行初始化后，AD9361 状态机仍工作在 alert<sup>[7]</sup> 状态，此状态下对于全双工工作模式 AD9361 并不能发射与接收信号，所以还需要将状态机转换到 fdd 工作状态。根据 spi 接口读取到的 ad9361 内部寄存器 014 的状态值为 01h 根据 ad9361 数据手册，当读取 014 寄存器的值为 01h 时表示状态机仍处于 alert 状态，验证了上述说法。

解决方式：对寄存器 014 写入值 023 即；将 AD9361 状态机转换到 fdd 状态下，示波器接收到的结果如图 6 所示，图中为 70 M 正弦波的接收结果<sup>[8]</sup>。

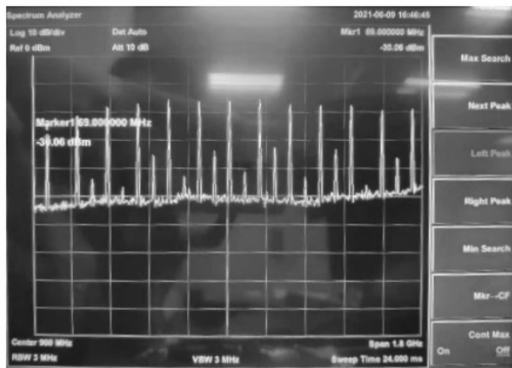


图 6 频谱仪接收结果

### 3.2 AD-FMCOMMS2 输出匹配频率问题及解决

问题描述及原因：根据图 6 观察频发现 70 MHz 的信号谐波分量严重。这是由于 AD-FMCOMMS2 发射与接收端的巴伦匹配频率在 2.4 GHz，如果输出端输出的频率过小将会导致谐波分量很高。AD-FMCOMMS2 接收端的巴伦<sup>[9]</sup>如图 7 所示。

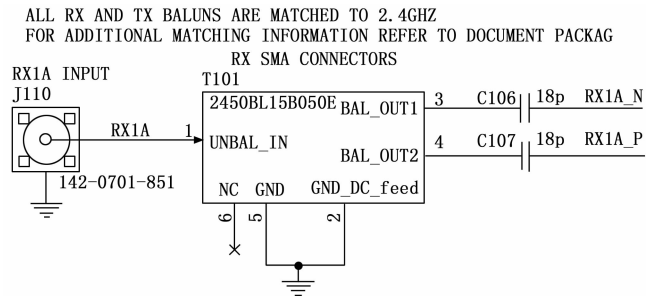


图 7 接收端巴伦

解决方式：针对输出端匹配频率为 2.4 GHz 的输出巴伦，如果采用过小的输出频率将会导致输出端的奇次谐波分量严重，因此提高输出端的匹配频率为

1.2 GHz, 使输出巴伦抑制谐波分量。

### 3.3 AD-FMCOMMS2 系统时钟问题及解决

1) 问题描述及原因: AD-FMCOMMS2 的输入参考时钟为 40Mdcxo 输入, 如果系统参考时钟频率为配置软件软件的默认频率即 38.7 MHz 将会导致发送端的锁相环存在频偏<sup>[10]</sup>, 如果参考时钟设置为 40 MHz 将会大大降低频偏。效果如图 8 所示。

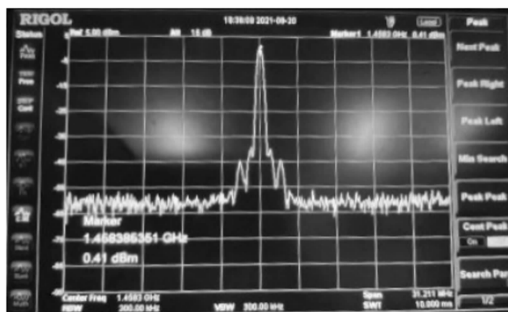


图 8 参考时钟为默认 38.7

按照默认设置的 dcxo 频率计算, 即 RFPLL 需要将 38.4 M 的时钟倍频到 1 400 M, 则倍频倍数  $M$  为:

$$M = F_{LO} \div F_{ref} = 1400 \div 38.4 = 36.4583$$

实际上 dcxo 的频率对于 AD-FMCOMMS2 而言为 40 MHz<sup>[11]</sup>, 因此实际值与设置值存在  $F_{dif}$  1.6 MHz 的偏差, 所以接收端的频差为:

$$F_{increase} = M \times D_{dif} = 1.6 \times 36.458 = 58.3328$$

验证了存在 58.3 MHz 的频差。修改方式: 将参考时钟频率修改为设置为 40 MHz, 用频谱仪观测 1.4 GHz 信号, 得到的结果, 结果表明修改系统时钟频率后的输出端频率误差很小。

解决方式: 参考时钟设置为 40 MHz 发送端本振设置为 1.4 GHz, 接收端本振设置 1.399 9 GHz, 混频滤波后, 接收端将会得到 0.1 MHz 正弦信号, 如图 9 所示。发送带宽与接收带宽都设置为 5 MHz 将接收到的信号用 Signaltap 采样, 用 Matlab 分析采样得到的数据结果如下。

2) 问题描述: 图中 signaltap 的采样结果存在波形扭曲问题, 经过对比分析得出, 是由于 ad9361 时钟源的影响, 图上的结果是采样默认时钟源频率 38.7 MHz, 得到的 iq 两路信号波形扭曲, 而 AD-FMCOMMS2 的输入参考时钟为 40 MHz 的 dcxo 输入, 若采用 38.7 MHz 系统时钟输入将导致输入输出端的锁相环锁定不理想。进而导致了输入输出本振波

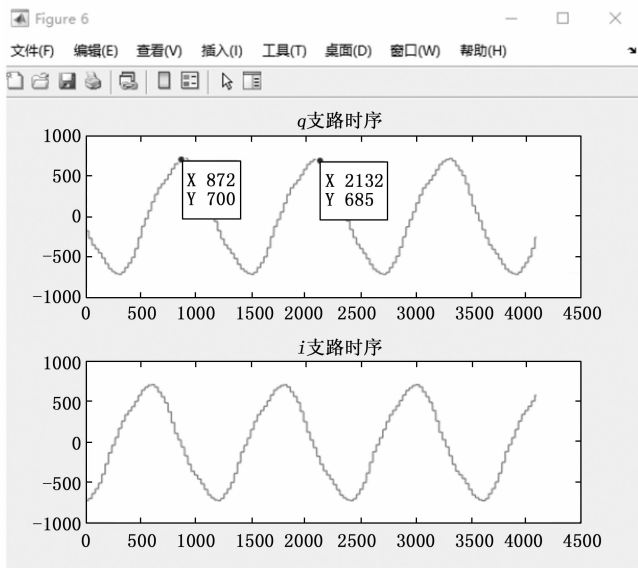


图 9 0.1 MHz 接收正弦信号

形的扭曲, 因此混频后的波形会扭曲。

解决方式: 对配置软件的 dcxo 的频率修改为 40 MHz, 得到的新的 0.1 MHz 频差修改系统参考时钟后的 AD9361 输出端的波形扭曲问题得到很好的改善<sup>[12]</sup>。

### 3.4 AD9361 的随即相位差与频差对解调影响

若接收端的采样速率设置为 8 MHz, 用 Matlab 进行分析解调时, 接收端 A/D 采样后, FPGA 内部 I/Q 两路数据波形图及星座如图 10 所示。

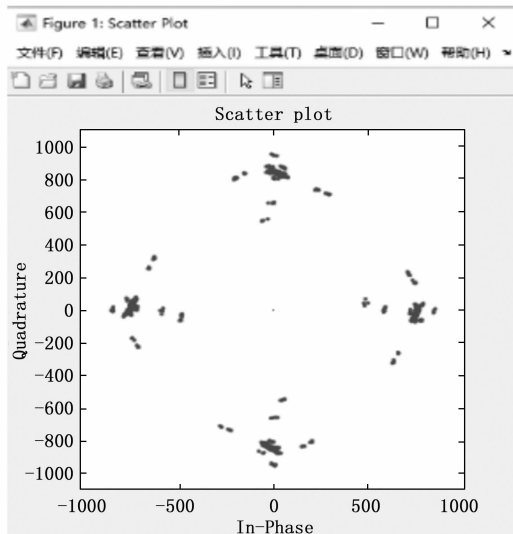


图 10 星座图

图 10 显示的接收端星座图为  $\pi/2$  DQPSK 解调出来的结果<sup>[13]</sup>, 实际本系统采用的是  $\pi/4$  DQPSK 调制的方式。产生这种现象的原因是由于发射与接收本

振的相位差随机性导致的，接收与发射的本振是由相同的系统时钟 REF\_CLK 分别经 rxpll, txpll 倍频后得来的，在不同的上电时刻对于 rxpll, txpll 倍频后的接收与发射本振的相位不同<sup>[14]</sup>，导致 AD9361 的接收端存在不同的相位差。这种随机相位差对解调端不会产生影响，理论分析如下：假设发送端的信号为  $\cos(\omega_0 t + \theta_0)$  其中  $\theta_0$  为： $\pi/4, 3\pi/4, 5\pi/4, 7\pi/4$ 。以  $i$  支路接收端为例，设  $i$  支路接收端的本振为  $\cos(\omega_c t + \theta_1)$  其中  $\theta_1$  为 ad9361 的发射本振与接收端本振的相位差。对其进行混频结果如下：

$$\begin{aligned} \cos(\omega_0 t + \theta_0) * \cos(\omega_c t + \theta_1) = \\ \frac{1}{2} [\cos(\omega_0 t + \omega_c t + \theta_0 + \theta_1) + \\ \cos((\omega_c - \omega_0)t + \theta_1 - \theta_0)] \end{aligned}$$

经过低通滤波器以后为：

$$\frac{1}{2} \cos((\omega_c - \omega_0)t + \theta_1 - \theta_0)$$

分析频差对星座图影响：除接收信号本身相位变化外，频差将会导致前后两时刻接收信号的相位变化，使得星座图上的点存在发散情况。对于相位差将会导致星座图的整体偏移，例如本次接收结果，发送的信号为  $\pi/4$  dqpsk 信号，对于接收端接收到的星座图而言为  $\pi/2$  dqpsk 信号，由于接收端与发送端的本振的行为差导致的<sup>[15-16]</sup>。

解决方式：为解决发送端与接收端本振的相位差随机性，采用 DQPSK 的调制方式，这样发送与接收端只需要前后两次信息的相位差信息而不需要具体的相位信息，很好地解决了相位差随机的的问题。同时接收与发射端的本振还存在着频差，因此采用点积叉积的方法对接收端进行解调，采用点积叉积的方法前提条件为接收与发射本振的频差不会导致判断的结果的错误。判断分析能否采用点积叉积方法解调，AD9361 接收与发射的频差是否在点积叉积频差允许范围内，首先 dco<sup>[17-18]</sup> 的频率精度是由其电容控制的，电容精度将会导致系统时钟为 40 MHz 频率偏差范围为 0.000 72 MHz，对其进行倍频，因此对于 1.4 GHz 的本振将会导致 0.025 2 MHz 频偏，采样频率为 8 MHz，根据模拟频率与数字角频率的转换，频差的结果小于四分之 pi。因此不会对点积叉积方法进行解调产生影响。

## 4 结束语

本文针对 AD9361 芯片测试其自发自收并验证

DQPSK。此过程中发现并解决 4 个疑难问题：1) 在对 AD9361 初始化过程中，由于系统时钟输入方式的设置错误将导致芯片中的锁相环不能锁定或锁定效果不理想，修改系统时钟输入方式后，内部锁相环可以锁定；2) 初始化结束后输出端谐波分量严重，这是由于输出端的输出巴伦匹配频率为 2.4 GHz<sup>[19]</sup>，因此若输出时钟频率设置的过小输出巴伦不能抑制谐波分量，修改输出端的频率为 1 GHz 以上，谐波分量将很好的抑制；3) AD-FMCOMMS2 系统时钟并非 AD9361 配置软件默认的 38.7 MHz，若采用此频率配置后，导致 AD9361 内部锁相环锁定不理想表现为 AD9361 输出端将会存在频差与波形扭曲，修改系统时钟为 40 MHz dco<sup>[20]</sup> 输入，解决了输出端频差与波形扭曲；4) 进行 DQPSK 解调过程中发现接收端与发射端存在频差与相位差，同时相位差具有随机性。采用点积叉积的方法进行解调将很好地解决收发本振的频率差问题，但是采用这种方法解调频率差在一定范围内，若果过高将导致解调出错。针对相位差随机性问题，本工程采用的是差分正交调制，发送的信息为前后两次相位差，很好的抵消本振相位差带来的影响。

## 参考文献：

- [1] Analog Devices Inc. AD9361 [EB/OL]. www.analog.com, 2011.
- [2] 姜浩, 张治. 基于 AD9361 的软件无线电平台设计与实现 [J]. 电视技术, 2015, 39 (15): 11-15.
- [3] 居治毅. 基于 AD9361 的 QPSK 无线收发系统设计 [D]. 哈尔滨: 哈尔滨工程大学, 2020.
- [4] 丁丹. 多模式调制解调器关键技术研究 [D]. 北京: 装备学院, 2003.
- [5] 范红. 基于 SOC 与 AD9361 的软件无线电射频收发机 [D]. 上海: 东华大学, 2015.
- [6] 胡婉如, 王竹刚, 胡俊杰, 等. 一种基于 Zynq-7000 + AD9361 的通用调制平台设计 [J]. 电讯技术, 2020, 60 (12): 1485-1490.
- [7] 姚辰, 王竹刚, 熊蔚明. 基于 AD9364 的通用软件无线电平台的 FPGA 设计与实现 [J]. 电子设计工程, 2018, 26 (2): 149-151.
- [8] 苏新. 基于 AD9361 的软件无线电硬件平台的设计与实现 [D]. 北京: 北京邮电大学, 2018.
- [9] BOUJSE D. TRUST system research: architectures and

- UML modeling [C] //Proceedings of Software Defined Radio Forum, 2002.
- [10] 杨小牛. 从软件无线电到认知无线电, 走向终极无线电—无线通信发展展望 [J]. 中国电子科学研究院学报, 2008, 2 (1): 6-7.
- [11] 郭芳华. 软件无线电技术综述 [J]. 现代电子技术, 2003, 26 (21): 67-73.
- [12] MO J, SO H S, WALRAND J. Speakeasy: the military software radio [J]. IEEE Communications Magazine, 1995, 33 (5): 56-61.
- [13] MITOLA J, GERALD Q, MAGUIRE J R. Cognitive radios: making software radios more personal [J]. IEEE Personal Communications, 1999, 6 (4): 13-18.
- [14] TABASSAM A A, ALI F A, KALSAIT S, et al. Building software-defined radios in Matlab Simulink - A step towards cognitive radios [C] // Computer Modelling and Simulation (UKSim) 13th International Conference [J]. Cambridge, 2011: 492-497
- \*\*\*
- (上接第10页)
- [43] QIN T, LI P, SHEN S. Vins-mono: a robust and versatile monocular visual-inertial state estimator [J]. IEEE Transactions on Robotics, 2018, 34 (4): 1004-1020.
- [44] BAI J, GAO J, LIN Y, et al. A novel feedback mechanism-based stereo visual-inertial SLAM [J]. IEEE Access, 2019, 7: 147721-147731.
- [45] LI J, YANG B, HUANG K, et al. Robust and efficient visual-inertial odometry with multi-plane priors [C] //Chinese Conference on Pattern Recognition and Computer Vision (PRCV), Springer, Cham, 2019: 283-295.
- [46] FU Q, WANG J, YU H, et al. PL-VINS: real-time monocular visual-inertial SLAM with point and line [J]. arXiv preprint arXiv: 2009.07462, 2020.
- [47] KARIMI M, OELSCH M, STENGEL O, et al. LoLa-SLAM: low-latency LiDAR SLAM using continuous scan slicing [J]. IEEE Robotics and Automation Letters, 2021 (99): 1.
- [48] REN Z, WANG L, BI L. Robust GICP-based 3D LiDAR SLAM for underground mining environment [J]. Sensors, 2019, 19 (13): 2915.
- [49] YE H, CHEN Y, LIU M. Tightly coupled 3d lidar inertial odometry and mapping [C] //2019 International
- [15] BAJAJ J, WOOSEONG KIM, OH S Y, ET al. Cognitive radio implementation in ISM bands with microsoft SORA [C] //2011 IEEE 22nd International Symposium on Personal Indoor and Mobile Radio Communications, 2011: 531-535.
- [16] DARABI H, MURPHY D, MIKHEMAR M, et al. 2.1 A highly linear inductorless wideband receiver with phase- and thermal- noise cancellation [C] //Solid-state Circuits Conference, 2015, 58: 1-3.
- [17] Analog Devices Inc. AD7291 [EB/OL]. www.analog.com, 2011.
- [18] 潘子欣, 刘毅. 软件无线电的现状与发展趋势 [J]. 广东科技, 2008, 3: 33-34.
- [19] 李晓峰, 周宁, 周亮. 通信原理 [M]. 北京: 清华大学出版社, 2011.
- [20] 李艳芬, 朱碧慧. UQPSK 调制在宽带数传和跟踪系统中的应用 [J]. 电子技术与软件工程, 2013, 27 (2): 33-35.
- \*\*\*
- Conference on Robotics and Automation (ICRA). IEEE, 2019: 3144-3150.
- [50] LAMBRIGHT A L, LIU Y, JOYNER I A, et al. Mechanism-based design of an amide-directed nickel-catalyzed arylboration of cyclopentene derivatives [J]. Organic Letters, 2021, 23 (2): 612-616.
- [51] COSTANTE G, MANCINI M, VALIGI P, et al. Exploring representation learning with cnns for frame-to-frame ego-motion estimation [J]. IEEE Robotics and Automation Letters, 2015, 1 (1): 18-25.
- [52] CLARK R, WANG S, WEN H, et al. Vinet: Visual-inertial odometry as a sequence-to-sequence learning problem [C] //Proceedings of the AAAI Conference on Artificial Intelligence, 2017, 31 (1): 3995-4001.
- [53] LI R, WANG S, LONG Z, et al. Undeepvo: Monocular visual odometry through unsupervised deep learning [C] //2018 IEEE International Conference on Robotics and Automation (ICRA), IEEE, 2018: 7286-7291.
- [54] YANG N, STUMBERG L, WANG R, et al. D3vo: Deep depth, deep pose and deep uncertainty for monocular visual odometry [C] //Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition, 2020: 1281-1292.