

# 高速数字信号测试完整性分析与研究

王莹, 王燕, 曹子剑

(南京电子技术研究所, 南京 210039)

**摘要:** 雷达高速数字电路模块(基于VPX总线)的高速数字接口测试过程中, 针对出现的高速数字信号质量不理想的问题, 分析了该现象出现的原因并最终提出了保证测试过程中高速信号的信号完整性的解决方案: 在高速信号连接电路设计中避免出现多个终端输出; 实验结果表明, 高速信号接口单一输出端的高速信号质量相比多个输出端的信号质量有明显改善, 信号误码率优化了 $e^{10}$ 倍; 通过眼图测量, 信号速率为1.25 Gbps时单一输出端的高速信号眼高为 $8.9 \mu\text{W}$ , 眼宽为730 ps, 多个输出端的信号已经无法形成眼图; 验证了高速数字信号测试时为了保证信号完整性应避免出现多个终端输出的正确性。

**关键词:** 高速数字信号; 信号完整性; 误码率; 眼图

## Analysis and Research on Integrity of High-speed Digital Signal Test

WANG Ying, WANG Yan, CAO Zijian

(Nanjing Research Institute of Electronics Technology, Nanjing 210039, China)

**Abstract:** In order to solve low quality problem of high speed digital signal interface testing in radar high speed digital circuit module (based on VPX bus), the above reason is analyzed and a solution is finally proposed to keep signal test integrity of high speed signal. The output of multiple terminals is avoided in high speed signal connection circuit. Experimental results show that high speed signal quality of single-output interface is much better than that of multiple terminals interface. The signal error rate is improved by  $e^{10}$  times. Eye-diagram is measured by 1.25 Gbps of signal rate,  $8.9 \mu\text{W}$  of single terminal high speed signal eye height and 730 ps of eye width. However, the multiple terminals signal cannot form an eye figure. In order to ensure signal integrity in high speed digital signal testing, the output validity of multiple terminals t should be avoided.

**Keywords:** high speed digital signal; signal integrity; error rate; eye-diagram

## 0 引言

现今雷达对庞大数据传输性能的要求越来越高, 高速数字电路在雷达上的应用非常普遍, VPX总线引入高速串行总线替代了传统的低速并行总线, 数据传输效率大大提高。常用的基于VPX总线的高速数字电路接口包括 RapidIO、Serdes等, 接口种类多, 数量多, 并设计后插板将高速信号引出。高速信号的测试与低速信号测试相比, 信号自身的频率高, 并且高速信号边沿的谐波信号相较于信号自身的频率更高, 信号跳变处的快速变化容易发生信号失真的现象, 包含了高速信号的上升沿和下降沿, 会引发非预期的信号传输问题, 因而在高速信号测试种需要针对信号完整性问题进行研究和分析。

在对被测信号进行测试时, 信号完整性表征的是信号经由传输线传递后状态变化情况, 信号完整性良好表示传输后保持原来的逻辑关系, 并且, 能够实现电路中预期的响应。常见的信号完整性异常情况包括欠冲、过冲、阻尼振荡等故障, 输入的信号发生异常的跳变, 引发畸形信号进一步传输和储存, 从而导致对信号进行测试时可能在错误的信号跳变处对信号数据进行了采集, 导致测试结果异

常或者有效测试数据的丢失, 最终导致测试系统性能下降, 在信号恶化严重的情况下, 将使得测试系统无法正常工作<sup>[1-5]</sup>。

对这些高速数字电路模块的测试既需要测试前板至VPX背板的信号, 也需要测试从后插板引出的高速信号, 所以测试板也配备相应的后插板<sup>[6]</sup>。若测试模块在同一个槽位既设计了测试被测模块背板上的信号也设计了将测试前板的信号引出到后插线板, 就出现了测试模块背板上的高速数字信号同时接到两个终端: 被测模块和测试模块后插板, 当两个终端同时接入, 必然引起高速信号传输过程中数据的不稳定和丢失; 本文主要讨论的是两个终端不同时接入, 即一个槽位多种用途的情况, 此时另一个终端处于悬空的状态, 分析高速信号传输的信号完整性。

## 1 系统结构及原理

本高速电路测试系统由12槽VPX插箱、待测试的高速数字电路模块、测试模块以及测试模块后插板、示波器、仿真器和控制计算机组成, 主要功能是实现待测试模块的高速串行信号Serdes的测试, 信号速率为1.25 Gbps。测试系统设计时为了提高VPX槽位的复用性, 在一些槽位将信

收稿日期: 2021-09-12; 修回日期: 2021-11-09。

作者简介: 王莹(1992-), 女, 安徽滁州人, 工学硕士, 工程师, 主要从事雷达测试系统集成、数字电路测试技术及雷达系统健康管理技术等方向的研究。

引用格式: 王莹, 王燕, 曹子剑. 高速数字信号测试完整性分析与研究[J]. 计算机测量与控制, 2022, 30(4): 45-49.

号链路设计成单输入多输出的模式,如图 1 所示,待测高速模块在 VPX 上有 7 路 Serdes 信号,测试模块在 VPX 总线上有 8 路 Serdes 信号,引到后插板的有 3 路 Serdes 信号。测试模块插在 VPX 插箱 XS4 槽时有 7 路 Serdes 信号连接到 VPX 插箱另一槽位 XS5,其中,引到后插板的信号与连接到另一个槽位的信号中有两路是重叠的。当测试模块插在 XS12 槽位时,与其它任意槽位没有互连,XS12 是全独立槽位,仅实现给测试模块和其后板供电以及将前板的 3 路 Serdes 高速信号连接到后插板的功能。本文通过测试模块和其后板分别插在 XS4 槽位和 XS12 槽位出现的不同现象进行对比分析。

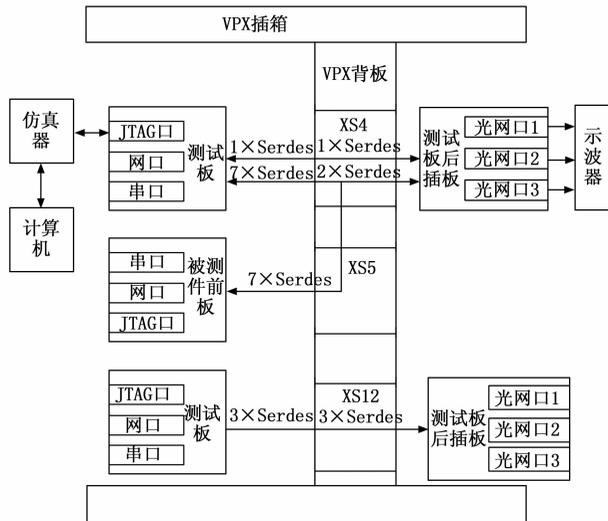


图 1 系统结构框图

## 2 高速信号测试完整性分析

高速信号测试需要针对被测板从前面板以及连接器上输出或者输入的高速信号测试需求进行分析,明确被测通道数量以及速率,设计匹配的 VPX 背板。高速 VPX 背板不同于普通电路板,具有高密度、高速率、负载重、连接器密集、信号拓扑结构复杂的特点<sup>[7-12]</sup>。被测板卡与测试模块利用高速 VPX 背板实现信号互连和通信,会引入一定的互连延迟,延迟会导致高速信号测试时出现时序问题、信号发生损耗、传输线效应以及串扰、噪声等信号完整性问题。

在 1.25 Gbps 高速信号测试系统中,其 VPX 背板涉及 1.25 Gbps 高速数字信号以及它们的各次谐波信号,对信号完整性要求高,设计好的 VPX 背板的关键是解决上述信号完整性问题,这也是保证高速信号测试系统正常运行的关键。

对于高速信号测试(1.25 Gbps 或更高)的背板设计,宜采用串行点对点的 LVDS(低电压差分信号对)技术。与单端数据传输方案相比,LVDS 提供的差分数据传输方案相比单端数据传输具有抑制共模噪声、低功耗的特征,并且能够传输更高的比特速率。LVDS 采用电流模式驱动器(CML)来发送数据,一般采用微带线和带状线的传输线

型式。两种传输方式各有优缺点,微带线传输更加适合于低速高密度的传输应用,在高速信号测试中如果要使用微带线传输,就需要尽可能地缩短距离,并且加宽微带线,从而减小损耗,增大噪声容限,这种传输方式的优点是,微带线不需要额外过孔,有利于放置终端匹配电阻,在信号测量时也较为方便;带状线传输信号时,高频电流的电磁场均匀的分布在导带的上下两侧,损耗小,相比于微带线传输屏蔽效果更好,受到的干扰小,但在放置终端匹配电阻和信号测量时需要借助于过孔<sup>[13-16]</sup>。

在高速信号测试中,相同传输速率、不同长度的背板,短背板相较于长背板,性能要更好一些;相同长度的背板、相同传输速率,带状线和微带线的性能相比较,带状线性能稍好一些;相同长度的背板、不同传输速率,信号传输速率越低,传输的性能越好。由此可知,针对固定速率的高速信号测试时,测试模块与被测模块尽可能是相邻槽位的互连关系,或者前后插互连的关系,从而能够保证在 VPX 背板上传输的距离最短,测试性能最好。

另外,在高速信号测试中,阻抗匹配是非常重要的。LVDS 如果缺少较好的终端阻抗匹配,那么高速信号将从差分信号线的传输终端反射回来,产生共模噪声,形成了高速信号的传输线上的电磁干扰辐射,对后继传输的信号产生一定的干扰,影响最终测试效果。

为了防止这种阻抗不匹配导致的反射的发生,LVDS 在设计中增加一个跨接在差分信号线上的  $100 \Omega \pm 20 \Omega$  终端电阻,用来匹配实际传输线的差分阻抗,减小差分对之间的线间距可以抑制接收端的共模噪声<sup>[17-22]</sup>。差分线最佳的设计方案是固定差分线之间的线距,并且将线距设为最小值,然后通过调整线宽,从而来控制差分阻抗。以下分别针对单一输出端阻抗失配和多个输出端阻抗失配两种情况展开信号完整性分析。

### 2.1 单一输出端阻抗失配的完整性分析

当信号沿传输线传播时,其路径上的每一步都有相应的瞬态阻抗。对高速信号进行测试时,被测模块产生高速信号,信号经由传输线传输,如图 2 所示,当路径中出现阻抗不连续的情况时,就会发生输入的一部分信号的能量从阻抗不连续的端点沿原传输线路传递回去的情况,产生信号反射的现象,发射能量的大小与阻抗失配的程度有关,阻抗失配程度小,反射程度就小;反之,阻抗失配程度越大,反射程度就越大。反射的结果对数字信号表现为过冲和下冲现象<sup>[23]</sup>。

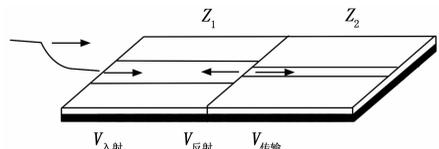


图 2 单一输出端的阻抗失配导致反射

高速信号传输距离过长,阻抗失配过大,信号过冲就会越大。从理论上分析,传输线是由无数个电感和电容组

成, 其中, 它的固定的阻抗值即为特征阻抗。假设, 图中左侧区域 (信号经过的第一个区域) 的瞬态特征阻抗是  $Z_1$ , 右侧区域 (信号经过的第二个区域) 的瞬态特征阻抗是  $Z_2$ , 那么, 反射系数可以表示为反射信号与入射信号幅值的比值:

$$\rho = \frac{V_{\text{反射}}}{V_{\text{入射}}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (1)$$

当  $Z_2 = Z_1$  时, 反射系统  $\rho = 0$ , 负载完全吸收到达的能量, 没有任何信号返回到源端, 这是临界阻尼的情况。

当  $Z_2 > Z_1$  时, 反射系统  $\rho > 0$ , 负载端多余的能量将会反射回源端, 负载端没有吸收全部能量, 这是欠阻尼的情况, 进入第二段传输线上信号的幅度会增加, 会导致过冲。

当  $Z_2 < Z_1$  时, 反射系统  $\rho < 0$ , 负载端试图消耗比源端提供的能量更多的能量, 通过反射通知源端提供更多的能量, 这是过阻尼的情况。

### 2.2 多个输出端阻抗失配的完整性分析

电路设计时常会出现分支使得信号到达多个输出端, 如图 3 所示, 两个输出端若都存在阻抗不匹配的现象, 那么此时有两个反射信号, 若两个输出端的阻抗不匹配均比较严重, 就会导致入射端的信号彻底失真。为了防止这种现象的出现就需要实现多个输出端的阻抗匹配<sup>[24-25]</sup>。

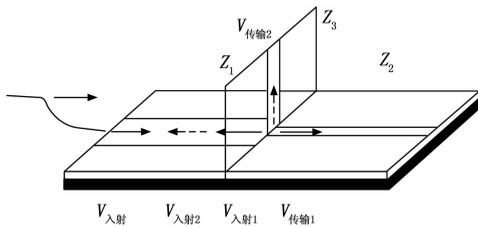


图 3 多个输出端阻抗失配反射

$$V_{\text{入射}} + V_{\text{反射1}} + V_{\text{反射2}} = V_{\text{传输1}} + V_{\text{传输2}} \quad (2)$$

入射波与反射波传播方向相反, 因此电流回路方向也相反, 则分界面两侧电流相等的条件是:

$$I_{\text{入射}} - I_{\text{反射1}} - I_{\text{反射2}} = I_{\text{传输1}} + I_{\text{传输2}} \quad (3)$$

由电压电流之间的关系可以得到, 总的反射系数为:

$$\rho = \frac{V_{\text{反射1}} + V_{\text{反射2}}}{V_{\text{入射}}} = \frac{Z_2 + Z_3 - Z_1}{Z_2 + Z_3 + Z_1} \quad (4)$$

要使得反射系数等于 0, 需要  $Z_2 + Z_3 = Z_1$ , 而一般情况下很难满足这一点, 那么多个输出端的反射系数与单一输出端的反射系数差值为:

$$\frac{\frac{Z_2 + Z_3 - Z_1}{Z_2 + Z_3 + Z_1} - \frac{Z_2 - Z_1}{Z_2 + Z_1}}{\frac{2 * Z_1 * Z_3}{(Z_2 + Z_1) * (Z_2 + Z_3 + Z_1)}} > 0 \quad (5)$$

相较于单一输出端的反射情况, 反射系数增大, 导致信号失真严重。

## 3 实验结果与分析

### 3.1 误码率测试

对测试板到后插板的三路 Serdes 信号分别进行 loop-

back 自回环模式误码率测试、非独立槽位外部回环模式误码率测试和独立槽位外部回环模式误码率测试。Loopback 示意图如图 4 所示, 内部自回环测试时, 修改 loopback 控制逻辑, 实现系统 loopback 寄存器的配置, 数据利用内部 LPBK 链路, 完成从设备自身发射端 Tx 端口自回环 loopback 到设备自身的接收端 Rx 端口。外部回环测试时, 数据通过 Tx 端经过外部链路发送到 Rx 端。测试结果如表 1 所示。

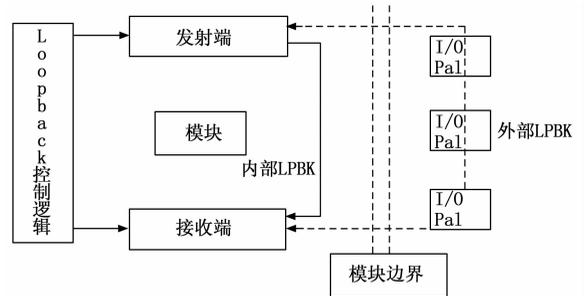


图 4 Loopback 示意图

表 1 误码率测试结果

信号	自回环误码率	非独立槽位外回环误码率	独立槽位外回环误码率
Serdes1	$7.2 e^{-12}$	$2.5 e^{-1}$	$7.0 e^{-12}$
Serdes2	$7.2 e^{-12}$	$2.5 e^{-1}$	$7.0 e^{-12}$
Serdes3	$7.2 e^{-12}$	$6.0 e^{-12}$	$7.0 e^{-12}$

三路高速信号通信的速率是 1.25 Gbps, 自回环通信数据量达到  $1.4 e^{11}$ , 误码率测试结果说明这 3 个高速接口的内部回环数据收发稳定可靠。在非独立槽位外回环测试时, Serdes1 和 Serdes2 两路信号不仅与后出线板连接, 还与相邻槽位有连接, 虽然此时被测模块没有插入这个槽位, 可以通过结果发现这两路高速信号受到了严重的影响, 误码率高达  $2.5 e^{-1}$  (在收发数据量为  $1.7 e^{11}$  时), 而另一路高速信号 Serdes3 由于没有与其它槽位互连, 信号质量不受影响。将测试模块和测试模块后出线板前后对插入 VPX 独立槽位中, 即此时该槽位与其它槽位没有互连信号, 将测试板后出线板的光网口 1、光网口 2、光网口 3 的收发端互联, 实现测试板后出的三路 Serdes 信号的外部回环, 收发数据量达到  $1.4 e^{11}$  时误码率均满足信号传输质量要求。

经过误码率测试发现, 自回环测试和独立槽位外回环测试分别证明了高速接口自身设计和测试模块前后板高速接口链路设计的信号质量良好, 符合 Serdes 数据通信要求, 然而, 在非独立槽位外部回环模式下, Serdes1 和 Serdes2 由于同时与两个终端互连, 尽管其中一个终端未接入模块, 即该终端处于悬空的模式, 信号质量也受到了影响, 误码率大大地提高了, 不符合 Serdes 数据通信的要求。

### 3.2 眼图测试

测试模块后出的三路 Serdes 高速信号可以通过光电转换探头接到高速示波器上, 基于 IBERT Console 的分析结

果,在非独立槽位上,后出的三路 Serdes 高速信号中, Serdes3 信号除了从前板引出到后板外,没有与其它槽位互连,信号质量相较于 Serdes1、Serdes2 的高速信号质量要好很多,通过高速示波器可以观察到 Serdes3 的信号波形如图 5 (a) 所示,眼图如图 5 (b) 所示。

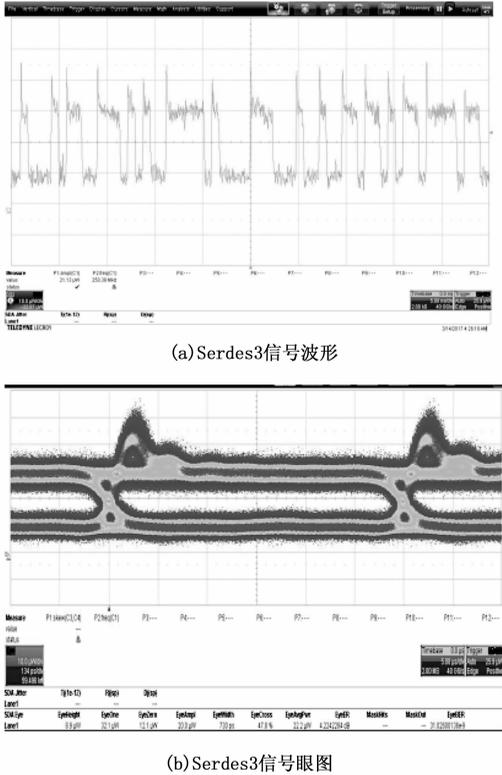


图 5 Serdes3 (未与其它槽位互连) 信号波形和眼图

由于高速信号从前板到后板再到示波器,传输距离过长,存在信号过冲(过冲就是第一次出现的峰值谷值要超出已经设定的电压)的现象。眼高 EyeHeight 为  $8.9 \mu W$ ,眼宽 EyeWidth 为  $730 \text{ ps}$ ,除了因为存在过冲导致眼图出现部分失真外,眼高和眼宽较大,信号质量较好。

Serdes1 的信号波形如图 6 (a) 所示,眼图如图 6 (b) 所示。从图中可以发现信号存在明显的失真,此时眼图已经看不到“眼睛”的图案了,眼宽这个参数值示波器已然得不到,这个接口的 Serdes 高速信号的信号质量很差。

#### 4 结束语

在高速信号测试时,首先利用 LVDS 提供的差分数据传输方案设计测试背板,保证高速信号测试的低损耗,有效抑制共模噪声。并且,测试模块与被测模块尽可能是相邻槽位的互连关系,或者前后插互连的关系,从而能够保证在 VPX 背板上高速信号传输的距离最短,测试性能最好。LVDS 在设计中增加一个跨接在差分信号线上的  $100 \Omega \pm 20 \Omega$  终端电阻,用来匹配实际传输线的差分阻抗,减小差分对之间的线间距可以抑制接收端的共模噪声。差分线最佳的设计方案是固定差分线之间的线距,并且将线距设

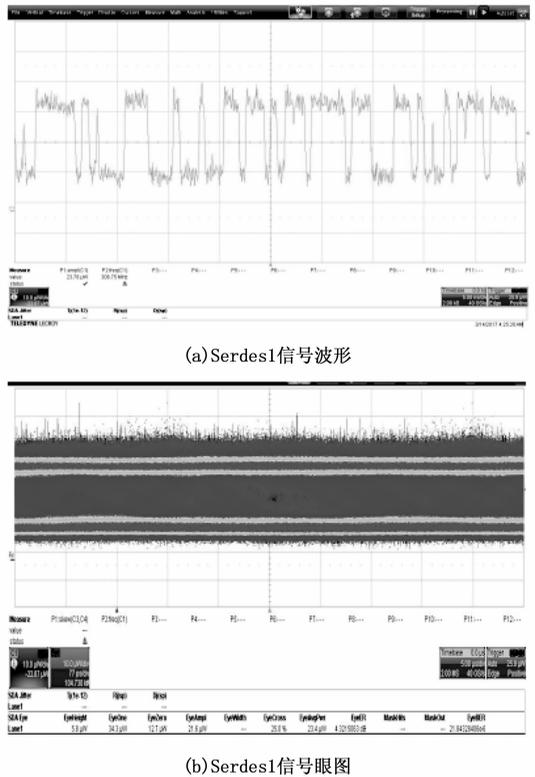


图 6 Serdes1 (与其它槽位有互连) 信号波形和眼图

为最小值,然后通过调整线宽,从而来控制差分阻抗。

另外,信号反射是最常见的信号完整性问题,往往对系统性能产生严重的影响。通过前文的分析,可以发现,只是将 VPX 前板的信号引出到后插线板就已经会导致高速信号产生一定的过冲,对信号质量产生一定的影响,除非做好阻抗匹配的工作,削弱高速信号的反射现象,才会使得信号质量得到改善;如果此时再将该信号连接到别的 VPX 槽位将会使得信号产生严重的失真,这是测试时不能被接受的。因此,在测试时,不能将高速信号从前板引出到后板的同时连接到旁边 VPX 槽位,同理,不能将测试模块到被测模块的已连接的 VPX 走线高速信号引出到后插线板,这样会加重信号反射的危害,导致高速信号测试失败。

#### 参考文献:

- [1] 黄震. 高速电路信号完整性探讨 [J]. 舰船电子对抗, 2010, 33 (3): 87-89.
- [2] 高晓宇, 杨龙剑. 高速串行通道的信号完整性问题分析 [J]. 通信技术, 2013, 46 (6): 44-47.
- [3] 张昌骏. 高速串行设计的强大工具——眼图医生 [J]. 电子测试, 2009 (6): 78-83.
- [4] BOGATIN E. 信号完整性分析 [M]. 李玉山, 李丽平, 译. 北京: 电子工业出版社, 2005.
- [5] 张华. 高速互连系统的信号完整性研究 [D]. 南京: 东南大学, 2005.
- [6] 王燕, 曹子剑, 水道雁. 基于 VPX 总线的高速数字电路测试系统研究及应用 [J]. 计算机测量与控制, 2016, 24 (1): 4

- 6.

- [7] National semiconductor. LVDS owner's manual-design guide [Z]. National Semiconductor, 1997.
- [8] National semiconductor. LVDS Owner's Manual 2nd Edition [Z]. National Semiconductor, 2000.
- [9] ZHANG M S, LI Y S, LI L P. An efficient power-delivery method for the design of the power distribution networks for high-speed digital systems [J]. IEEE Transactions on Microwave Theory and Techniques, 2009, 57 (3): 693 - 707.
- [10] KAM D G, LEE H, KIM J. Twisted differential line structure on high-speed printed circuit boards to reduce crosstalk and radiated emission [J]. IEEE Transactions on Advanced Packaging, 2004, 27 (4): 590 - 596.
- [11] ZUTTER D D, ROGIER H, SERCU J. Dedicated method of moments technique for signal integrity predictions [C] // IEEE Antennas and Propagation Society International Symposium, 2002, 2: 818 - 821.
- [12] RUEHLI A E, CANGEI LARIS R A C. Progress in the methodologies for the electrical modeling of interconnects and electronic packages [J]. Proceedings of the IEEE, 2001, 89 (5): 740 - 771.
- [13] 胡劲松. MIMO 系统的高速背板及信号完整性分析 [C] // 全国微波毫米波会议论文集, 2003, 11: 434 - 436.
- [14] 黄成, 夏军, 刘成汉, 等. 高速 IC 测试系统的信号完整性设计 [J]. 电子测量技术, 2019, 43 (3): 84 - 87.
- [15] LIAW H J, MERKELO H. Signal integrity issues at split ground and power planes [C] // 46<sup>th</sup> Electronic Components and Technology Conference, 1996: 752 - 755.
- [16] 尹禄高, 于航, 杨雪, 等. 基于 PXIE 的信号完整性测试系统设计 [J]. 计算机测量与控制, 2015, 23 (9): 2942 - 2944.
- [17] 李俊杰, 曹旭东, 梁华庆. 嵌入式应用系统中高速 PCB 设计技术的研究及实现 [J]. 计算机测量与控制, 2016, 24 (6): 268 - 270.
- [18] 谢锐, 裴东兴, 姚琴琴. 高频信号动态测试中的信号完整性分析 [J]. 仪器仪表学报, 2017, 38 (3): 774 - 777.
- [19] 吴伯春, 龚清萍. 信号完整性分析技术 [J]. 航空电子技术, 2004, 35 (2): 20 - 24.
- [20] 赵亮. 嵌入式系统信号完整性分析 [J]. 硅谷, 2013 (2): 19.
- [21] 张磊, 雷震, 刘海波, 等. 高速电路设计和信号完整性分析 [J]. 电子技术应用, 2001, 25 (6): 70 - 73.
- [22] 尤旭, 李斌, 章琪. 高速数字电路的信号完整性分析及仿真 [J]. 科技创新导报, 2010 (27): 51.
- [23] 毕明, 陈光福, 谢永乐. 高速数字电路中信号反射的分析及解决方案 [J]. 中国测试技术, 2007, 33 (1): 99 - 101.
- [24] 孙靖国, 牛文生, 刘东. 高速数字电路中的信号完整性问题 [J]. 航空计算技术, 2001, 31 (4): 40 - 43.
- [25] 刘波. 高速数字电路信号完整性和电源完整性的研究 [D]. 西安: 西安电子科技大学, 2011.
- [7] STROUD C, WIJESURIYA S, HAMILTON C, et al. Built-in self-test of FPGA interconnect [C] // Proceedings International Test Conference, USA; IEEE, 1998: 404 - 411.
- [8] 赵晨. 国外高筑 FPGA 壁垒 中国新秀勇填空白 [N]. 中国电子报, 2016.
- [9] 项传银, 阮爱武, 李文昌, 等. 基于故障映射的 FPGA 互连资源故障测试与定位 [J]. 仪器仪表学报, 2011, 32 (9): 2010 - 2015.
- [10] 杨会平. 基于 BIST 的 SRAM 型 FPGA 测试技术研究 [D]. 成都: 电子科技大学, 2012.
- [11] 罗俊杰. FPGA 故障检测方法研究及软件实现 [D]. 合肥: 中国科学院大学, 2015.
- [12] 刘佩. FPGA 内部互连结构自动化测试方法研究 [D]. 武汉: 武汉理工大学, 2018.
- [13] 刘媛媛. 基于 ATE 的高性能 FPGA 测试方法研究 [D]. 北京: 北方工业大学, 2020.
- [14] TAHOORI M B, MCCLUSKEY E J, RENOVELL M, et al. A multi-configuration strategy for an application dependent testing of FPGAs [C] // 22nd IEEE VLSI Test Symposium, USA; IEEE, 2004: 154 - 159.
- [15] TAHOORI M. Application-dependent testing of FPGAs [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2006, 14 (9): 1024 - 1033.
- [16] ALMURIB H A F, KUMAR T N, LOMBARDI F. A single-configuration method for application-dependent testing of SRAM-based FPGA Interconnects [C] // 2011 Asian Test Symposium, India; IEEE, 2011: 444 - 450.
- [17] KUMAR T N, LOMBARDI F. A novel heuristic method for application-dependent testing of a SRAM-based FPGA interconnect [J]. IEEE Transactions on Computers, 2013, 62 (1): 163 - 172.
- [18] CILARDO A. New techniques and tools for application-dependent testing of FPGA-based components [J]. IEEE Transactions on Industrial Informatics, 2015, 11 (1): 94 - 103.
- [19] BANIK S, ROY S, SEN B. Application-dependent testing of FPGA interconnect network [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27 (10): 2296 - 2304.
- [20] 李蕙. 数字电路桥接故障的测试与诊断 [D]. 杭州: 浙江大学, 2010.
- [21] BANIK S, ROY S. Application dependent testing of FPGA interconnect using satisfiability modulo theory [C] // 2018 3rd International Conference for Convergence in Technology, India; IEEE, 2018: 1 - 5.
- [22] MOURA DE L, BJØRNER N. Z3-a tutorial [EB/OL]. Available in <http://citeseerx.ist.psu.edu/viewdoc/download;jsessionid=343B441C737ECEDB0F195AD687C168F1?doi=10.1.1.225.8231&rep=rep1&type=pdf>, 2012.

(上接第 28 页)