

# 基于 CPCI 总线的航天器通信信号 设备故障检测系统设计

张贺鑫, 雷文礼, 王雨婷

(延安大学 物理与电子信息学院, 陕西 延安 716000)

**摘要:** 针对当前航天器通信信号设备故障检测系统受到噪声影响, 导致系统通信设备故障信号检测精度低, 检测时间长的问题, 设计基于 CPCI 总线的航天器通信信号设备故障检测系统; CPCI 故障模拟模块利用 RS232 串行线控制注入机, 采用故障注入器执行故障注入 CPCI 总线, 接收控制系统参数和指令, 使用时钟分配芯片传输时钟信号, 通过 CPCI 检测板卡模块, 配合 FPGA 实现接口控制, 完成系统硬件结构设计, 利用任务间相互依赖关系, 实现任务间相互检测, 通过终端网工作站定期发送多路通信网相关信息, 返回无疵点检测结果, 采用二次相关算法, 提取多通道通信故障信号详细信息, 准确估算通信信号时延, 排除多通道网络噪声影响造成的通信故障, 完成系统软件部分设计; 实验结果表明, 基于 CPCI 总线的故障检测系统的故障信号检测时间仅为 1.8 s, 故障信号幅度最大为 28 dB, 最小为 1 dB, 与实际变化幅度一致, 通信设备故障信号检测精度较高, 能够有效缩短通信设备故障信号检测时间。

**关键词:** CPCI 总线; 航天器; 通信信号; 设备故障; 故障检测

## Design of Fault Detection System for Spacecraft Communication Signal Equipment Based on CPCI Bus

Zhang Hexin, Lei Wenli, Wang Yuting

(School of Physics and Electronic Information, Yan'an University, Yan'an 716000, China)

**Abstract:** Aiming at the problems of low accuracy and long detection time caused by noise in the current spacecraft communication signal equipment fault detection system, a fault detection system of spacecraft communication signal equipment based on CPCI bus is designed. The CPCI fault simulation module uses RS232 serial line to control the injector, uses the fault injector to execute fault injection into CPCI bus, receives control system parameters and instructions, uses clock distribution chip to transmit clock signal, detects board module through CPCI, realizes interface control with FPGA, and completes system hardware structure design. By using the interdependence between tasks, the mutual detection between tasks is realized. Through the terminal network workstation, the relevant information of multi-channel communication network is regularly sent, and the defect free detection results are returned. The secondary correlation algorithm is used to extract the detailed information of multi-channel communication fault signal, accurately estimate the communication signal delay, eliminate the communication fault caused by multi-channel network noise, and complete the system software department sub design. The experimental results show that the fault signal detection time of the fault detection system based on CPCI bus is only 1.8 s, the maximum fault signal amplitude is 28 dB and the minimum is 1 dB, which is consistent with the actual change amplitude. The fault signal detection accuracy of communication equipment is high, which can effectively shorten the fault signal detection time of communication equipment.

**Keywords:** CPCI bus; spacecraft; communication signal; equipment fault; fault detection

## 0 引言

航天器通常处于高温高压的恶劣环境中, 当设备在飞行过程中发生故障时, 会导致卫星的轮控姿态会发生偏差, 甚至转速失控。因此, 如何有效地探测航天器的失效状态, 已成为当前研究的热点之一<sup>[1]</sup>。当前基于时域反射法设计的系统检测和分析导体绝缘故障, 但本系统采用的测量信号为窄电压脉冲, 易受原功率信号的影响, 且仅适用于电缆故障离线检测; 基于频域反射法设计的系统, 通过被测

电缆接收扫频信号, 利用傅立叶变换, 测量反射信号峰值频率, 完成故障点的距离转换。该系统能够检测和定位航空器电缆故障, 但因为算法复杂度较低, 无法进行实时检测, 只能离线运行; 基于非线性时间序列定位算法设计的系统, 可以实现故障特征提取, 从而实现光纤网络故障的快速定位, 已取得了一些研究成果, 但是算法定位精度不高, 实时性差。

针对上述问题, 设计了基于 CPCI 总线的航天器通信信号设备故障检测系统。CPCI 总线在操作系统、驱动程序和

收稿日期: 2020-12-02; 修回日期: 2020-12-23。

作者简介: 张贺鑫(1999-), 男, 辽宁丹东人, 大学本科生, 主要从事通信工程方向的研究。

引用格式: 张贺鑫, 雷文礼, 王雨婷. 基于 CPCI 总线的航天器通信信号设备故障检测系统设计[J]. 计算机测量与控制, 2021, 29(2): 1-4, 9.

应用程序中,数据传输速度更快,具有高度开放性、高可靠性和热插拔能力。除了在通信和网络中有广泛地应用之外,它也可用于实时系统控制,工业自动化,实时数据采集,军事系统等方面,以 CPCI 总线结构为基础的设备,已经广泛应用于航空航天领域的地面设备开发。

## 1 系统总体框架设计

基于 CPCI 总线的航天器通信信号设备故障检测系统总体框架主要采用标准 CPCI 箱体,中央处理机(CPU)采用普通板,其余功能模块采用已投入生产的 CPCI 板<sup>[2]</sup>。系统以 CPU 板为控制板,主要负责各种功能板的软件计算与硬件调度,系统总体框架如图 1 所示。

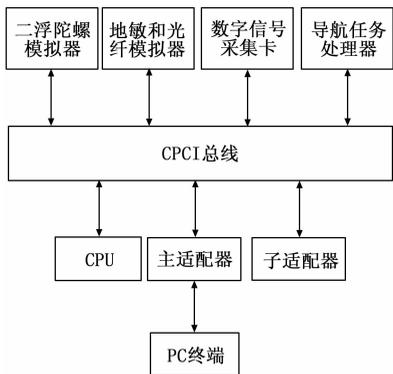


图 1 系统总体框架图

连接被测板和子适配器,连接子适配器和主适配器。主适配器主要控制 PXI 中的卡资源,并连接通用的 PC 终端。系统总体框架主要控制 PXI 中各板产生的响应激励信号以及从测量板获得的响应信号<sup>[3]</sup>。通过主适配器以及子适配器,将激励信号添加到被测电路板上,并在电路板上添加标识信号,实现系统故障的定位和识别。

## 2 系统硬件结构设计

基于 CPCI 总线的航天器通信信号设备故障检测系统硬件主要采用 CPCI 故障模拟模块,通过 RS232 串行线控制注入机,利用故障注入器执行故障注入 CPCI 总线,使用时钟分配芯片传输时钟信号,通过 CPCI 检测板卡模块,配合 FPGA 实现接口控制。

### 2.1 CPCI 故障模拟模块

CPCI 故障模拟模块通过 RS232 串行线对注入机的操作进行控制。注入器嵌入在目标设备与 CPCI 底板之间,通过注入器可以对数据修改,从而实现故障注入<sup>[4]</sup>。CPCI 故障模拟模块结构如图 2 所示。

故障注入器负责故障注入的执行,接收控制系统的参数和指令,根据用户设定的参数将故障注入 CPCI 总线,并将注入结果和总线状态等相关信息反馈给控制软件,供进一步分析处理。FPGA 逻辑是故障注入器硬件的重要组成部分,包括 CPCI-to-CPCI 桥 IP 核和故障注入逻辑<sup>[5]</sup>。桥接 IP 核扩展了目标系统原有的 PCI 总线;扩展总线通常被称为次总线,而扩展总线被称为主总线。CPCI-to-CP-

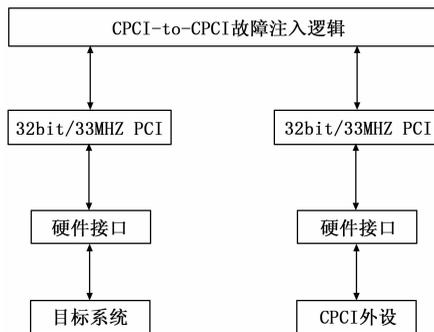


图 2 CPCI 故障模拟模块结构图

CI 桥 IP 核在主总线上只相当于一台 PCI 设备,而在此总线上可以支持更多设备<sup>[6]</sup>。

### 2.2 故障注入器

因为 CPCI 故障注入程序包含一个 CPCI-CPCI 桥接逻辑,所以注入程序本身在总线主端作为 CPCI 设备运行。总线主侧注入器设计必须符合 CPCI 设备设计规范;CPCI-CPCI 桥接 IP 核提供地址、数据、控制信号、独立时钟、中断机制和总线仲裁机制,用于总线上的其它设备。二次注入器的总线设计必须符合 CPCI 底板,为保证注射头与靶板的正常工作,需根据有关规范进行硬件设计<sup>[7]</sup>。故障注入器结构主要包括 FPGA、CPCI 插座、电源电路、通讯接口电路、时钟电路和配置电路<sup>[8]</sup>。在 FPGA 工作时,FPGA 包含 CPCI-to-CPCI 桥接 IP 核和故障注入逻辑,但是 FPGA 基于 SRAM 技术,断电后通常会丢失内部逻辑。当 FPGA 加电时,为了保存 FPGA 配置信息和自动配置 FPGA,就需要一个独立的外部配置电路,这种组态电路通常使用 EEPROM 作为组态芯片。

### 2.3 时钟电路模块

CPCI-to-CPCI 桥接 IP 用于输入端 P\_CLK 和 S\_CLK 分别为主端和副端的两个同步时钟域,时钟信号需要同步,并且 S\_CLK 的相位和频率不得超过 P\_CLK。连接后,主机侧时钟信号的长度应为 63.5 mm ( $\pm 2.54$  mm),其他信号的长度应小于或等于 63.5 mm。在第二端的每个扩展插槽都需要一个独立的时钟信号,该信号由 CPCI 到 CPCI 桥接器通过时钟分配芯片传输<sup>[9]</sup>。为减少时钟信号支路的反射效应,时钟分配芯片必须将时钟信号串入扩展槽中,再加上终端电阻。与此同时,为了保证时钟信号的同步,时钟分布芯片与 FPGA 的 S\_CLK 输入口必须具有相同长度的时钟跟踪每个扩展槽,每个扩展槽的长度为 135~185 mm。二次侧喷嘴设计有三个扩张槽,但由于空间限制,只能实现其中一个扩张槽。时钟分配电路模块结构如图 3 所示。

### 2.4 CPCI 检测板卡模块

使用 CPCI 接口芯片,配合 FPGA 实现接口控制。FPGA+CPCI 接口芯片结构如图 4 所示。

因为 CPCI 总线是基于 CPCI 总线协议开发的,所以它承接了 CPCI 总线上的所有信号,并且在通信过程中维护 CPCI 总线的所有电气特性。CPCI 接口芯片 CPCI9054 在

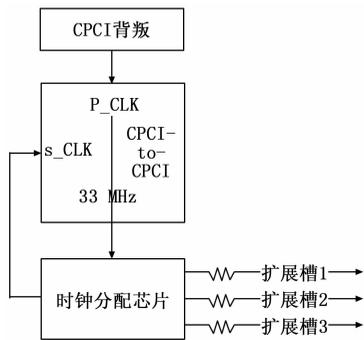


图 3 时钟分配电路模块结构图

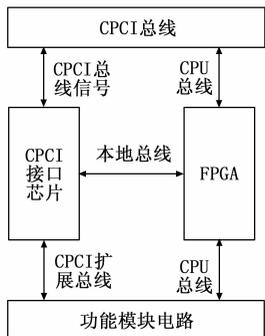


图 4 FPGA + CPC1 接口芯片结构图

CPCI 总线上完成 CPC1 总线的部分功能, 并可与各模块 I/O 端口及存储器通信<sup>[10]</sup>。FPGA 负责 PCI9054 与本机端口的通讯, 实现 CPC1 本机定时控制。在 CPC1 总线上控制和管理触发信号、参考时钟和其它扩展信号, 以及执行其它定时操作和控制。

### 3 系统软件部分设计

对于软件部分设计, 当发现故障时, 如果运行时间仍然不能满足系统运行要求, 用户可根据可靠性来判断。若工作时间影响系统的工作要求, 系统会自动复位并重新初始化设备。系统故障处理逻辑流程如图 5 所示。

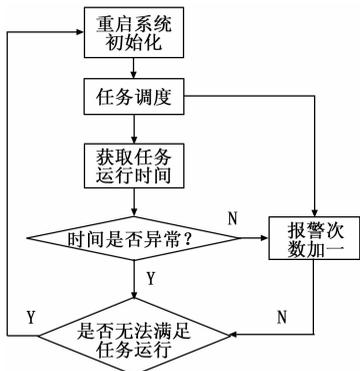


图 5 系统故障处理逻辑流程图

在任务开始运行时, 两个任务之间的时间间隔被设定为固定位置。按照设计任务运行周期为 32 ms, 时钟准确度为微秒, 因此, 运行周期的时间误差在 100 μs 范围内。错

误大于 100 μs 小于 1 ms, 报警次数增加; 错误大于 1 ms, 软件重新进行初始化, 完成对看门狗和任务的删除和重构。在任务级故障检测方面, 利用任务间的相互依赖关系实现任务间的相互检测; 在系统的整体运行中, 许多任务相互依赖, 需要使用消息来交换信息。所以当任务 A 运行时, 任务 B 是否发送了任务 A 需要的消息, 任务级故障处理流程如图 6 所示。

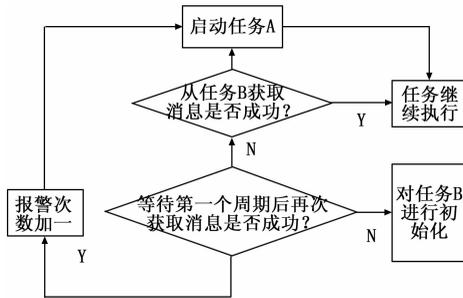


图 6 任务级故障处理流程图

任务 A 启动后, 首先从任务 B 获取消息。如已成功获得任务 B 的消息, 则表明任务 B 工作正常, 程序运行正常。若某个获取失败, 则程序继续运行, 等待下一个获取, 然后再次读取消息。若此时能成功取得讯息, 警报会增加一次, 继续正常运作。若仍未成功, 则初始化任务 B, 并确保它在运行前对所有相关变量进行初始化。终端网工作站定期向总线控制器和系统芯片发送多路通信网的相关信息, 主要通过 CPC1 总线控制芯片和传输通信信号分析处理系统芯片, 并向终端网节点返回无疵点检测结果。

在正常工作时间内, 如果终端系统接收不到上位机的确认帧反馈, 则可以确定故障区域。在多个通信网络中检测故障信号的关键是准确识别故障信号中包含的异常信息。该系统的软件算法部分在信息提取和噪声过滤链路中, 使用二次相关算法, 可在信噪比较低的情况下使用该算法。该方法可以准确估计多个网络的延迟, 并提取故障信号中包含的异常信息。分别以和对信号采集模块采集的收发信号, 设计了以下信号模型:

$$\begin{cases} x(t) = s(t) + n(t) \\ y(t) = \sum_i \tau_i s(t) + n(t) \end{cases} \quad (1)$$

式 (1) 中,  $s(t)$  表示原始航天器通信信号;  $i$  表示信号采集次数;  $\tau_i$  表示通信信号系数;  $n(t)$  表示故障检测系统受到的噪声影响函数。发射信号与接收信号两者之间关系如下所示:

$$R_{xy}(U) = E[x(t) y(t+U)] \quad (2)$$

充分考虑故障检测系统受到的噪声影响因素, 将发射信号与接收信号两者之间关系改写为:

$$R_{xy}(U) = \sum_i \tau_i R(s) \quad (3)$$

识别多通道通信网中所述发送信号和所述接收信号之间的关系, 二次相关算法可以在低信噪比的情况下, 提高网络时延估计的准确性, 并且能够准确地提取多通道通信

故障信号中包含的详细信息,以定位和识别故障节点或连接,及时处理多通道网络通讯故障,实现基于 CPCI 总线的航天器通信信号设备故障检测系统设计。

## 4 系统调试

针对基于 CPCI 总线架构的航天器通信信号设备故障检测系统设计合理性,进行系统调试分析。

### 4.1 CPCI 串口卡故障注入实验环境

CPCI 服务器通常用于工业控制领域的数据采集和生产设备状态监测。带有 CPCI 接口的串口卡是一种比较常用的外设,在 CPCI 试验中,选择研华 micc-3392 作为 CPCI 试验机,用普通 PC 作为控制机,进行 CPCI 故障注入试验。执行故障注入控制软件,通过 RS232 串行线连接故障注入器。CPCI 串口卡故障注入实验环境如表 1 所示。

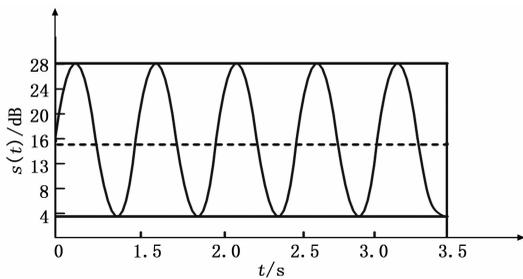
表 1 CPCI 串口卡故障注入实验环境

名称	配置
硬件	Intel Core Duo T2500 型号处理器
	2 GBytes 内存
	Intel 82945GME Internal Graphics 显卡
	Advantech MIC-3621 Series 串口卡
软件	Windows XP 操作系统
	串口调试测试软件

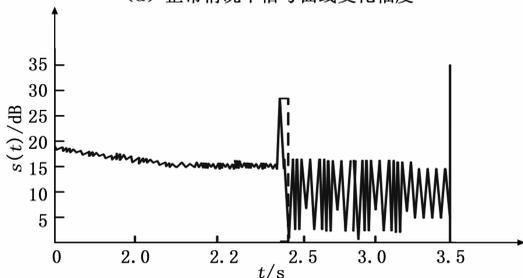
通过 CPCI 串行卡故障注入实验, MIC-3621 串行卡插入喷射器, MIC-3392 试验机外围插槽插入喷射器。RS232 串口与 MIC-3621 串口卡通过串口直接相连,串口调试助手软件分别运行于测试机和控制机上。

### 4.2 实验结果与分析

采集航天器通信信号,分别分析正常情况下和故障情况下信号曲线变化幅度,如图 7 所示。



(a) 正常情况下信号曲线变化幅度



(b) 故障情况下信号曲线变化幅度

图 7 正常情况下和故障情况下信号曲线变化幅度

规律性,在 3.5 s 采集时间内,信号最大为 28 dB,最小为 3.8 dB;而在故障情况下信号曲线变化幅度不具有规律性,在 3.5 s 采集时间内,信号最大为 28 dB,最小为 1 dB。

基于此,分别基于时域反射法设计的系统、基于频域反射法设计的系统、基于非线性时间序列定位算法设计的系统和基于 CPCI 的总线架构设计的系统对这两种情况下的信号曲线变化幅度展开分析,结果如图 8、9 所示。

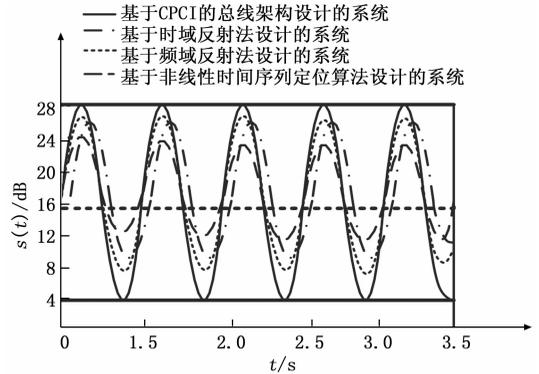


图 8 不同系统正常情况下信号曲线变化幅度

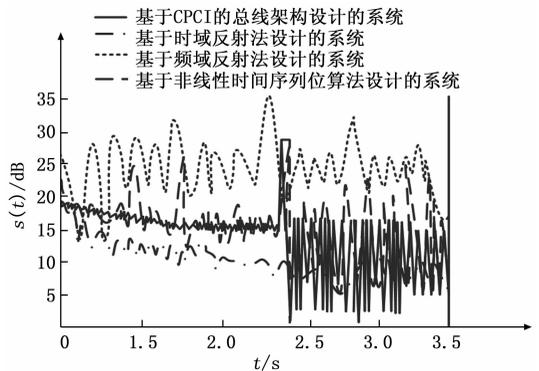


图 9 不同系统故障情况下信号曲线变化幅度

由图 8 可知,基于时域反射法设计的系统与实际信号采集周期不一致,但变化幅度一致,信号最大为 26 dB,最小为 9 dB;基于频域反射法设计的系统与实际信号采集周期一致,信号最大为 27 dB,最小为 7 dB;基于非线性时间序列定位算法设计的系统与实际信号采集周期一致,信号最大为 24 dB,最小为 12 dB;使用基于 CPCI 总线架构设计的系统与实际变化幅度一致,信号最大为 28 dB,最小为 3.8 dB。

由图 9 可知,基于时域反射法设计的系统整体变化幅度呈下降趋势,整体变化幅度不大,但整体与实际情况相差较大,信号最大为 23 dB,最小为 8 dB;基于频域反射法设计的系统变化幅度上下波动形式较大,信号最大为 35 dB,最小为 13 dB;基于非线性时间序列定位算法设计的系统比上述这两种系统更贴近实际曲线变化幅度,但也与实际情况存在一定偏差,信号最大为 28 dB,最小为 9 dB;使用基于 CPCI 总线架构设计的系统与实际变化幅度一致,信号最大为 28 dB,最小为 1 dB。

由图 7 可知,正常情况下信号曲线变化幅度具有一定

(下转第 9 页)