

基于 FPGA 的静力加载谱生成与控制算法研究

王 萌, 张 静, 王家乐

(北京强度环境研究所, 北京 100076)

摘要: 静力加载试验谱是根据静力加载试验中的载荷表形成的加载谱形, 由不同的目标值和其它参数组成; 试验加载谱的生成过程指按规定时间和曲线类型运行到指定值的过程; 针对当前静力加载试验中对加载谱控制的多功能要求, 参照主流控制系统中上位机的操作流程, 实现了一种基于 FPGA 的加载谱生成与控制算法, 满足现有控制系统中试验加载谱的生成模式和各种命令的操作, 包括连续加载谱的生成、谱的单步调节、单点控制、选择谱段控制和控制方式切换等, 配合系统控制算法为自主控制器的开发奠定基础。

关键词: 静力加载; 试验加载谱; FPGA; 生成与控制

Generation and Control Algorithm of Static Loading Test Spectrum Based on FPGA

Wang Meng, Zhang Jing, Wang Jiale

(Beijing Institute of Structure and Environment Engineering, Beijing 100076, China)

Abstract: The static loading test spectrum is a loading spectrum shape formed according to the load table in the static loading test, which is composed of different target values and other parameters. The generation process of the test loading spectrum refers to the process of running to the specified value according to the specified time and curve type. In view of the multi-function requirements for loading spectrum control in current static tests, referring to the operation flow of the host computer in the mainstream control system, an FPGA-based loading spectrum generation and control algorithm is implemented to meet the test loading spectrum in existing control systems. The generation mode and the operation of various commands, including the generation of continuous loading spectrum, single-step adjustment of spectrum, single-point control, selection of spectrum band control and control mode switching, etc., cooperate with the system control algorithm to lay the foundation for the development of autonomous controllers.

Keywords: static loading; test loading spectrum; FPGA; generation and control

0 引言

结构静力试验技术, 是用试验的方法观察和研究构件或结构在静载荷作用下的刚度、强度和稳定性, 分析其应力分布和变形情况。静力加载试验, 是用试验技术和设备模拟复现载荷、边界条件和疲劳极限, 它不仅是验证结构形式的合理性和结构静力分析正确性的重要手段, 而且为建立新的分析模型和工程理论提供结构特性参数, 在产品鉴定、安全评估提供试验资料和实测数据, 为研制新型导弹与运载火箭积累设计资料, 对改进结构设计减小结构质量与提高产品可靠性等方面均起着重大作用。

在进行结构静力试验中, 按试验载荷类型分类, 可分为分布载荷试验, 单一载荷试验和组合载荷试验^[1]。在加载控制中需要对试验条件下的载荷进行生成和控制, 成熟的多通道静力加载控制系统基本由国外垄断, 国外相关产品, 如 MOOG 和 MTS 产品功能完备, 可靠性高, 但与航天静力试验规范、操作流程等并不完全匹配。本文通过分析国内试验流程, 参照经典谱参数设置方式实现谱的生成

与控制, 开发基于 FPGA 的可执行的加载谱生成、命令控制算法与程序, 满足现有控制中对加载谱和命令的操作, 实现单载荷步和多载荷步的生成与控制^[2-3]。

1 加载谱生成算法

在静力加载试验中, 加载情况多为分级加载、单调缓慢加载和循环加载。每一级加载用一个载荷步表示, 多个载荷步组合成为试验加载谱。在经典谱参数设置中, 上位机操作者可以根据试验需求定义多个不同的目标值, 每个目标值为一个数组, 用于表示多通道的目标值, 然后根据目标值、曲线类型、时间和循环次数等参数定义不同的载荷步。选取不同的载荷步形成一个载荷步组, 不同的载荷步组及其重复次数组成一个大载荷步, 不同的大载荷步及其重复次数组成一个试验谱, 即加载谱^[4-7]。

在谱生成算法中, 首先基于以上参数将加载谱组装成一个个载荷步; 第二步获取一个周期的基本点, 1 024 或 2 048 个点; 第三步以半周期点为基础, 通过查表、插值算法形成当前控制频率下的一个载荷步的信号; 第四步将各

收稿日期:2020-10-18; 修回日期:2020-11-23。

作者简介:王 萌(1988-),男,河北高碑店人,硕士,工程师,主要从事航天测控和产品开发方向的研究。

引用格式:王 萌,张 静,王家乐. 基于 FPGA 的静力加载谱生成与控制算法研究[J]. 计算机测量与控制, 2021, 29(6): 79-82, 141.

个载荷步的信号进行连接, 形成加载谱信号, 并根据不同试验要求实现加载谱生成过程中的各种控制^[8-9]。

一个载荷步信号是从起始值到目标值的离散点的集合, 形成该信号需要的参数包括曲线类型、所用时间、次数、起始值和目标值。其中曲线类型指从起始值到目标值的曲线形式, 如折线和正弦等, 图 1 为一个周期内的三角波和正弦波曲线样式; 起始值到目标值的过程为半周期波形 (0~1); 所用时间指信号生成过程中由起始值到达目标值所用的时间; 次数是指达到目标值后返回原值再次到达目标值的次数 (1~0~1), 即循环次数^[10-11]。

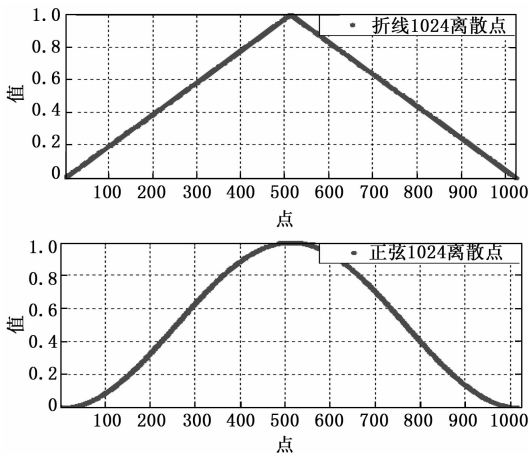


图 1 曲线基本点

载荷步信号是由基本曲线点通过插值生成的。基本点为一个周期内的 1 024 个等间隔点 (1~1 024) 的取值, 如图 1 所示。为提高精度, 也可以在某一种信号中选取 2 048 个值作为基本点。基本点为 0~1~0 的过程 (不包含首个 0 点)。在固定采样频率下, 根据所用时间参数可以计算出载荷步信号离散点的数量 N , 通过对前半周期基本点进行查表、插值, 可以得到 0~1 的 N 个离散点, 将离散点通过运算可得到由起始值到目标值的离散点。同样的, 通过对后半周期基本点进行查表、插值可得到目标值到起始值的 N 个离散点, 对离散点进行组合即可得到多次到达目标值的离散点, 即载荷步信号, 如图 2 所示^[12-14]。

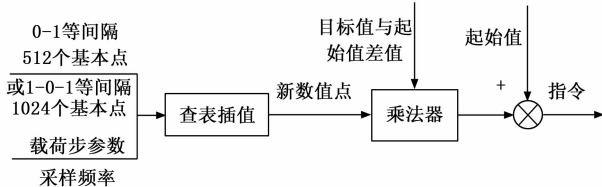


图 2 载荷步算法

在加载谱中, 载荷步与载荷步之间是连续的, 一个载荷步的起始值为上一个载荷步的目标值或生成中断后的终值, 根据载荷步信号生成算法可以对加载谱中所有相邻两个载荷步的离散信号进行连接, 最后得到整个加载谱的离散信号。

2 加载谱的 FPGA 实现

2.1 单载荷步信号生成

曲线基本点可通过 LabVIEW RT 中的提供的函数计算出一个周期内的三角波和正弦波基本点数据, 通过 DMA FIFO 存储到 FPGA 基本点寄存器的不同地址中, RT 同样通过 DMA FIFO 将载荷步参数发送到 FPGA 并存储在参数寄存器中。FPGA 根据载荷步参数, 选择一个波形基本点后对其进行相位累加、查表、线性插值和半周期计数, 得到归一化的载荷步信号, 如图 3 所示。

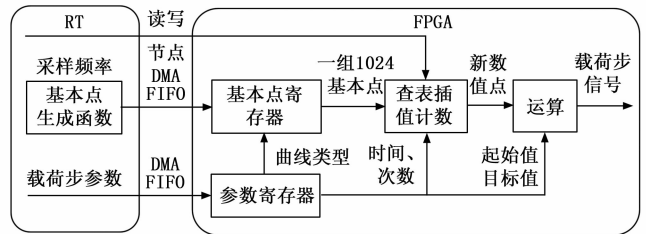


图 3 载荷步生成算法 FPGA 实现

对曲线基本点进行查表、插值是将当前点相位的一部分字节长度作为地址进行查表, 一部分字节长度做线性插值运算。每经过一次基本点数据的查表与计算, 相位便进行一次累加, 累加量与曲线的频率 (由载荷步的时间参数计算获得) 和当前采样频率有关。对于正弦信号, 其相位角 φ 、角速度 ω 和频率 f 的关系如下:

$$\frac{d[\varphi(t)]}{dt} = \omega(t) = 2\pi f \quad (1)$$

在采样频率固定的情况下, 对于离散系统而言 (采样周期 Δt 为固定值), 有:

$$\varphi(n) = \varphi_0 + 2\pi n f \Delta t \quad (2)$$

采样频率 $R = 1/\Delta t$, 则:

$$\varphi(n) = \varphi_0 + 2\pi \times \frac{nf}{R}, p_n = \frac{nf}{R} \quad (3)$$

上述公式表述了归一化的累加相位 p_n 与曲线频率 f 和采样频率 R 之间的关系, 相位 p_n 的周期为 1, 该公式对于三角波同样适用。

在 FPGA 程序中, 设置 p_n 的数据格式为无符号的 32 位定点类型, 而基本点在寄存器中的存储类型为无符号 16 位定点类型。基本点数量为 1 024 时, 每两个基本点之间需进行 2^7 次插值。相位 p_n 的高 10 位 ($2^{10} = 1 024$) 对应着基本点在寄存器中的存储地址, 可用于查表索引, 高 10 位之后的 7 位 (2^7), 其大小与插值次数对应, 每完成两个基本点之间的所有插值后, 便向高 10 位进 1, 基本点的存储地址便加 1, 插值次数归零。插值次数 n 可用于线性插值计算插入点 y_n :

$$y_n = (y_{p_{n+1}} - y_{p_n}) \times x_{p_n} + y_{p_n} \quad (4)$$

其中: y_{p_n} 是由相位 p_n 的高 10 位作为查表的地址从基本点寄存器中索引到的基本点, $y_{p_{n+1}}$ 是紧邻 y_{p_n} 的下一个基本点, x_{p_n} 是由相位 p_n 的后高 7 位的大小决定的一个 $[0, 1)$ 之间的数值。若基本点数量为 2 048, 每两个基本点之间则

进行 2^6 次插值, 相位 p_n 的高 11 位对应着 2 048 个基本点的存储地址, 高 11 位之后的 6 位, 大小与插值次数对应。

查表插值计算在 FPGA 上是实时进行的, 每满半周期便计数 1 次, 若载荷步参数中循环次数为 m , 则共计数 $2m - 1$ 后停止计算, 并将数值 1 代替计算出的插值, 保持数值 1 实时输出。输出的新数值点同样为归一化数据, 与目标值和起始值的差值进行比例运算得到从起始值到目标值的具体增量, 再与起始值进行累加得到当前载荷步的输出信号。

2.2 多载荷步信号生成

多载荷步信号生成采用载荷步信号拼接的方式实现。由于试验谱参数设置比较复杂, 在程序实现上, 首先在 RT 上对其参数进行处理, 如图 4 所示, 将目标值添加进入载荷步参数中, 载荷步组、大载荷步和载荷谱参数按执行顺序组成由载荷步编号形成的数组, 通过数组序号可索引到载荷步编号, 再根据编号索引到对应的具体载荷步, 综上所述, 加载谱是一个个载荷步按顺序组成的集合体。

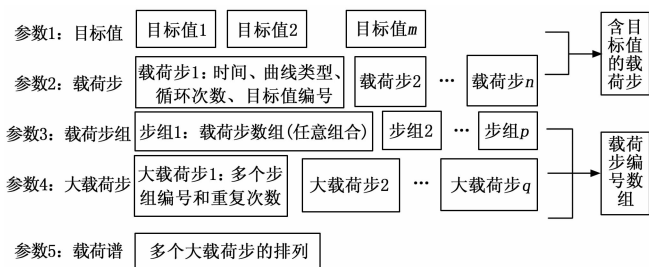


图 4 RT 中对试验谱参数的处理

由于在不同的载荷步组中载荷步可任意组合和重复, 在大载荷步中载荷步组也具有重复次数等, 所以形成的载荷步编号数组的数量有可能会很大。考虑 FPGA 的资源问题和载荷步信号之间的连续性, 使用两个参数寄存器或一个参数寄存器的两个地址分别存储连续的两个载荷步参数, 在 FPGA 中通过交替索引和顺序更新实现载荷步的连接。如图 5 所示, 在 RT 中存储所有载荷步的参数和载荷步编号数组, 试验加载谱按照载荷步编号数组的索引序号顺序生成相应的载荷步信号。开始运行后, 按照数组序号的奇偶性分别将第 1、2 个载荷步的参数和序号 (序号分别为 0 和 1) 存储在对应的寄存器或同一寄存器的两个地址中。按存储到不同寄存器为例, FPGA 首先选择“参数寄存器 0”进行载荷步信号的生成, 生成完成后立即切换到“参数寄存器 1”生成第 2 个载荷步, FPGA 通过移位寄存器实时存储生成信号的当前值。第 1 个载荷步生成完成后的最终值会作为第 2 个载荷步的起始值, 这样能够将两个载荷步顺利连接起来。同时 FPGA 将当前载荷步运行完毕的信息上传到 RT, RT 根据该信息将序号为 2 的载荷步参数和序号下发到 FPGA 并存储在“参数寄存器 0”中。FPGA 通过交替索引和更新寄存器实现所有载荷步之间的顺利连接。

在参数寄存器中存储的载荷步序号信息用于确定当前运行的载荷步在载荷谱中的位置, 载荷步数组大小值在开

始运行前通过“读写节点”发送到 FPGA, 当载荷步序号等于载荷步数组的大小值 - 1 时, 谱段将不再更新, 运行完该载荷步后停止运行。

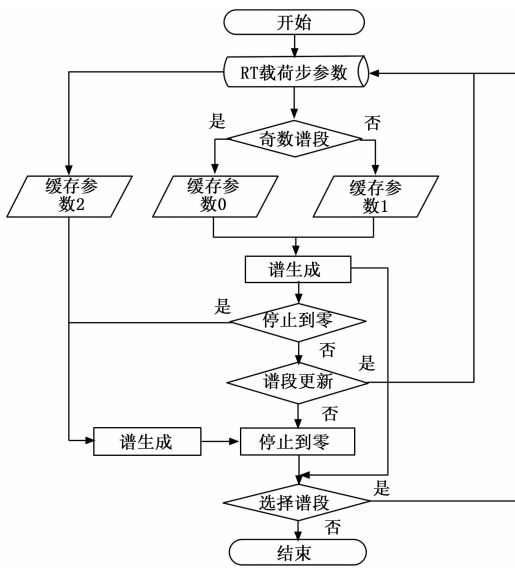


图 5 试验谱运行流程

基于以上算法和程序, 在 FPGA 上生成了一个试验加载谱信号, 该谱由三个载荷步组成, 如表 1 和如图 6 所示, 信号的采样频率为 2 kHz。载荷步与载荷步之间实现了平滑连接。

表 1 加载谱信号参数

载荷步编号/级	1	2	3
目标值/kN	5	2	6
曲线类型	正弦	折线	正弦
时间/s	1	1	2

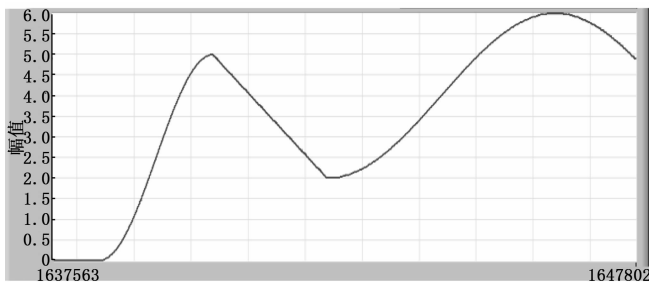


图 6 加载谱信号

2.3 载荷步信号控制

在试验谱信号生成过程中, 试验人员可对其进行控制, 包括停止到零、谱的单步调节、单点控制、选择谱段控制、运行下一载荷步、控制方式切换等。

停止到零是一个特殊的载荷步, 其作用是在试验谱生成过程中停止谱的生成, 并将信号恢复到零的过程或谱运行完成后自动恢复到零的过程。停止到零载荷步的目标值为 0, 次数为 1, 将其参数存储到“参数寄存器 2”中。当监

表 2 16 位曲线基本点的取值

基本点编号 类型	1	2	512	513	1022	1023	1024
正弦	0	$3.051\ 76 \times 10^{-5}$	1	1	$3.051\ 76 \times 10^{-5}$	0	0
三角	0.001 953 12	0.003 906 25	1	0.998 047	0.003 906 25	0.001 953 12	0

测到最后一个载荷步（序号等于载荷步数组大小值-1）且运行完毕后，FPGA 索引该参数寄存器；或在载荷步生成过程中，通过主动控制直接切换索引，以便能够在加载完成后或过载状态下卸载。

在静力加载试验中，除实时运行试验谱外，还能够进行载荷步的逐级加载，即一次加载只运行一个载荷步然后保持加载值，此时就需要对谱进行“单步调节”。“单步调节”的 FPGA 实现中，仅需通过 DMA FIFO 发送该载荷步参数信息且序号参数设置为 1，总的载荷步数量设置为 1 即可，运行完该载荷步后不会触发停止到零载荷步，实现保持最终加载值的输出。

谱的“单点控制”与“单步调节”类似，不同之处在于该控制方法可以重新设置目标值、时间、曲线等参数。在 RT 中需要将其参数重新组装成载荷步参数，之后按照“单步调节”的方式下发信息，实现上位机操作者的任意加载设置。

“选择谱段控制”指在设置好的试验谱中，不需要从第一个载荷步开始生成信号，而是可以任意选择一个载荷步作为起始载荷步进行加载。根据选择的谱段信息，在 RT 中索引到该载荷步和其下一载荷步，将参数和序号下发到 FPGA 进行信号生成即可，后续试验谱段的执行与原试验谱运行方式完全相同。

“运行下一载荷步”指在当前载荷步停止后，根据试验谱载荷步的顺序生成下一个载荷步的信号，生成完成后停止。其在 FPGA 的实现中与谱的“单步调节”类似，不同之处在于不需要在 RT 中选择某个载荷步，而是直接在设置好的试验谱中选择下一个序号的载荷步，然后下发参数信息和序号即可。

在静力加载试验中，控制方式分为位移控制和力控制两种，“控制方式切换”是指位移信号和力信号转换反馈的过程。力控切换到位控时，为保持输出信号没有较大的变化（当前位置和受力不变），加载谱需保持当前输出，等到控制参数切换后输出信号需立即切换为位移反馈量，同时试验谱由加载谱更换为位移谱。位移谱一般为相对量，在参数下发到 FPGA 中后需根据当前反馈转换为绝对量。

3 加载谱信号分析

由于插值点与实际点有误差，对于 16 位插值来说，分辨率为 $3.05176E-5$ ，如果不是其整数倍，均会导致误差的存在，16 位基本点的取值如表 2 所示。

正弦基本点中最大间隔为：

$$\sin(n_2) - \sin(n_1) = 0.00308228$$

三角曲线基本点为等间隔， $y(n_2) - y(n_1) =$

$0.001\ 953\ 12$ ，得出最大插入点数量为 101，为计算方便，在 FPGA 的实现上进行 128 (2^7) 次插值，以充分利用 16 位的分辨率。

控制频率设置为 2 kHz，通过对载荷步时间参数的设置，在 FPGA 上分别实现 0.1 Hz、1 Hz、20 Hz 和 300 Hz 频率的载荷步生成，选取频率所产生的信号数据均不为 1 024 的整数倍或整数分之一，同时最后的输出值要保证数值 1 的输出，查表插值后会产生一个较大的误差。通过对信号数据和上位机参考数据进行比较，得到的误差如表 3 所示，其归一化误差均在 0.01% 以内。在 FPGA 实现上，为保证控制的一致性，将力控的压力值和位移控制的长度值均通过灵敏度和数据格式转换，形成有符号的 16 位定点数，取值范围为 ± 16 ，可与 $\pm 10\ V$ 量程的传感器匹配。此时起始值与目标值差值的最大比例系数为 32，其误差仍能控制在 0.01% 以内。

表 3 误差表

频率/Hz	0.1	1	20	300
正弦与标准数据最大误差	1.53×10^{-5}	1.53×10^{-5}	1.40×10^{-5}	3.05×10^{-5}
三角与标准数据最大误差	1.52×10^{-5}	1.51×10^{-5}	1.46×10^{-5}	3.05×10^{-5}

在载荷步连接过程中，控制程序是通过切换参数寄存器的方式实现的，由于参数寄存器中信息的更新需要 RT 与 FPGA 相互配合，二者在数据传输中存在时间差，该时间差对载荷步的总持续时间有影响。RT 与 FPGA 的交互信息是通过“读写节点”进行的，该通讯是实时的，然而 RT 在对其进行监测时的最大时间间隔为 10 ms。为保证 RT 将新载荷步信息下发并存储到空闲的参数寄存器中，以实现载荷步的顺利连接，每个载荷步的总持续时间不能少于 10 ms。通过使用 cRIO-9035 进行加载谱生成试验，结合硬件资源实现了八通道加载谱不同目标值的生成与控制过程，各通道采用串行运算方式，单通道循环一次用时约 50 ns，综合其他控制算法 FPGA 可实现 50 kHz 控制频率的信号生成。

4 结束语

本文研究的静力加载谱生成和控制算法，在 FPGA 上实现了加载谱的信号生成和控制手段，满足了当前静力试验的加载操作需求。该算法通过利用 RT 与 FPGA 的信息交互，合理分配了计算资源。综合 FPGA 的资源配置，能够对控制通道进行扩展。通过对生成的加载谱信号进行分

（下转第 141 页）