

# 一种模拟单粒子瞬态产生和测量方法

何怡刚, 赵明, 周健波, 张钟韬

(合肥工业大学 电气与自动化工程学院, 合肥 230009)

**摘要:** 为了提高利用静态随机存取存储器 (SRAM) 型现场可编程门阵列 (FPGA) 评估集成电路单粒子瞬态 (SET) 的精度, 在瞬态脉冲的产生方面以及瞬态脉冲在 FPGA 中的传播特性方面进行了研究; 提出一种基于 IDELAY2 延迟元件的瞬态脉冲产生和测量方法, 利用该方法可以连续产生和测量宽度增量为 78 ps 的正脉冲 (0-1-0) 和负脉冲 (1-0-1), 同时在 FPGA 内部实现 8 种不同的门电路逻辑链, 研究它们对瞬态脉冲宽度的影响; 实验结果表明该瞬态脉冲产生和测量方法实现简单, 可以在不改变电路布局布线的前提下, 改变注入脉冲的宽度, 且计算得到的理论脉冲宽度与实际测量的误差小于 7%, 同时 8 种不同的门电路逻辑链对瞬态脉冲宽度的影响和门类型以及脉冲类型有关, 与初始输入瞬态脉冲宽度无关。

**关键词:** 单粒子瞬态效应; IDELAY2 延迟元件; SRAM 型 FPGA; 传播特性

## A Methodology for Pulse Generation and Measurement of Single Event Transient Emulation

He Yigang, Zhao Ming, Zhou Jianbo, Zhang Zhongtao

(School of Electrical Engineering and Automation, Hefei University of Technology, Hefei 230009, China)

**Abstract:** In order to improve the accuracy of evaluating the single event transient (SET) of integrated circuits using static random access memory (SRAM) field programmable gate array (FPGA), research has been carried out in FPGA about the generation of transient pulses and the propagation characteristics of transient pulses. A method of transient pulse generation and measurement based on IDELAY2 delay element is proposed, which can continuously generate and measure positive pulses (0-1-0) and negative pulses (1-0-1) with a width increment of 78 ps. At the same time, 8 different logic circuits of gate circuits are implemented in the FPGA to study their influence on the transient pulse width. The experimental results show that the transient pulse generation and measurement method is simple to implement, the width of the injected pulse can be changed without changing the circuit layout, and the error between the calculated theoretical pulse width and the actual measurement is less than 7%. At the same time, the effect of 8 different gate logic chains on the transient pulse width is related to the gate type and pulse type, and has nothing to do with the initial input transient pulse width.

**Keywords:** single event transient effect; IDELAY2 delay element; SRAM-based FPGAs; characterization of propagation

## 0 引言

随着集成电路工艺进入深亚微米时代, 特征尺寸的减少以及时钟频率的提高都使得空间环境器件的单粒子瞬态脉冲 (SET, single event transient) 效应变得越来越严重, 甚至成为系统产生软错误的主要来源<sup>[1-2]</sup>。为了评估集成电路的单粒子瞬态效应, 目前主要的方法是辐射实验测量方法、模型分析计算方法、仿真软件模拟方法和基于硬件的模拟方法<sup>[3]</sup>, 辐射实验测试方法就是在地面模拟真实的单粒子效应, 但是实验成本高, 每批次的实验数据少。模型分析计算方法和仿真软件模拟方法不能完全模拟出单粒子效应对集成电路的影响, 同时计算速度较慢, 所以相比于前三种方法, 基于硬件的模拟方法一般是利用 FPGA 进行

硬件加速, 在大规模电路应用中, 具有速度快、成本低的优点, 缺点是精度较低。文献 [3-4] 使用 FPGA 在基于量化组合逻辑门延迟思想和扫描测试的方法, 去评估数字电路软错误敏感性, 但是忽略了 FPGA 中瞬态脉冲在电路传播过程中可能会发生脉冲压缩效应或者脉冲展宽效应<sup>[5]</sup>。根据相关实验数据表明单粒子瞬态效应造成器件的瞬态脉冲宽度在 150 ps~2 ns 之间<sup>[6]</sup>。为了提高基于硬件模拟方法的精度, 可以从模拟单粒子瞬态脉冲的产生以及在 FPGA 中的传输特性方面进行研究。

在 FPGA 内部模拟单粒子瞬态脉冲的产生, 现在普遍使用三种方法: 辐射试验、激光试验和电注入试验<sup>[7]</sup>, 前两种方法虽然贴近单粒子瞬态效应产生瞬态脉冲的实际环境, 但是其只能观测到瞬态脉冲在电路中产生的结果, 无法很精确地确定瞬态脉冲注入时间和位置, 而且其有很高的成本, 相反电注入试验方法用注入的脉冲来模拟真实粒子的撞击, 其成本较低, 并且对于要注入时间和地点都能实现良好的控制, 能准确地确定注入时间及位置, 最适合本文的模拟瞬态脉冲的产生和分析。

针对瞬态脉冲宽度在皮秒级别, 本文充分利用 FPGA 中

收稿日期: 2020-06-21; 修回日期: 2020-07-01。

基金项目: 国家自然科学基金 (51577046); 国家自然科学基金重点项目 (51637004); 国家重点研发计划“重大科学仪器设备开发”项目 (2016YFF0102200); 装备预先研究重点项目 (41402040301)。

作者简介: 何怡刚 (1966-), 男, 湖南人, 教授, 博士生导师, 主要从事模拟和混合集成电路设计, 测试和故障诊断等方面的研究。

丰富的原语资源,提出了一种基于 IDELAY2 延迟元件的电脉冲注入和测量方法,在不改变系统布局布线的情况下,可以实现连续产生宽度增量为 78ps 的瞬态脉冲,宽度基本覆盖深亚微米下瞬态脉冲宽度范围,同时利用 IDELAY2 延迟元件在 FPGA 内部设计瞬态脉冲宽度测量电路,研究 8 种不同的门电路逻辑链对脉冲宽度的影响,结果显示了门类型、输入脉冲类型和输入脉冲宽度对传播脉冲宽度的影响。

## 1 SET 注入和测量技术

瞬态脉冲的电注入方法就是在电路的指定节点注入瞬态脉冲,注入脉冲的方法分为外部电注入和内部电注入,采用外部电注入的方法就是在 FPGA 外部产生瞬态脉冲,通过 FPGA 的输入输出引脚(I/O Element)结构进入 FPGA,但是脉冲在通过 IOE 结构时会有滤波的现象,所以本文采用内部电注入的方法,避免造成输入脉冲宽度的变化。当组合逻辑电路中发生 SET 时,产生的瞬态脉冲有两种类型,即正脉冲(010)和负脉冲(101),本文将分别对它们进行讨论。

### 1.1 SET 脉冲产生单元

本文的 SET 脉冲产生单元是在 FPGA 中的 IDELAY2 延迟元件原语的基础上实现的。IDELAY2 延迟元件是具有抽头分辨率的 31 抽头环绕式延迟原语,可以将其应用于组合输入路径或者已定义的输入路径或者两者都有,也可以直接从 FPGA 逻辑中对其进行访问,它是 Xilinx 的 FPGA 底层延迟单元,可以在单个输入引脚的基础上延迟输入信号,抽头延迟分辨率可以通过使用 IDELAYCTRL 原语作为参考时钟连续校准,如式(1)所示:

$$Tapdelay = 1/(32 * 2 * F_{ref}) \quad (1)$$

式(1)中, $F_{ref}$ 是参考时钟频率, $Tapdelay$ 是抽头延迟分辨率,抽头值和抽头延迟分辨率的乘积就是相对于抽头值为 0 时的总延迟时间。本文中选择的参考时钟频率为 200 MHz,由于抽头分辨率是通过 IDELAYCTRL 进行校准的,所以抽头分辨率为 78 ps,如果 IDELAY2 原语被实例化,则 IDELAYCTRL 模块也必须被实例化,IDELAYCTRL 模块连续校准单个延迟抽头 IDELAY2 区域,以减少工艺、电压和温度变化的影响,所以即使环境变化,抽头延迟单元的抽头分辨率也会非常精确和稳定。

IDELAY2 延迟元件抽头延迟线属性包括 FIXED, VARIABLE, VAR\_LOAD 和 VAR\_LOAD\_PIPE 四种属性,本文选择“VARIABLE”属性,在此属性下,可以在 IDELAY2 延迟元件的可用端口,如图 1 所示,在 CLK 时钟信号的上升沿,采样 CE 和 INC 的值,动态增加或者减少 IDELAY2 延迟元件的延迟抽头值。

为了评估抽头延迟单元 IDELAY2 的精度和稳定性,设计了环形振荡器和 IDELAY2 延迟元件组成的验证电路,如图 2 所示,整个电路由三个反相器、IDELAY2 延迟元件和一个与门电路组成,在静态下,任何一个反相器的输入和输出都不可能稳定在高电平或低电平,只能在高低电平之间变化。假设一个反相器的延迟时间为  $t_1$ ,一个门电路的延

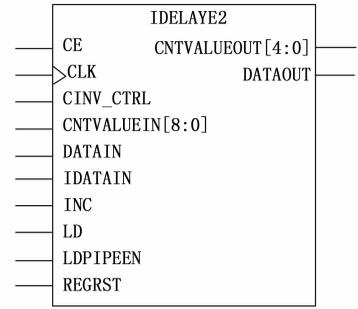


图 1 IDELAY2 延迟元件

迟时间为  $t_2$ , IDELAY2 延迟元件的延迟时间为  $t_3$ ,则总的延迟时间为  $3 * t_1 + t_2 + t_3$ ,整个延迟电路的振荡周期为  $2 * (3 * t_1 + t_2 + t_3)$ ,因为 IDELAY2 延迟元件的延迟时间取决于抽头值,所以通过增加抽头值,研究其导致的振荡周期增加量。具体的做法就是在 IDELAY2 的抽头值为 0 时,使能信号置位为高电平,在图 2 中的测量信号点处,测量一定数量上升沿所需的时间,这个数值可以通过 USB-UAR 芯片传输到 PC 端的串口通信软件上得到,进而计算出单个振荡周期值。在抽头值每次增加一时, IDELAY2 延迟单元的延迟时间增加量为  $\Delta t_3$ ,与之前抽头值的振荡周期相比,将得到新的振荡周期增加量为  $2 * \Delta t_3$ ,抽头值最大可以达到 31,就可以计算 31 个新的振荡周期增加量。在抽头值每增加一时,也就是 IDELAY2 延迟元件的延迟时间增加 78 ps,整个振荡周期理论的增加量是 156 ps,如图 3 所示,得到的是 IDELAY2 延迟元件造成的周期增加量,结果表明了 IDELAY2 延迟元件的精度和可靠性。

SET 脉冲产生单元电路由两个 IDELAY2 延迟元件和一个门电路组成,如图 4 所示。当有一个上升沿信号输入时,信号会通过两个 IDELAY2 延迟元件,通过设置两个 IDELAY2 延迟元件不同的抽头值,延迟不同的时间,延迟后的信号通过 XOR 异或门产生一个正脉冲(0-1-0),产生脉冲的宽度取决于两个 IDELAY2 延迟元件抽头值的差。同样为了得到一个负脉冲(1-0-1),可以将延迟后的信号通过 XNOR 异或非门,产生负脉冲的宽度也取决于两个 IDELAY2 延迟元件抽头值的差。在需要改变抽头值时,只需要改变 CE 和 INC 的值,就可以在不改变系统布局布线的情况下,通过 SET 脉冲产生单元电路连续调教脉冲宽度,并且脉冲宽度的单次调节步长是 78 ps。瞬态脉冲产生单元电路产生的瞬态脉冲可以作为信号传播模块的输入信号,也可以用瞬态脉冲测量模块直接对瞬态脉冲进行测量,不需要进行放大或转化为其他形式。

### 1.2 信号传播单元

为了表征 SET 脉冲传播过程中脉冲宽度的变化,根据典型电路的情况,将 and、or、xor、buf、nor、nand 和 inv 分别单独组成相同长度的门电路逻辑链,在链的开始处注入产生的 SET 脉冲,并在链尾得到遍历完逻辑链的脉冲。为了将脉冲传播不受逻辑屏蔽的影响,到达脉冲测量装置

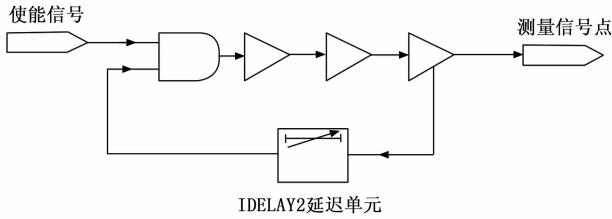


图 2 IDELAY2 延迟验证电路

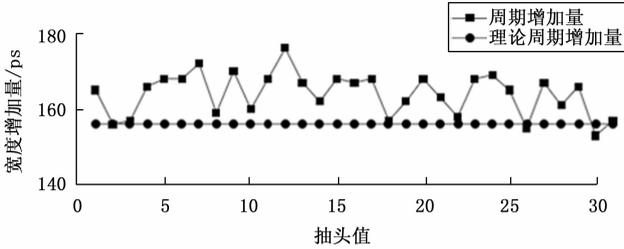


图 3 IDELAY2 延迟单元周期增加量

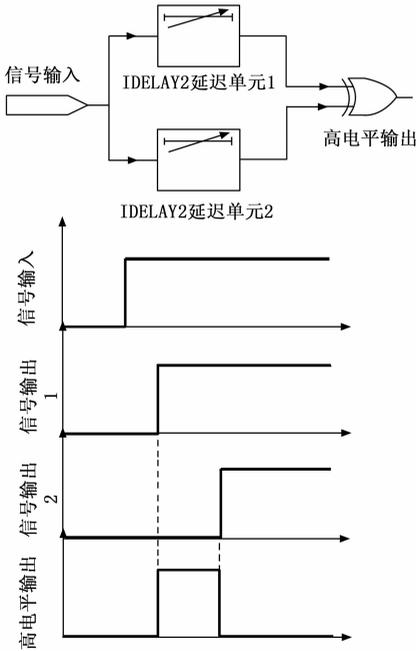


图 4 SET 正脉冲 (0-1-0) 产生电路

前, 所有逻辑门的其他输入均设置为未屏蔽状态, 将 and 和 nand 第二个输入设置为 1, or 和 nor 第二个输入设置为 0, 对于 xor, 将分别考虑第二个输入为 0 和 1 两种情况。通过手动放置和布线, 确保了信号传播单元不同逻辑链有相同的布局和布线, 可以得到更准确的结果, 排除其他因素的影响。

### 1.3 SET 脉冲测量单元

对于逻辑链链尾 SET 脉冲宽度的测量, 文献 [8] 选择使用示波器, 但是由于 SET 脉冲经过 IOE (I/O Element) 输出时, 可能会发生脉冲失真, 进而影响所测 SET 脉冲宽度的准确性, 因此本文选择在 FPGA 内部测量脉冲宽度, 如图 5 所示。

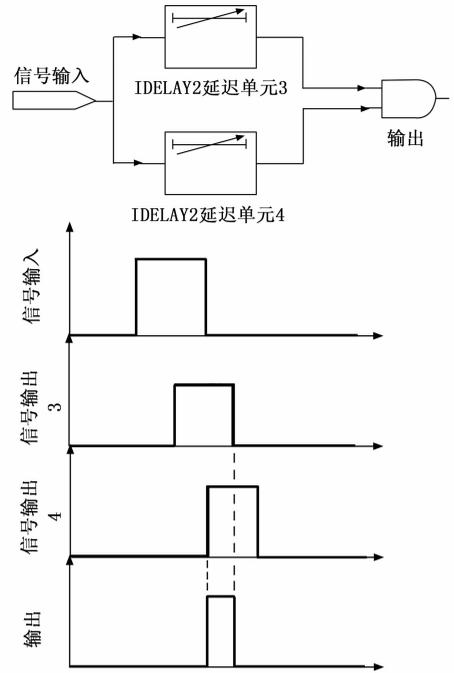


图 5 SET 正脉冲 (0-1-0) 测量电路

SET 脉冲测量电路也是在 IDELAY2 延迟元件原语的基础上实现的, 它包括两个 IDELAY2 延迟元件和一个与门电路组成, 其中 IDELAY2 延迟元件的抽头延迟线属性是“VARIABLE”, 逻辑链链尾脉冲通过设置两个抽头值不同的 IDELAY2 延迟单元, 在两个抽头值差不断增加时, 对于正脉冲 (0-1-0), 两个 IDELAY2 延迟元件的输出“与”门结果中刚好没有检测到高电平, 则说明两个脉冲的相位相差了脉冲宽度的长度。对于负脉冲 (1-0-1), 两个 IDELAY2 延迟元件的输出“或”门结果中刚好没有检测到低电平, 则说明两个脉冲的相位相差了脉冲宽度的长度。

为了验证 SET 脉冲测量单元的准确性, 本文使用 SET 脉冲测量单元去测量占空比为 50% 的不同周期信号的正脉冲宽度和负脉冲宽度, 表 1 为测量结果, 其中  $F$  为信号频率,  $L_a$  表示正脉冲和负脉冲的实际宽度,  $L_c$  表示用 SET 脉冲测量单元得到的脉冲宽度,  $|\Delta L|$  表示测量值与理论值的误差率, 计算公式如式 (2):

$$\Delta L = |L_a - L_c| / L_a \quad (2)$$

表 1 SET 脉冲测量电路结果

	$F/\text{MHz}$	$L_a/\text{ps}$	$L_c/\text{ps}$	$\Delta L/\%$
正脉冲	300	1 666	1 716	3.0
	400	1 250	1 326	6.1
	500	1 000	1 014	1.4
	600	833	858	3.0
负脉冲	300	1 666	1 638	1.7
	400	1 250	1 170	6.4
	500	1 000	936	6.4
	600	833	780	6.4

从表 1 中可以看出, 对于脉冲的宽度测量值和宽度实际值之间误差  $\Delta L$  均小于 7%, 同时在对正脉冲和负脉冲的分别测量误差中, 发现 SET 脉冲测量单元对正脉冲的测量误差低于负脉冲的测量误差。

## 2 实验结果

为了研究 SET 瞬态脉冲在 FPGA 逻辑门中的传播特性, 使用 Xilinx 的 Vivado 软件分别实现 50 个 and, or, xor, buf, nor, nand, inv 相连的门电路逻辑链, 考虑到 FPGA 中不存在门的概念, 因此将查找表 (LUT) 配置成所需要功能的门, 将 SET 脉冲进入不同门电路逻辑链中。为了研究 SET 瞬态脉冲通过门电路逻辑链传播时的脉冲变化, 在逻辑链的输入处注入不同宽度的正脉冲 (0-1-0) 或负脉冲 (1-0-1), 并在逻辑链的输出处测量 SET 瞬态脉冲宽度, 而传播引起的脉冲失真 (PIPD) 等于在链输出处测量脉冲宽度和输入处测量脉冲宽度的差值, 当 PIPD 值为正时, 说明脉冲展宽, 反之则说明脉冲压缩。

### 2.1 正脉冲 (0-1-0) 的传播特性

根据是否是产生相反逻辑的门, 可以将 8 个逻辑链分为反向逻辑链和非反向逻辑链, 随着输入脉冲宽度的增加, 结果如表 2 所示。在输入 SET 瞬态脉冲是正脉冲 (0-1-0) 的情况下, 脉冲传播到非反向逻辑链 (例如 and, or, buf, xor\_g) 时, 脉冲的宽度增量 PIPD 为正且脉冲宽度有明显增加。而在 SET 瞬态脉冲传播到反向逻辑链 (例如 inv, nor, nand, xor\_v) 时, 脉冲的宽度增量 PIPD 相对于非反向逻辑链宽度增量 PIPD, 脉冲宽度变化较小, 说明正脉冲经过非反向逻辑链时, 脉冲展宽能力较强。随着逻辑链初始输入脉冲宽度的增加, 无论传播到反向逻辑链还是非反向逻辑链, 脉冲宽度的增量 PIPD 几乎保持不变, 说明正脉冲宽度的增量 PIPD 与初始输入脉冲宽度无关。

表 2 正脉冲宽度增量 (PIPD)

输入/ps	and	or	buf	xor_g	inv	nor	nand	xor_v
312	546	468	468	468	156	156	156	156
624	546	468	546	468	234	234	156	156
936	546	468	546	546	156	156	156	156
1248	546	468	624	546	234	156	156	156
1560	546	468	624	546	234	156	156	156

### 2.2 负脉冲 (1-0-1) 的传播特性

在逻辑链的输入是负脉冲 (1-0-1) 的情况下, 随着脉冲宽度的增加, 结果如表 3 所示, SET 瞬态脉冲传播到逻辑链链尾时, 脉冲宽度增量 PIPD 为负数, 说明瞬态脉冲宽度在变小。在经过非反向逻辑链 (例如 and, or, buf, xor\_g) 时, 脉冲宽度的减少量比经过反向逻辑链 (例如 inv, nor, nand, xor\_v) 时脉冲宽度减少量有明显的增加, 说明负脉冲经过非反向逻辑链时, 脉冲压缩能力较强。但是随初始输入 SET 负脉冲宽度的增加, 脉冲宽度增量 PIPD 基本保持不变, 说明负脉冲的脉冲宽度增量 PIPD 和初始输入负脉冲宽度无关。

表 3 负脉冲宽度增量 (PIPD)

输入/ps	and	or	buf	xor_g	inv	nor	nand	xor_v
1 092	-780	-780	-780	-780	-156	-156	-156	-156
1 248	-702	-702	-702	-702	-78	-78	-156	-78
1 404	-780	-780	-780	-780	-156	-156	-156	-156
1 560	-780	-780	-780	-780	-78	-78	-78	-78
1 716	-702	-702	-780	-702	-156	-156	-156	-78

从表 2 和表 3 中可以看出, 在输入是正脉冲时, 脉冲会发生展宽, 而输入是负脉冲时, 脉冲会发生压缩, 但是无论输入是正脉冲还是负脉冲, 在同一类型输入脉冲下, 反向逻辑链中的 4 个门电路的 PIPD 的值没有显著的差别, 非反向逻辑链中的 4 个门电路的 PIPD 的值没有明显差别, 说明脉冲宽度的增加或减少与输入脉冲类型和是否是产生相反逻辑的门有关。

## 3 结束语

本文提出了一种基于 IDELAY2 延迟元件原语的单粒子瞬态脉冲产生和测量方法, 在不改变系统布局布线的情况下, 可以连续产生宽度增量为 78 ps 的瞬态脉冲, 同时可以在 FPGA 内部测量瞬态脉冲的宽度并且测量的宽度误差在 7% 以下, 有效地解决了脉冲经过 IOB 的滤波现象。在瞬态脉冲传播过程中, 瞬态脉冲类型和门电路逻辑链类型对脉冲宽度传播都有影响, 初始输入脉冲宽度对脉冲宽度传播没有影响。本文研究了瞬态脉冲在 SRAM 型 FPGA 中的传播特性, 在以后研究中会用来提高运用 FPGA 等硬件方法模拟集成电路软错误的可靠性。

### 参考文献:

- [1] 爱德华·彼得森. 现代空间单粒子效应——影响航天电子系统的危险因素 [M]. 韩郑生, 沈自才, 丁义刚, 等译. 北京: 电子工业出版社, 2016.
- [2] Cai S, Wang W Z, Yu F. et al. Single event transient propagation probabilities analysis for nanometer CMOS circuits [J]. Journal of Electronic Testing, 2019, 35 (2): 163-172.
- [3] 鄂长江. 单粒子引起的组合电路软错误评估研究 [D]. 绵阳: 西南科技大学, 2019.
- [4] 周婉婷, 靳丽娜, 叶世旺. 单粒子瞬态效应硬件注入模型实现和仿真 [J]. 微电子学与计算机, 2014, 31 (9): 84-87.
- [5] Gadlage M J, Ahlbin J R, Narasimham B, et al. Scaling trends in SET pulse widths in sub-100 nm bulk CMOS processes [J]. IEEE Transactions on Nuclear Science, 2010, 57 (6): 3336-33340.
- [6] Jagannathan S, et al. Independent measurement of SET pulse widths from N-Hits and P-Hits in 65-nm CMOS [A]. IEEE Transactions on Nuclear Science [C]. 2010, 57 (6): 3386-3391.
- [7] Azimi S, Sterpone L, Du B, et al. On the analysis of radiation-induced single event transients on SRAM-based FPGAs [J]. Microelectronics Reliability, 2018: 88-90.
- [8] 叶世旺, 周婉婷. 一种模拟 SET 的脉冲产生方法 [J]. 微电子学与计算机, 2014, 31 (1): 129-131, 136.