

基于 CPLD 芯片控制的视频图像处理系统设计

陈建国, 康海静, 兰英

(成都理工大学 工程技术学院, 四川 乐山 614000)

摘要: 针对当前连续视频图像的空间冗余性较高, 图像数据处理及时性较差的问题, 设计了基于 CPLD 芯片控制的视频图像处理系统; 将 CPLD 存储模块内提取的数据信息, 平均分配至视频图像采集元件及图像边缘检测元件中, 再借助信息传输信道, 建立与 VGA 视频图像显示模块的物理连接, 实现视频图像处理系统的硬件执行方案设计; 利用分数像素差优化结果, 规范子窗口的动态显示权限, 控制连续视频图像在空间范围内的冗余化程度, 完成图像源路数的智能控制处理; 联合视频进程与多线程控制原理, 实施数据缓冲区的信息排序, 再建立全新的视频流存储模式, 实现视频流的完整播放; 对比实验结果表明, 与多路视频处理手段相比, 应用 CPLD 芯片控制处理系统后, 图像数据帧缓存速率明显提升, 而 VGA 信息转换指标却大幅下降, 在抑制连续视频图像空间冗余能力的同时, 解决了图像数据处理不及时的问题。

关键词: CPLD 芯片; 视频图像; 处理系统; 边缘检测; VGA 显示; 分数像素差值; 子窗口; 数据缓冲

Design of video Image Processing System Based on CPLD Chip Control

Chen Jianguo, Kang Haijing, Lan Ying

(Engineering & Technical College, Chengdu University of Technology, Leshan 614000, China)

Abstract: Aiming at the problems of high spatial redundancy of current continuous video images and poor timeliness of image data processing, a video image processing system based on CPLD chip control is designed. The data information extracted from the CPLD storage module is evenly distributed to the video image acquisition element and the image edge detection element, and then the physical connection with the VGA video image display module is established by means of the information transmission channel to realize the hardware execution plan of the video image processing system design. Use the optimized result of fractional pixel difference to regulate the dynamic display permission of the sub-window, control the degree of redundancy of continuous video images in the spatial range, and complete the intelligent control processing of the number of image sources. Combined with the video process and multi-threaded control principle, the information order of the packet buffer is implemented, and then a brand new video stream storage mode is established to realize the complete playback of the video stream. The comparison experiment results show that, compared with the multi-channel video processing method, after applying the CPLD chip to control the processing system, the frame buffer rate of image data is significantly increased, while the VGA information conversion index is greatly reduced, while suppressing the spatial redundancy of continuous video images, solve the problem of image data processing is not timely.

Keywords: CPLD chip; video image; processing system; edge detection; VGA display; fractional pixel difference; child window; data buffering

0 引言

CPLD 芯片也叫复杂可编程逻辑器件, 常应用于数字化电路系统中, 为减少关联器件使用数量, 进而缩小 PCB 板件的存储空间, 独立芯片的逻辑信息门数值已突破了百万。为实现数据信息的反复编程、使用与擦除, 在外围电路保持不变的情况下, 每一路执行软件可直接控制一种硬件执行设备, 不仅大大提升了数字化电路系统的应用灵活性, 也大幅缩短了数据文件编程所需的消耗时间^[1]。相较于国外最早使用的 GAL 器件来说, CPLD 芯片的应用结构更为

复杂, 可按照用户的实际需求, 构造数字集成电路的逻辑功能, 也可通过目标文件下载的方式, 将原编程代码传送至客户端主机中。

视频图像处理的发展依赖于计算机技术的应用与实施, 它是信息编程领域中非常活跃的一部分, 大多数情况下, 视频图像处理基本等同于计算机的连续图像处理^[2]。传统多路视频处理手段虽能直接获取智能控制信号的信息路数, 但随着视频图像覆盖空间的增大, 数据信息的处理及时性开始迅速下降, 图像内空间冗余水平的大幅提升。为解决此问题, 引入 CPLD 芯片控制原理, 在 VGA 显示模块等多个硬件执行设备的支持下, 搭建一种新型的视频图像处理系统, 一方面优化了图像分数的像素差值参量, 另一方面也实现了数据缓冲区内的信息按需排序。

1 系统结构及原理

视频图像处理系统主要由 CPLD 存储模块、视频图像采集模块、图像边缘检测模块、VGA 视频图像显示模块、

收稿日期: 2020-05-09; **修回日期:** 2020-06-01。

基金项目: 四川省教育厅科研项目(17ZB0066); 成都理工大学工程技术学院院级基金项目(C122017019); 成都理工大学工程技术学院教育教学改革项目(2018-JYJG0201)。

作者简介: 陈建国(1978-), 男, 河南孟州人, 硕士, 讲师, 主要从事混沌保密通信、数字图像处理算法及应用、人工智能算法及应用方向的研究。

图像源路数智能控制以及视频流播放设计组成。其系统结构及原理如图 1 所示。

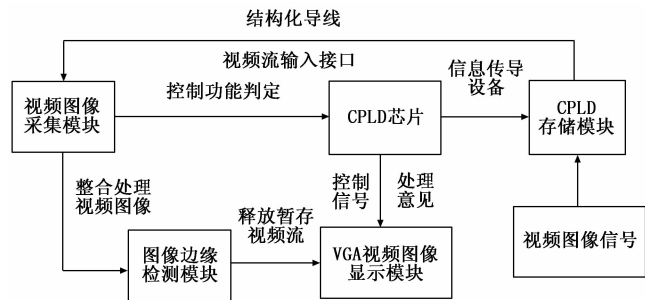


图 1 系统结构及原理

CPLD 存储模块主要负责暂存视频图像相关数据信息，其中，视频图像多线程控制过程中，所有视频图像信号只能存储在该模块内。视频图像采集模块利用结构化导线，经过视频流输入接口，加工视频流数据，整合处理已输入视频图像，进入下级处理设备。图像边缘检测模块主要负责制定视频流处理相关设备执行指令，释放暂存的视频流文件。VGA 视频图像显示模块主要将图像数据流转化为视频流，提取待处理图像数据，通过信息流接口元件，生成完整的数据流参量，协调视频图像的存储形式，匹配视频图像控制处理行为。图像源路数智能控制是利用分数像素的运动补偿原理，优化图像像素差，根据视频图像输入信号路数，设置子窗口实时显示位置。视频流播放设计是利用多线程节点，完成系统内部视频进程联合化控制处理，排序数据包缓冲区域内信息参量，实现视频图像数据的同步传输，提取采集模块中的数据信息，通过传输信道，反馈给回 VGA 视频图像显示模块。综上所述，实现基于 CPLD 芯片控制的视频图像处理系统设计。

2 视频图像处理系统的硬件执行方案

视频图像处理系统的硬件执行环境由 CPLD 存储模块、视频图像采集模块、图像边缘检测模块、VGA 视频图像显示模块四部分组成，具体搭建方法如下。

2.1 CPLD 存储模块

CPLD 存储模块负责暂存与视频图像相关的数据信息，由 LVTH 存储器、D/A 转换器、TTL 芯片、DAC 芯片、视频流传输导线 5 类结构主体共同组成。CPLD 存储模块结构如图 2 所示。

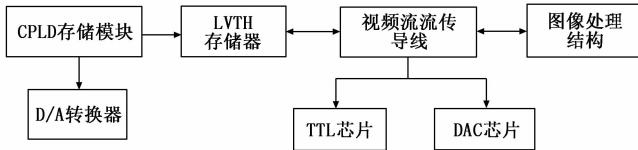


图 2 CPLD 存储模块结构图

图 2 中，视频流传输导线连接了 LVTH 存储器与下级图像处理结构，可将负载于其中的流通数据转化成束状传输结构，总体执行功能相当于 CPLD 芯片控制结构中的信

息传导设备。LVTH 存储器是视频图像数据信息的直属暂存元件，在系统运行过程中始终保持连续性输出状态，从而使传输导线中的视频流信息具备较强的调度积极性^[3]。D/A 转换器具备两种接入状态，视频流信息保持分散输入形式时，该原件实施数据参量的聚集与整合；视频流信息保持束状输入形式时，该原件实施数据参量的分散与重组，但总体工作模式始终与 CPLD 存储模块保持一致。TTL 芯片、DAC 芯片同时负载于视频流传输导线下端，可根据图像数据的实际输出速率，更改元件设备的接入形式，从而更好匹配 CPLD 存储模块内的暂存信息连接行为。

2.2 视频图像采集模块

视频图像采集模块与 CPLD 存储模块直接相连，视频流信息可借助结构化导线，经过输入接口，从上级系统元件进入下级处理设备之中。视频图像采集模块结构如图 3 所示。

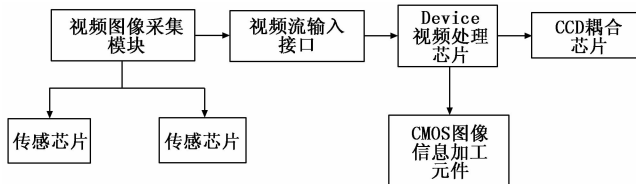


图 3 视频图像采集模块结构图

图 3 中，模块中部设置两块型号相同、但功能不同的传感芯片，分别负责视频图像中的信息属性分析与 CPLD 芯片的控制功能判定。从结构化角度来看，两块传感芯片同时起到承上启下的图像信息采集传输作用，可在保障视频流输入稳定性的同时，解决连续空间节点的冗余占据问题^[4-5]。CMOS 图像信息加工元件具备较强的视频流数据加工能力，可在 Device 芯片的作用下，精准提取传输视频中的冗余可控节点，并按照 CPLD 芯片的基本控制原则，将剩余信息注入连续视频文件中。CCD 耦合芯片是视频图像采集模块的核心搭建设备，负责已输入视频图像的集中性处理与整合，并将筛选后的束状信息数据分配至下级系统元件之中。

2.3 图像边缘检测模块

图像边缘检测模块负责制定与视频流处理相关的设备执行指令，分别与视频图像采集模块及 VGA 显示模块相连。图像边缘检测模块结构如图 4 所示。

图 4 中，内部负载了 4 个不同的小型 CPLD 控制芯片，可有效感知图像信息在视频流中的传输速率，进而协调处理系统内连续进程节点间的冗余占据关系。I 型像素卷积设备、II 型像素卷积设备保持并列相连的关系，通常情况下，视频图像中的数据信息可顺次通过上述两个执行设备，并在主动建立与系统处理主机间物理连接的同时，扩展视频流的平均传输宽度。数据输出旋调装置具备较强的感知适应性，可根据视频流中图像数据的暂存实值，改变设备体与边缘检测模块间的连接紧密程度，从而抑制连续视频图像的空间性冗余能力^[6-7]。Sobel 芯片是图像边缘检测模

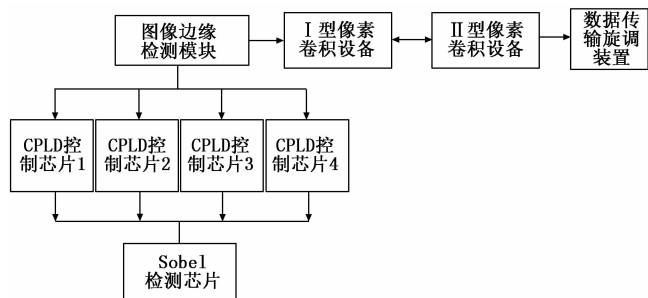


图 4 图像边缘检测模块结构图

块的核心搭建设备, 始终保持较强的指令处理能力, 在完整获取 4 个 CPLD 芯片内图像数据信息的控制应用需求后, 释放所有暂存的视频流文件, 同时建立与 VGA 显示模块的物理连接。

2.4 VGA 视频图像显示模块

VGA 视频图像显示模块实现了由图像数据流到视频流的转化, 在 CPLD 控制芯片的作用下, 可在与图像边缘检测模块建立连接的同时, 借助 ADV7213 芯片, 计算暂存视频图像中的平均分数像素差值。VGA 视频图像显示模块结构如图 5 所示。

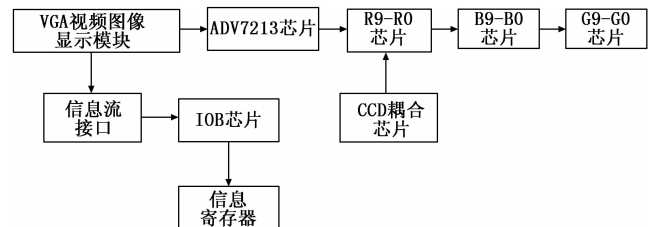


图 5 VGA 视频图像显示模块结构图

图 5 中, R9-R0、B9-B0、G9-G0 是 3 个不同的信息流接口元件。其中, R9-R0 芯片可借助传输导线与 I 型像素卷积设备、II 型像素卷积设备相连, 在视频流传输宽度不断拓宽的情况下, 提取 CCD 耦合芯片中的待处理图像数据, 再通过 B9-B0 芯片的传输促导作用, 将这些束状信息反馈至 G9-G0 芯片中, 直至系统内部的连续视频图像节点完全趋于稳定, 才会生成完整的数据流参量^[8]。信息流接口位于 VGA 视频图像显示模块右下部, 可在 IOB 芯片的作用下, 协调信息寄存器内视频图像的存储形式, 直至与系统内部的控制处理行为完全匹配。

3 图像源路数智能控制

在视频图像处理系统硬件执行方案的支持下, 按照分数像素差值优化、子窗口动态显示调节的操作流程, 实现系统内图像源路数的智能化控制。

3.1 分数像素差值优化

在整个视频图像处理过程中, 分数像素差值函数占去大部分计算量, 其中和 CPLD 芯片控制有关的计算占去总运算量的 40% 左右。在系统核心处理标准中, 图像像素差值优化用到了分数像素的运动补偿原理, 需要在原有数据信

息的基础上进行分数化像素的内插协调, 而中间像素插值占去整个优化补偿估计的至少三分之二的计算量^[9]。因此改变视频图像中原始数据信息的分数像素插值, 成为系统优化调度处理的重要操作环节。分数像素差值优化原理如图 6 所示。

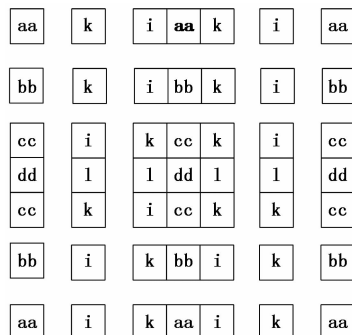


图 6 分数像素差值优化原理

根据图 6 可知, 用于内插的视频图像分数像素点可分为两类: 一类直接作用于数据信息的整数行或列组织, 如图 5 中的 aa、bb、cc、dd 类节点, 这些分数像素差值可通过优化数据行列属性的方式得到; 另一类像素内差点所在的行和列位置上均不包含整数数据信息, 如图 5 中的 i、k、l、g 类节点, 这些像素点的差值优化结果必须参考第一类分数像素点的实际所在位置。

3.2 子窗口动态显示

对于视频图像处理系统的子窗口来说, 由 CPLD 控制芯片预设的窗体结构始终保持显示型排列方式。图像源数据信息的分辨率为 1 920×1 080, 因此每一个子窗口只能按照 16:9 的比率实时播放与显示。根据视频图像输入信号路数的不同, 系统将自动设置子窗口的实时显示位置, 在 CPLD 芯片控制原理的作用下, 与子窗口匹配的动态节点将会不断靠近, 进而达到控制连续视频图像在空间范围内冗余化程度的目的^[10]。在视频图像默认显示条件保持不变的情况下, 处理系统预设的子窗口始终具备较强的动态协调能力, 故处于连续视频空间内的分数像素差值都能够得到稳定的放大处理。因 CPLD 芯片可与视频图像数据保持不平衡的控制对等关系, 子窗口的动态显示复杂度也具备波动变化的能力, 随着输出图像信息源路数的增加, 视频流显示结果也将造成子窗口使用率的提升^[11]。设 ΔM 代表单位时间内处理系统中图像数据信息的实际输出量, ΔR 代表分数像素差值的优化变动总量, 联立上述物理量, 可将视频图像处理系统的子窗口动态显示条件定义为:

$$Y = \frac{2\sigma^2 - \lambda f}{\sqrt{\Delta M^2 + \Delta R^2}} \quad (1)$$

公式 (1) 中, σ 代表视频图像处理系统中数据信息的动态显示参量, λ 代表视频图像信息的实际输入系数, f 代表图像数据的输出处理总量。

4 视频流播放的设计与实现

联合图像源路数的智能化控制需求, 建立必要的视频

进程，在确保视频流得到完整存储的前提下，完成基于 CPLD 芯片控制的视频图像处理系统设计。

4.1 视频的进程与多线程控制

整个视频图像处理系统需要完成多种数据应用功能，在边缘检测模块中，信息用户可以设置所有与本系统相关的操作参数，并且将核心主机返回的处理意见，直接显示在 VGA 模块中。结合 CPLD 芯片的控制原理来看，为实现视频图像信号的同步处理，不同数据信息必须取自不同的图像采集模块，与此同时，CPLD 模块还支持图像本地保存、截屏处理等功能。图像边缘检测模块作为数据包传输结构，可按照信道组织的连接需求，实现各硬件执行设备间的信号共通^[12]。个别情况下，有的功能模块间存在明显的并行执行状态，视频图像中的分数像素差值也会随之增大，进而影响子窗口的动态显示行为，故系统内部的视频进程必须借助多线程节点，才能实现联合化的控制与处理。视频图像多线程控制结构如图 7 所示。

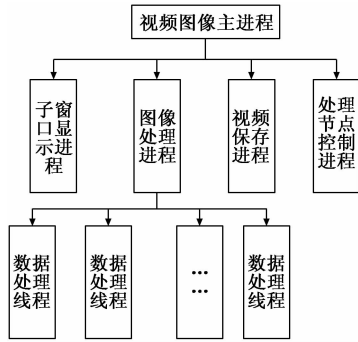


图 7 视频图像多线程控制结构

根据图 7 可知，多控制线程负责子窗口动态图像的显示及视频的播放处理，而节点进程则负责分数像素通道内的信息处理，每一帧视频信号的处理都关联一个线程控制结构。一个视频信号由关闭状态转换为开启状态，也就意味着创建一个新的多线程控制结构，在整个进程通路中，某一个视频信号完成播放时，即表示一个进程的结束，通常情况下，可在图像数据处理线程的末尾，释放所有因视频显示而占用的子窗口结构体。另外在此过程中所涉及的所有视频图像信号，都只能存储在 CPLD 模块之中，形成独立的本地保存文件。

4.2 数据包缓冲区排序

对于待处理视频图像信息，由 CPLD 芯片控制的硬件处理结构始终维持按序发送的执行状态，但信息码流的发送只能以数据包作为单位结构组织，对于数据包不设置独立的传输途径，每个信息结构可经过不同子窗口的转发进入系统处理接收端，在经过 VGA 显示模块的传输后，接收端元件并不能保证数据信息依然维持原始发送顺序，因此为了实现视频图像数据的同步传输，必须在数据包缓冲区内，对信息参量实施必要排序处理^[13]。在执行视频图像数据包的物理排序时，应以一个随机生成的 16 位二进制数作为发送序列号，接下来每发出一个图像数据信息，就在

起始序列号的基础上加“1”，当序列号的末尾标注数值超过 16 位二进制数的应用范围时，则建立一个全新的序列号组织^[14]。采用双向循环链表准则，设原始信息参量为“Seq0”，插入指令为“add”，联立 16 位随机编码标准，对视频图像数据包的缓冲区排序原则进行归纳，如表 1 所示。

表 1 视频图像数据包缓冲区排序原则

序号	排序节点	编码操作	序号	排序节点	编码操作
1	原始视频图像信息	Seq0	5	第一个插入的视频图像信息	Seq0 add Seq1
2	插入处理指令	add	6	第 n 个插入的视频图像信息	Seq0 add Seqn
3	数据头指针	Buffer0	7	二进制数序列	Buffer0 Seq0 add Seq1 - Seq0 add Seqn Buffer1
4	数据尾指针	Buffer1	8	视频图像数据输出	Buffer1 Seq 0 - n

4.3 视频流存储

视频流存储是基于 CPLD 芯片控制视频图像处理系统搭建的末尾设计环节，可直接提取采集模块中的数据信息，并借助传输信道，将这些束状结构体反馈回 VGA 显示模块中。所谓视频流是指连续的平滑图像帧序列，在实时处理系统中，必须截取多个视频图像的特定数据瞬间，并以数据信息的形式直接存储在 CPLD 模块中，以便直接实施后续的处理与分析操作^[15-16]。在多路视频处理系统中，一个数据信号只能对应一类信息参量，而随着传输图像数据总量的增大，连续视频的空间冗余性也开始大幅提升，图像数据的处理及时性持续下降。而 CPLD 芯片控制处理系统，具备同时截取多个数据信号的能力，不仅支持单路视频流的传输与存储，也支持双路或多路视频流的传输与存储，既满足了系统子窗口对于图像分数像素差的显示占用需求，也实现了图像信息数据包的缓冲与排序处理。至此，完成 CPLD 控制流程的建立，在相关软硬件设备结构的支持下，实现新型视频图像处理系统的顺利应用。

5 数据检测与分析

为验证基于 CPLD 芯片控制视频图像处理系统的实际应用能力，设计如下对比实验。如图 8、9 所示，以一空白桌面作为实验实施平台，将图像投射屏幕放置于桌面后缘，在桌面上放置书本、盆栽等物质作为实验对象，不断增加或减少实验对象的具体数量，直至投射屏幕中形成完整且稳定的视频图像。利用传输导线将投射屏幕与控制主机相连，首先启动新型视频图像处理系统，分析连续视频中的图像信息，将各记录数值作为实验组指标参量；再启动多路视频处理系统，分析连续视频中的图像信息，将各记录数值作为对照组指标参量；最后对比实验组、对照组的数值记录结果。

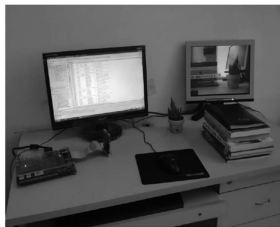


图 8 视频图像处理系统



图 9 待处理视频图像

图像数据帧缓存速率、VGA 信息转换指标都是反应连续视频图像空间冗余性的重要物理指标, 通常情况下, 二者的影响行为始终保持相反的作用效果, 即图像数据帧缓存速率越快, 连续视频图像的空间冗余程度越低, 反之则越高; VGA 信息转换指标越小, 连续视频图像的空间冗余程度越低, 反之则越高。

图 10 反应了实验组、对照组图像数据帧缓存速率的具体变化情况。

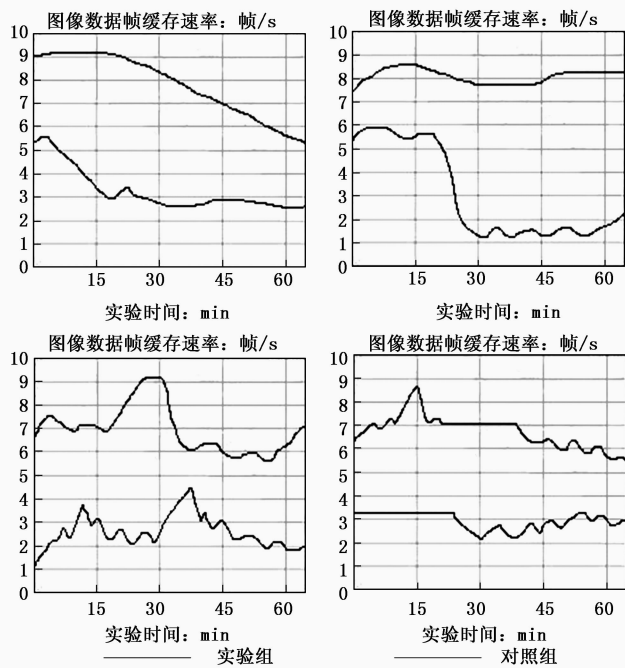


图 10 图像数据帧缓存速率对比图

图 10 记录了 4 组不同的图像数据帧缓存速率指标结果, 从平均值的角度来看, 第 2 次实验组的平均数值最大, 第 3 次对照组的平均数值最大。从极限值的角度来看, 第 1 次、第 3 次实验组的图像数据帧缓存速率最大值达到 9.1 帧/s, 第 1 次实验组的图像数据帧缓存速率最小值也达到 5.3 帧/s; 第 2 次对照组的图像数据帧缓存速率最大值达到 5.9 帧/s, 第 2 次、第 3 次对照组的图像数据帧缓存速率最小值低至 1.1 帧/s。对比最大值, 实验组图像数据帧缓存速率指标上升了 3.2 帧/s; 对比最小值, 实验组图像数据帧缓存速率指标上升了 4.8 帧/s。

表 2 反应了实验组、对照组 VGA 信息转换指标的具体变化情况。

表 2 实验组 VGA 信息转换指标

实验时间 /min	VGA 信息转换指标			
	1	2	3	4
5	1.98	3.11	4.51	6.70
10	1.84	3.04	4.54	6.71
15	2.07	3.08	4.57	6.72
20	1.95	3.13	4.62	6.73
25	1.86	2.97	4.53	6.75
30	2.01	3.06	4.58	6.70
35	2.03	3.12	4.58	6.79
40	1.89	3.03	4.60	6.68
45	1.90	2.99	4.64	6.72
50	2.02	3.10	4.63	6.74
55	1.98	2.98	4.62	6.69
60	1.87	3.08	4.61	6.71
平均值	1.95	2.90	4.59	6.72

表 3 对照组 VGA 信息转换指标

实验时间 /min	VGA 信息转换指标			
	1	2	3	4
5	2.53	4.20	5.79	8.44
10	2.55	4.22	5.80	8.41
15	2.64	4.27	5.78	8.45
20	2.71	4.13	5.81	8.43
25	2.58	4.17	5.82	8.46
30	2.53	4.25	5.79	8.45
35	2.66	4.18	5.79	8.42
40	2.59	4.21	5.79	8.43
45	2.52	4.16	5.80	8.41
50	2.55	4.24	5.81	8.45
55	2.64	4.19	5.81	8.45
60	2.58	4.18	5.80	8.44
平均值	2.59	4.20	5.80	8.44

表 2、表 3 分别代表 4 种不同实验环境下, 实验组、对照组 VGA 信息转换指标的具体数值结果。对比表 2、表 3 可知, 第 4 组 VGA 信息转换指标的平均数值最大, 实验组极大值 6.79 与对照组极大值 8.46 相比, 下降了 1.67; 第 1 组 VGA 信息转换指标的平均数值最小, 实验组极大值 2.03 与对照组极值 2.71 相比, 下降了 0.68。

综上所述, 应用实验组处理系统后, 图像数据帧缓存速率出现了明显提升的变化趋势, 极大值指标由 5.9 帧/s 上升至 9.1 帧/s; 而 VGA 信息转换指标却开始大幅下降, 极大值指标由 8.46 下降至 6.79, 即应用基于 CPLD 芯片控制视频图像处理系统, 可降低连续视频图像的空间冗余性, 实现对图像数据的及时性处理。

6 结束语

为解决多路视频处理手段对于图像数据处理及时性较

差的问题,设计基于 CPLD 芯片控制的视频图像处理系统。在边缘检测模块、VGA 显示模块等多个硬件执行设备的支持下,同时执行分数像素差值的优化调度与子窗口的动态应用,不仅实现了对视频进程的多线程控制,也解决了数据包在缓冲区域内的按需排序问题。从实用性角度来看,图像数据帧缓存速率开始不断上升,而 VGA 信息转换指标却大幅下降,从根本上控制了连续视频图像空间冗余性的上升趋势,实现了及时处理图像数据的初衷。

参考文献:

[1] 高俊岭, 陈志飞, 章佩佩. 基于 FPGA 的实时视频图像采集处理系统设计 [J]. 电子技术应用, 2018, 44 (2): 10 - 12, 19.

[2] 韩书庆, 张建华, 孔繁涛, 等. 基于边界脊线识别的群养猪畜粘连图像分割方法 [J]. 农业工程学报, 2019, 35 (18): 161 - 168.

[3] 温洪波. 大型视频多帧图像信息处理系统设计 [J]. 现代电子技术, 2018, 41 (20): 53 - 56.

[4] 齐玉娟, 王延江. 基于 Matlab GUI 的图像和视频处理仿真系统设计 [J]. 实验技术与管理, 2019, 36 (3): 146 - 149.

[5] 杨林, 刘曰涛. 基于 CPLD 的无刷直流电机全硬件 PI 控制系统设计 [J]. 组合机床与自动化加工技术, 2019 (9): 55 - 59.

[6] 王一鸣, 杜慧敏, 张霞, 等. 视觉注意力网络在工件表面缺陷检测中的应用 [J]. 计算机辅助设计与图形学学报, 2019, 11 (9): 1528 - 1534.

[7] 赵明, 吴海滨, 吴益新, 等. 基于 Zynq-7000 的伪彩色图像处理系统设计与实现 [J]. 电子测量技术, 2018, 41 (6): 120 - 123.

[8] 郝瑞华, 鲁强. 一种混合 CPU 和 GPU 的图像金字塔数据重采样评估模型 [J]. 计算机与数字工程, 2018, 46 (2): 348 - 354.

[9] 李登刚, 陈香香, 李华丽, 等. 基于超像素的流形正则化稀疏约束 NMF 混合像元分解算法 [J]. 计算机应用, 2019, 39 (10): 3100 - 3106.

[10] 唐艳慧, 赵鹏, 王承珉. 基于多重分形谱的木材高光谱图像纹理分类算法 [J]. 液晶与显示, 2019, 34 (12): 1182 - 1190.

[11] 侯蕊, 葛振杰, 赵越, 等. 基于椭圆拟合的医用内窥镜图像相对畸变率检测方法研究 [J]. 光学技术, 2019, 23 (3): 364 - 367.

[12] 曲金秋, 曹云峰, 许蕾, 等. FPGA 的视频流图像采集和预处理系统设计 [J]. 单片机与嵌入式系统应用, 2018, 18 (10): 70 - 74.

[13] 陈炎, 袁国顺, 刘小强. 基于 NEON 优化技术的视频处理系统设计 [J]. 微电子学与计算机, 2018, 35 (7): 62 - 66.

[14] 郝朝, 王灏. 基于 RTP 的机载网络视频实时监控系统设计 [J]. 计算机技术与发展, 2019, 29 (5): 131 - 134.

[15] 丁红晖, 马游春, 张衡, 等. 基于高速 eMMC 阵列的视频存储系统设计 [J]. 仪表技术与传感器, 2019 (1): 72 - 75.

[16] 曾洁, 詹明, 罗小红, 等. 一种低存储容量 Turbo 码译码器结构设计及 FPGA 实现 [J]. 电子技术应用, 2019, 21 (7): 72 - 76.

(上接第 216 页)

[4] Kager J, Herwig C, Stelzer I V. State estimation for a penicillin fed-batch process combining particle filtering methods with on-line and time delayed offline measurements [J]. Chemical Engineering Science, 2018, 177: 234 - 244.

[5] Zhao Z, Shao X, Huang B, et al. On-line estimation of glucose and biomass concentration in batch fermentation process using particle filter with constraint [J]. Asia - Pacific Journal of Chemical Engineering, 2012, 7 (5): 678 - 686.

[6] Arimoto S, Kawamura S, Miyazaki F. Bettering operation of robots by learning [J]. Journal of Field Robotics, 1984, 1 (2): 123 - 140.

[7] Alvarado I A, Findeisen R, Kuhl P, et al. State estimation for repetitive processes using iteratively improving moving horizon observers [A]. IEEE, Decision and Control [C]. 2005: 7756 - 7761.

[8] Hatonen J, Moore K L. A New Arimoto-type algorithm to estimate states for repetitive processes: iterative learning observer (ILO) [A]. IEEE, International Symposium on Intelligent Control [C]. 2007: 232 - 236.

[9] Hui Y, Chi R. Iterative learning state estimation for nonlinear repetitive process [A]. IEEE, Data Driven Control and Learn-

ing Systems Conference [C]. 2017: 378 - 382.

[10] Zhao Z, Qi P, Liu F. Iterative learning state estimation for batch process [A]. International Symposium on Advanced Control of Industrial Processes [C]. 2017: 424 - 429

[11] Cao Z, Zhang R, Yang Y, et al. Discrete-time robust iterative learning Kalman filtering for repetitive processes [J]. IEEE Transactions on Automatic Control, 2016, 61 (1): 270 - 275.

[12] Cao Z, Lu J, Zhang R, et al. Iterative learning Kalman filter for repetitive processes [J]. Journal of Process Control. 2016, 46: 92 - 104.

[13] Grewal M S, Andrews A P. Kalman filtering: theory and practice using MATLAB, Third Edition [M]. John Wiley & Sons, 2008.

[14] Horn R A. Topics in matrix analysis [M]. Posts & Telecom Press, 2005.

[15] Keesman K J. State and parameter estimation in biotechnical batch reactors [J]. Control Engineering Practice, 2002, 10 (2): 219 - 225.

[16] Zhao Z, Huang B, Liu F. Parameter estimation in batch process using EM algorithm with particle filter [J]. Computers & Chemical Engineering, 2013, 57: 159 - 172.