

# 基于 IBIS 模型的多路脉冲信号源 ADS 仿真

周文渊, 呼义翔, 罗维熙, 张信军, 尹佳辉

(西北核技术研究院 强脉冲辐射环境模拟及效应国家重点实验室, 西安 710024)

**摘要:** 使用高速比较器+两级时钟扇出 buffer+比较器输出 CMOS 电平方案, 利用 ADS 的 Integrity-IBIS 模块, 搭建了 80 台示波器用脉冲信号源; 介绍了 IBIS 模型原理、语法结构及模型适用性, 并进行了瞬态仿真, 分析了高速比较器 IC、时钟扇出 IC 和脉冲输出 IC 之间的差分信号完整性, 对最终输出信号的延迟和抖动进行了计算; 仿真结果表明: 使用高速比较器+两级时钟扇出 buffer+比较器输出 CMOS 电平方案可获得 80 路同步触发信号; 输入输出信号延迟 $<2.6$  ns, 抖动 $<11$  ps, 50  $\Omega$  负载时输出信号幅值 1.97 V, 前沿 997 ps, 满足多路示波器外触发信号要求。

**关键词:** IBIS; ADS; 信号完整性; 行为级模型

## ADS Simulation of Multi-channel Pulse Signal Source Based on IBIS Model

Zhou Wenyuan, Hu Yixiang, Luo Weixi, Zhang Xinjun, Yin Jiahui

(State Key Laboratory of Intense Pulsed Radiation Simulation and Effect, Northwest Institute of Nuclear Technology, Xi'an 710024, China)

**Abstract:** Based on the application of level scheme of CMOS with high-speed comparator, two-stage clock fan-out buffer and comparator output, the integrity-IBIS module of ADS was adopted to build up 80 oscilloscope external trigger systems. The principle, grammar structure and applicability of IBIS model was introduced, the transient simulation was carried out to analyze the integrity of differential signals between the high-speed comparator IC, clock fan-out IC and pulse output IC, and the delay and jitter of the final output signal were calculated. The results of the simulation showed that: 80 channel synchronous trigger signal could be achieved with the application of level scheme of CMOS with high-speed comparator, two-stage clock fan-out buffer and comparator output; the delay of input and output signal was less than 2.6 ns and the jitter was less than 11 ps, output signal amplitude was 1.97 V and the leading edge was 997 ps with the load of 50  $\Omega$ , which met the requirements of external trigger signals of the multi-channel oscilloscope.

**Keywords:** IBIS; ADS; signal integrity; behavior model

## 0 引言

随着近年来脉冲功率技术的迅速发展, 脉冲功率装置展现出功率高、装置大、多台并联运行的特点<sup>[1]</sup>, 例如圣地亚国家实验室的 Saturn X-ray accelerator 使用了 70 台示波器进行数据测量<sup>[2]</sup>, HERMES III 使用了 65 台示波器进行数据测量<sup>[3]</sup>。对多通道数据进行分析时, 要求所有数据的开始记录时刻相同, 所以需要多通道同步脉冲信号源进行触发, 触发信号应具备快前沿和低抖动特点。随着集成电路设计和制造技术的飞速发展, 超高速比较器、高速总线工作频率以 GHz 为单位不断提高, 故采用有源器件搭建多路脉冲信号源成为可能。

本文设计了一种基于高速比较器的 80 通道触发系统, 器件间采用 LVPECL/PECL 差分信号进行连接, 最终输出

快前沿的 CMOS 电平脉冲信号。由于器件间采用高速差分线连接, 信号可能存在反射、串扰和地弹等问题, 这就对 PCB 信号完整性设计提出了新的挑战<sup>[4]</sup>。在电路设计时利用 ADS 软件和输入输出缓冲器模型 (input/output buffer information specification, IBIS) 对整个系统进行模拟仿真, 可提前发现系统中信号反射、串扰等问题, 并估算系统的抖动、延时和脉冲上升沿参数。IBIS 模型是由 Intel 公司开发, 并首先用于 PCB 板级和系统级的数字信号完整性分析的模型。模型通过“绘制”管脚的 V/I 和 V/T 曲线方式描述了器件引脚的行为特性, 器件内部保持“黑盒”特性, 有利于保护知识产权, 因而得到了半导体厂商的欢迎和支持。此外, IBIS 模型的仿真速度快, 收敛好, 非常适合系统级仿真, 所以自诞生以来, IBIS 模型仿真得以迅速发展。1999 年, IBIS 模型被认定为美国工业标准 (EIA/ANSI 656-A)<sup>[5-6]</sup>。

## 1 系统结构及原理

### 1.1 模型简介

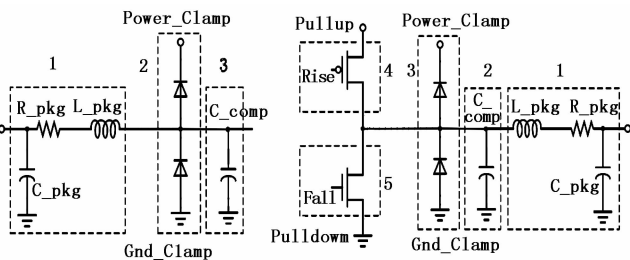
IBIS 是用来描述 IC 器件的输入、输出行为特征和 PCB

收稿日期:2020-03-13; 修回日期:2020-04-02。

基金项目:国家自然科学基金面上项目(51577156)。

作者简介:周文渊(1983-),男,重庆人,硕士,工程师,主要从事脉冲功率技术测控方向的研究。

上电路系统的相互作用的模型, 其核心思想是将所有器件的 I/O 描述为 Buffer 的模型。它不是从元件的结构出发进行定义, 而是从元件的行为出发进行定义, 描述了器件在特定负载、特定封装下的输入/输出行为, 对芯片内部电路延时、逻辑、抖动、功耗不进行描述。图 1 为标准输入输出 IO 缓冲器模型<sup>[7]</sup>。



(a) 输入缓冲器 (b) 输出缓冲器  
1. 寄生参数; 2. 钳位模型; 3. 硅片电容; 4. 上拉网络; 5. 下拉网络。

图 1 缓冲器模型

在 IBIS 模型中, 器件封装引入的寄生参数由 pkg 表示, 全局寄生参数均值包括寄生电阻  $R_{pkg}$ , 寄生电感  $L_{pkg}$ , 寄生电容  $C_{pkg}$ , 全局参数对器件的所有管脚均适用。对同一类型的管脚, IBIS 使用 Model 来进行描述, Model 名称可以由用户自己定义, 但 Model\_type 必须使用 IBIS3.2 中规定的模型<sup>[8-9]</sup>。所有的 IBIS 模型可大致归结为两类: 输入缓冲器模型和输出缓冲器模型。图 1 (a) 为输入缓冲器模型, Power\_Clamp 和 Gnd\_Clamp 是必须包含的参数, 分别代表了正负钳位二极管电平, 而  $C_{comp}$  参数是管脚硅电容值, 影响器件的 Ramp 参数。图 1 (b) 为输出缓冲器模型, 除了 Power\_Clamp, Gnd\_Clamp 以外, 还有 Pullup 和 Pulldown 参数, 即器件的上拉/下拉电平, 其  $C_{comp}$  影响器件的 Rising Waveform 和 Falling Waveform 参数。

1.2 语法结构简介

虽然 IBIS 已经发展到 V7 版本, 但 3.2 版本仍然使用最为广泛。图 2 是使用 Visual IBIS Editor 软件打开一个 I-BIS 文件的界面。该文件描述的是高速比较器 ADCMP582CP 的输入输出特征。“|”符号用来进行注释, “[ ]”内的为关键字, 可看出, 该文件 IBIS 版本号为 3.2, 文件版本号为 3.0, 器件名称为 ADCMP582CP, 制造商为 Analog Devices Inc 公司。接着文件在 [Package] 字段描述了封装引入的寄生电阻/电感/电容均值, 并在 [Pin] 字段中对器件所有引脚进行描述, 包括所属模型和每个管脚的 RLC 寄生参数等。引脚按信号特征被分成 term, analog, POWER, input, out\_pecl, GND 模型, 并在后续字段中, 分别对这些模型进行描述。

IBIS 文件在 [Diff Pin] 字段中定义了引脚差分对, 从图 2 (a) 中可以看出, 管脚 2、3 是一组差分信号线,

[Pin] 字段中可以看到, 管脚 2、3 为模拟差分输入脚。同样, 管脚 6、7 为输入锁存使能脚, 管脚 10、11 为差分输出脚。在 [Series Pin Mapping] 中定义了 ADCMP582CP 两个差分输入脚的 50 Ω 匹配电阻, 即脚 1、2 之间 3、4 之间内置 50 Ω 匹配电阻。

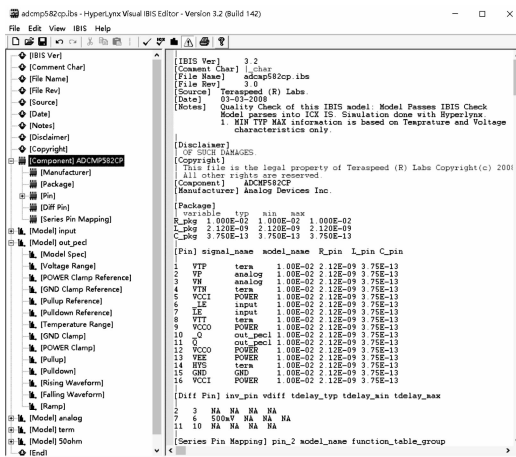


图 2 管脚定义

这里以 out\_pecl 引脚为例, 说明各参数意义。ADCMP582CP 的差分输出管脚定义如图 3 所示。out\_pecl 字段首先定义了管脚类型为 Output\_ECL, 然后定义了参考电压为 1.3 V, 输出阻抗为 50 Ω, 输出电压均值为 2.2 V, 管脚寄生电容为 0pF。输出电压范围为 0~3.3 V, 上拉电平为 3.3 V (3.135~3.465 V)。在进行了初略表述后, 使用 6 个数据表分别描述了 Gnd\_Clamp、Power\_Clamp、Pullup、Pulldown、Rising Waveform、Falling Waveform 参数。其中, Gnd\_Clamp、Power\_Clamp 在 -3.3~6.6 V 时, 电流均为 0, 可能是因为模型测试或制作时, 并未获取该参数。Pullup 表中, 列举了上拉电平从 -Vcc 到 2×Vcc 情况下, 输出电流由 1.77 μA 增加到 -533 mA, 其中负号代表电流流出器件, 正号代表流入器件。虽然该电压范围超出了厂家在手册中规定的绝对最大额定值, 但是这个范围覆盖了信号传输过程中可能发生的欠压、过冲和反射情况, 因此, IBIS 规定了驱动器建模的电压范围为 -Vcc~2×Vcc。

图 4 为使用 Visual IBIS Editor 图形窗口查看 PECL 输出管脚的部分 V/T 和 V/I 数据。图 4 (a) 为信号上升波形 V/T 曲线, 可以看出, IBIS 文件中, 对芯片 typical/maximum/minimum 速度下输出特性分别进行了描述。在低速时, 器件输出摆幅最大,  $V_{pp} \approx 750$  mV, 高速时, 输出电压摆幅最小,  $V_{pp} \approx 250$  mV, 典型值  $V_{pp} \approx 380$  mV。图 4 (b) 为 Pullup 管脚的 V/I 曲线。Pullup 曲线是输出管脚与地 (或 VCC) 之间的电压与电流关系图, 电流流入器件为正值, 流出器件为负值, 从图中可以看出, 当输出信号为正, 外部接地时, 输出电流约为 230 mA。

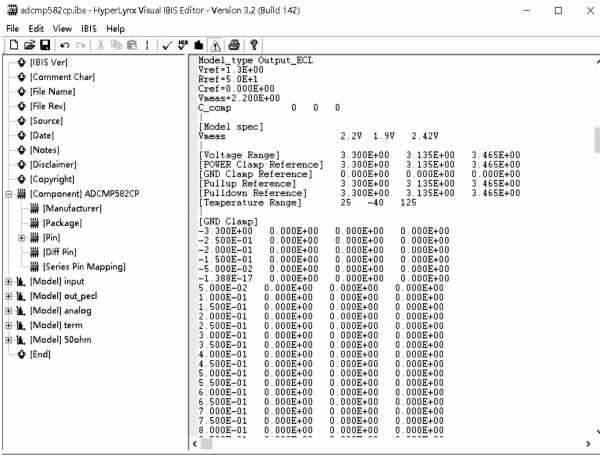


图 3 out\_pecl 定义

号间的延迟主要由固定延迟和输出抖动构成，其中，固定延迟可以通过标定获得，并可以在示波器软件中设定延迟参数进行校准。而通道间抖动无法通过标定等技术手段进行规避，所以成为系统重点关注的参数之一。另外，快的脉冲前沿可降低示波器外触发抖动，一定的电压幅值可降低干扰带来的误触发。所以，通道间抖动、脉冲前沿时间和幅值是本文中关注的 3 个技术参数。

脉冲信号源逻辑框架如图 5 所示，使用超高速比较器+两级时钟扇出 buffer+比较器来输出 CMOS 电平，实现脉冲信号的整形、分配和输出。

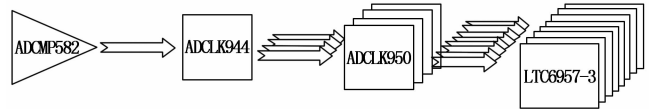


图 5 脉冲信号源构架

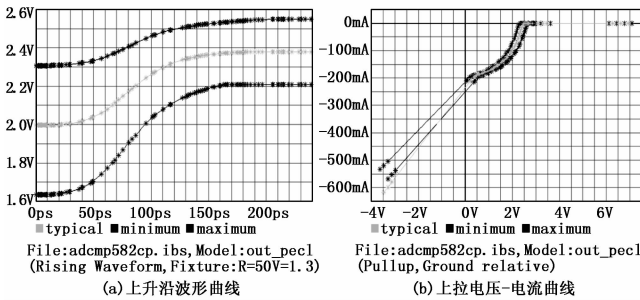


图 4 out\_pecl 管脚 V/T 曲线及 V/I 曲线

### 1.3 ADS 仿真及对 IBIS 的支持

ADS (Advanced Design System) 是由安捷伦 (Agilent) 公司开发的 EDA 系统仿真软件，广泛应用于射频微波模拟与仿真领域<sup>[10]</sup>。ADS 提供了原理图仿真、电路板模拟仿真的功能，并支持 AC/DC/瞬态分析，提供了图形化的数据分析界面。操作人员只需拖动器件模块，编辑器件参数，选择求解方法即可进行原理图模拟仿真。

在 ADS 中，提供了 Integrity - IBIS 模块，支持 IBIS 规范中定义的 17 种 IO 模型，并提供了一个通用器件模型，在用户装载 .ibs 文件后，可根据用户选择不同的管脚，自动转换为指定的模型。要注意的是，一个 IBIS 模型只能表述一种管脚，而同一个器件有输入输出等多种类型的管脚，所以需要根据仿真需要，指定一个或多个模型来描述一个器件。器件工作在不同的频率下时，其管脚 V/I 曲线也不相同，所以在 IBIS 文件中，对器件的管脚采用了三组数据进行描述，分别是全速、低速和中等速度，对应了 ADS 的 IBIS 模型的 max/min/typ 参数，所以在装载 .ibs 文件时，需要指定器件工作状态。

## 2 仿真实验与分析

### 2.1 系统构成

通过多路脉冲信号源去触发多台示波器系统，需要重点关注多个输出信号之间的时间延迟和幅值。单次输出信

高速比较器采用 ADI 公司的超快型电压比较器 ADCMP582CP。该芯片采用 ADI 公司的专有硅锗 (SiGe) 双极性工艺制造，内置小摆幅 PECL 输出驱动器，可工作在 10Gbps 条件下。该芯片传播延迟 180 ps，最小脉冲宽度为 100 ps，确定性抖动 (Deterministic Jitter, DJ) 为 10 ps，随机抖动 (Random Jitter, RJ) 为 200 fs，输入具有 50 Ω 片内端接电阻，输出电平  $V_{pp}$  为 400 mV，偏置电压为  $V_{CCO} - 2 V = 1.3 V$ ，3.3 V 电压供电。

第一级时钟扇出器采用 ADCLK944，该芯片是一款超快型时钟扇出缓冲器，具有 100 Ω 片内匹配电阻，差分输入，支持直流耦合 LVPECL，具有 4 个全摆幅的发射极耦合逻辑 (ECL) 输出驱动器，将 VCC 偏置到正电源，VEE 偏置到地时，输出 LVPECL (正 ECL)，最高工作频率 7 GHz， $RJ = 50 fs$ ，3.3 V 供电。

第二级扇出器 ADCLK950 也采用硅-锗 (SiGe) 双极性工艺制造，内置 10 个 ECL 输出驱动器，最高工作频率 4.8 GHz， $RJ = 75 fs$ ， $VCC = 3.3 V$ ， $VEE = 0 V$ 。当使用 ADCLK944+ADCLK950 两级扇出时，可得到 40 路扇出信号。

在信号末端使用 LTC6957-3 产生脉冲信号。LT6957 是低相位噪声、双输出逻辑电平转换器，该芯片可输出 2 路 3.3 V 同相位 CMOS 信号，300 MHz 工作时，抖动为 146 fs，两个输出脚间延迟  $\approx 5 ps$  (典型值)。使用以上器件构成的电路总共产生 80 路脉冲信号。

### 2.2 高速比较器输出信号仿真

由于高速比较器输出信号直接进入信号扇出 IC，二者之间距离较短，控制好布线阻抗后，串扰和反射影响较小。但由于 ADCMP582CP 输出 PECL 电平，信号摆幅  $V_{pp} = 400 mV$ ，而后端 ADCLK944 输入差分信号最小值也为 400 mV，需要评估二者直连的可行性。图 6 (a) 为使用 ADS 对 ADCMP582CP 与 ADCLK944 连接模拟图。二者使

用 3.3 V 供电, PECL 差分线通过 50 欧姆电阻上拉到 1.3 V。输出信号经过差分微带线进入 ADCLK944, 微带线采用 ADS 自带的 LineCalc 工具进行计算, 采用松耦合方式, 耦合系数 -30 dB, 基板材料采用 Rogers5880, 介质基片相对介电常数为 2.2, 相对磁导率为 1, 厚度 0.508 mm, 金属导电层厚度为 0.03 mm, 介质损耗正切角为  $9e-4$ , 线宽 1.5 mm, 线间距 2.1 mm, 线长 3 cm。虽然手册中 ADCLK944 在输入端有内置匹配电阻, 但在实际仿真时发现若无外加匹配电阻, 波形反射严重, 说明 IBIS 模型中并未包含该匹配电阻, 所以在差分线末端使用 100 欧姆电阻进行匹配。图 6 (b) 为输出 PECL 线上的差分电压, 可见使用以上设置, 可获得摆幅 460 mV 的差模信号, 信号前沿 231 ps, 满足 ADCLK944 输入信号要求。

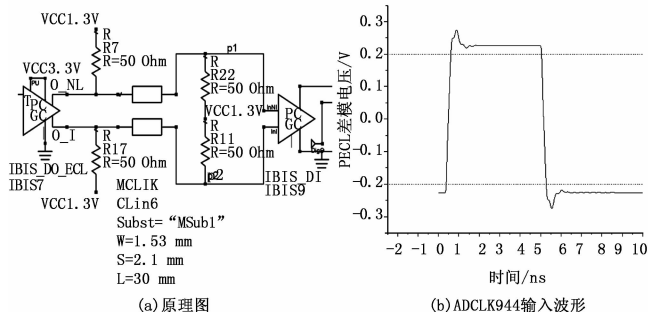


图 6 输入比较器与第一级 buffer 仿真

### 2.3 信号扇出仿真

多路脉冲信号源的关键指标之一是脉冲上升时间。快的前沿可降低示波器外触发系统的抖动, 以获得准确的触发零时。另外, 连接比较器、两级时钟扇出器及 CMOS 信号输出器之间的差分线参数会影响信号传递的完整性, 需要通过仿真的方法进行评估。图 7 (a) 为两级 LVPECL 信号扇出及脉冲输出原理图。输出匹配电阻参数设置与前述相同, 考虑到最终通道数较多, 芯片之间有一定距离进行摆放, 所以比较器和第一级信号扇出器之间微带线长度为 10 cm, 一二级信号扇出器之间微带线长度为 15 cm。信号源输出线缆长度 100 cm, 负载电阻 50  $\Omega$ 。ADCLK944、ADCLK950 和 LT6957-3 均为 3.3 V 供电,  $V_{EE}=0$  V, 差分信号通过 50  $\Omega$  上拉到 1.3 V。由于 ADI 公司提供的 IBIS 模型中, 只有管脚输入/输出的参数, 在 ADS 中只能定义为一个输入模块或输出模块。所以当 IC 既有输入又有输出时, 需要使用一个输入模型和一个输出模型, 前一个模块的 DigO 脚和后一个模块的触发脚连接一起来描述一个 IC 器件对信号响应。

图 7 (b) 是在前级比较器输出正脉冲方波情况下, 在第二级 buffer 和 LT6957-3 前端的输入信号, 测量得到两个信号前沿 (10%~90%) 时间分别为 238 ps 和 200 ps,  $V_{pp}$  分别为 1.30 V、1.26 V, 信号干净无杂波, 说明两级

信号扇出器件输出参数匹配较好。图 7 (c) 为最终脉冲信号波形图, 可以看出, 在不接负载时, LT6957-3 输出方波信号前沿为 200 ps, 幅值 3.3 V, 当在传输线末端外接负载 (50  $\Omega$ , 16 pF) 模拟示波器外触发端口时, 得到脉冲前沿为 997 ps, 幅值 1.97 V。实际使用时, 示波器外触发端口电容小于 16 pF, 触发脉冲前沿将小于 997 ps。

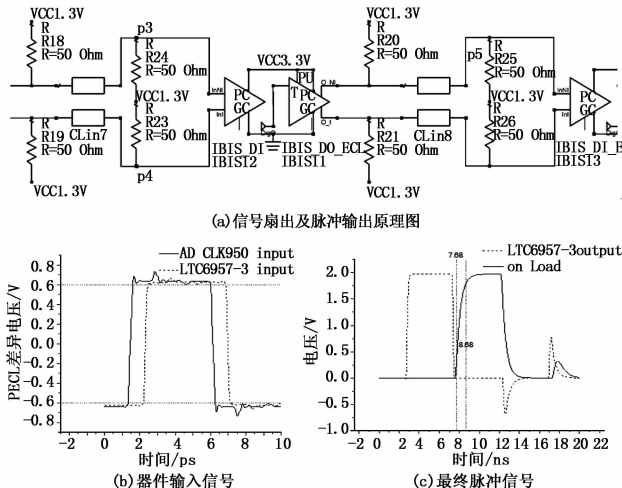


图 7 信号扇出级输出脉冲仿真图

### 2.4 输出信号抖动分析

由于 IBIS 模型只能用于器件间信号完整性模拟, 并无器件内部信号延迟和抖动参数, 而该参数是衡量多通道脉冲信号源性能的关键指标之一。厂商给出的器件手册中, 给出了每个器件的延迟和抖动典型值。其中, 器件的抖动与输出信号上升时间密切相关。图 8 为器件的抖动与信号前沿电压摆率关系图, 可以看出, 当器件输入信号上升沿变快时, 其抖动也相应减少。前文中, ADCLK944 输入信号前沿约为 231 ps (10%~90%), 幅值约为 360 mV (10%~90%), 电压摆率 =  $0.36/0.231 = 1.6$  V/ns, 在图 8 (a) 中对应的抖动约为 117 fs。ADCLK950 输入信号前沿为 238 ps (10%~90%), 幅值为 1.04 V (10%~90%), 电压摆率 =  $1.04/0.238$  ns = 4.4 V/ns, 在图 8 (b) 中对应抖动为 87 fs。由器件对应的数据手册可知, ADCMP582CP 随机抖动为 200 fs, LT6957-3 工作在 300 MHz 情况下时, 器件增加的抖动为 146 fs。所以信号经过多路脉冲信号源后增加的随机抖动约等于 4 个器件抖动的加和, 约为 550 fs。

根据抖动的双狄拉克模型<sup>[11]</sup>, 随机抖动采用高斯分布模型, 输出抖动 < 所有抖动之和  $\approx 11$  ps, 所以脉冲信号源输出通道抖动值为 11 ps。表 1 列举了 4 个器件引入的抖动和延迟, 从表中可以看出, 器件引入的延迟约为 1.15 ns。触发源内线缆长度为 28 cm, 延迟约 1.4 ns。所以脉冲信号源的总延迟为 2.55 ns, 信号前沿 < 1 ns (50  $\Omega$ , 16 pF), 理论上整体指标优于 DG645 的 8 通道输出时间指标 (前沿上升时间 3 ns, 抖动 25 ps)<sup>[12]</sup>, 当然实际参数还与制造工艺、环境温度、电磁干扰等因素有关, 有待样机测试验证。

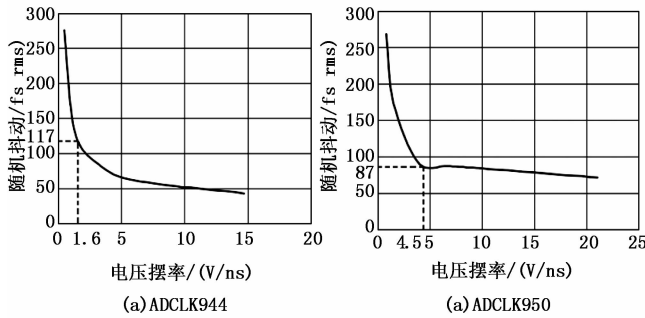


图 8 器件抖动与信号上升速度关系图

表 1 信号仿真结果

输入器件	前沿斜率 / (V/ns)	随机抖动 / fs <sub>RMS</sub>	确定性抖动 / ps <sub>RMS</sub>	延迟 / ps
ADCM582CP	—	200	10	180
ADCLK944	1.6	117	—	35
ADCLK950	4.4	87	—	45
LTC6957-3	4.92	146	—	890*

\* 未包含两个输出通道间延迟 5 ps rms

### 2.5 输出信号延时调节电路模拟

由于 PCB 生产工艺的影响，器件间微带线的阻抗匹配与理论计算有所差异，且随工作温度、电源供电差异、工作环境等因素的影响，每个器件的参数也会有所差异，最终造成所有通道输出延迟不一致，所以需要在 LTC6957-3 前设置可调的延时电路，便于对每个通道进行校准。虽然 ADI 公司提供的数字延时 IC 具有延时调整方便，精度高的特点，但售价较高，不适用大量通道使用。RC 延时电路是一种简洁有效的延时方法，在 LTC6957-3 前端增加一级 RC 延时，可用于调节通道输出延时。但增加的电阻串联在 LVPECL 差分线上，对该级信号可能存在反射影响，需要进行模拟分析。为了降低传输线上信号的反射变化，所以采用电阻阻值不变，调节电容的方法来调节延时。图 9 为增加延时电路后的原理图和仿真结果。图 9 (a) 中，在差分信号上串入 20 Ω 电阻，对地并联 500 pF 可调电容，图 9 (b) 为 ADCLK950 输出 V<sub>pp</sub> 和延时后 V<sub>pp</sub> 波形，可以看出，增加的 20 Ω 电阻在传输线上引起了反射，在 ADCLK950 输出端出现了尖峰信号，但经过 RC 延时滤波后，在 LTC6957-3 的输入端，信号无毛刺、尖峰等影响；增加了 RC 延时电路后，输出 V<sub>pp</sub> 在 0.2 V (LTC6957-3 翻转阈值下限) 处延迟了 15.5 ns。由于电容也存在温漂等因素影响，所以应选择电容最大容值所产生的延时可满足调节范围即可。

### 3 结束语

本文基于 IBIS 模型，采用 ADS 软件模拟了高速比较器+两级信号扇出 buffer+比较器产生 80 路脉冲信号，初步获得了脉冲信号源幅值、抖动和延迟等参数，并结合实际，设计了 RC 延迟电路，结果表明：1) 使用本方案可获得 80

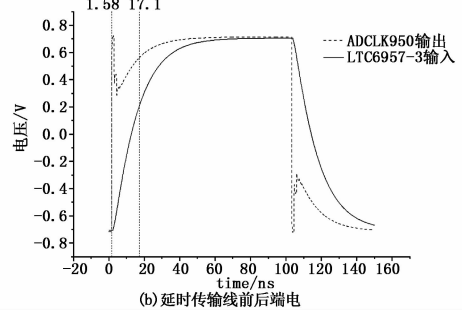
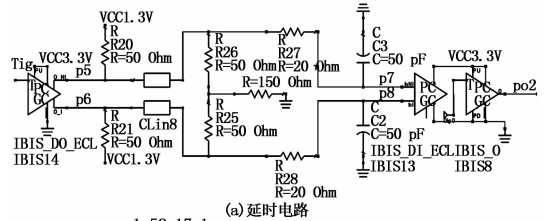


图 9 差分信号延时电路及波形

路触发信号，理论信号延迟时间 < 2.6 ns，抖动 < 11 ps，幅值 1.97 V，前沿 997 ps (负载 50 Ω)，满足示波器外触发信号要求；2) IBIS 模型能较好模拟器件输入输出特征，结合 ADS 信号仿真环境，可完成系统输入输出过程的仿真，为硬件设计和参数估算提供参考依据。

### 参考文献:

- [1] 刘锡三. 高功率脉冲技术 [M]. 北京: 国防工业出版社, 2005.
- [2] Sean K, Barbara L, Nathan J, et al. Hardware and software upgrades for the saturn data acquisition triggers and time base [A]. Proc of PPC [C]. 2015.
- [3] Sean K, Barbara L, John S, et al. Trigger system changes for the HERMES III accelerator [A]. Proc of PPC [C]. 2017.
- [4] Bogatin E. Signal integrity: simplified [M]. New Jersey: Pearson Education Prentice Hall, 2005.
- [5] 周博远, 于立新, 褚军舰. IBIS 建模和 PCB 信号完整性分析 [J]. 微电子学与计算机, 2010, 27 (10): 111 - 113.
- [6] 曹跃胜. IBIS 模型和高速 PCB 设计分析 [A]. 第八届计算机工程与工艺学术年会 [C]. 2003.
- [7] 黄贵帅. 基于 IBIS 模型的数字 IC 应用验证仿真技术研究 [D]. 西安: 西安电子科技大学, 2014.
- [8] I/O Buffer Information Specification, Ver3.2 [Z/OL]. [http://www.ibis.org/ver3.2/ver3\\_2.pdf](http://www.ibis.org/ver3.2/ver3_2.pdf).
- [9] IBIS Modeling Cookbook for IBIS Version 4.0 [Z/OL]. <http://www.ibis.org/cookbook/cookbook-v4.pdf>.
- [10] 陈丽. 2.4 GHz 收发系统射频前端的 ADS 设计与仿真 [J]. 现代电子技术, 2009, 32 (19): 23 - 26.
- [11] 王硕. 高速串行信号的抖动分析研究 [D]. 北京: 北京交通大学, 2017.
- [12] DG645 Digital Delay/Pulse Generator [Z/OL]. <https://www.thinksrs.com/downloads/pdfs/manuals/DG645m.pdf>.