

基于时钟相位补偿的同步触发信号产生技术

陈峰, 王航, 眭明

(中国电子科技集团公司第三十四研究所, 广西桂林 541004)

摘要: 触发信号时间抖动和延时调节分辨率是同步系统的重要参数, 提出一种同步触发信号产生技术, 通过测量基准触发信号与系统时钟信号间的相位差, 对系统时钟相位进行补偿, 减小同步触发信号与基准触发信号间的时间抖动, 同时利用计数器结合可编程数字延时方案, 提高同步触发信号延时调节分辨率, 实现了 20 通道的同步触发信号输出; 实验结果表明, 输出的同步触发信号与输入的基准触发信号的时间抖动峰值小于 500 ps, 延时调节分辨率达到 250 ps, 满足需要精密时序控制的系统对同步触发信号的要求。

关键词: 时间抖动; 触发信号; 相位补偿

Technology of Synchronous Trigger Signal Generation Based on Clock Phase Compensation

Chen Feng, Wang Hang, Sui Ming

(No. 34 Research Institute of China Electronics Technology Group Corporation, Guilin 541004, China)

Abstract: The time jitter and delay resolution of the trigger signal are the key parameters in synchronization system. The technology of synchronization trigger signal generation is proposed. The phase difference between the reference trigger signal and the system clock signal is measured to compensate the system clock phase, to reduce the time jitter of the synchronous trigger signal. Also use the counter combined with programmable digital delay scheme to improve the time delay resolution of trigger signals, finally get 20 channels of synchronous trigger signal output. The experimental results show that the time jitter peak and peak value of the output synchronous trigger signal and the input reference trigger signal are less than 500 picoseconds, and the delay resolution is 250 picoseconds, which meets the requirements of the synchronous trigger signal of the system requiring precise timing control.

Keywords: time jitter; trigger signal; phase compensation

0 引言

在高速摄影系统、高速数据采集、医疗设备、能源、大型激光驱动装置等需要精密时序控制的系统中, 同步触发信号的性能优劣直接影响这些系统的运行效率和运行精度^[1-2]。这些系统通常要求同步触发信号具备延时抖动低、调节分辨率高、调节范围广等特点。目前通常使用计数器法实现触发脉冲信号的产生, 但是其性能受限于计数器频率、外部参考时钟和基准触发信号对齐等因素, 即使采用 100 MHz 的高端计数器, 其分辨率最高只能达到 10 ns, 而且输出的触发脉冲信号与输入基准信号之间会存在一个 δt ($0 < \delta t < 10$ ns) 的随机时间抖动^[2]。目前国内在同步触发信号方面的研究, 张荣等人利用 NIOS II 软核处理器实现了 5 通道纳秒级时序控制同步机, 单通道时序控制精度为 20 ns, 延时调节范围是 20 ns 到 100 μ s^[1]; 党钊等人采用 ISA 总线设计的纳秒级同步机, 通过多路可编程延时器件的方式得到时间抖动约 2 ns 的同步触发信号^[3]; 张锋等人利用数字延时加模拟延时结合时间抖动补偿的方式设计的触发

脉冲信号, 最终输出四路延时调节范围为 0~1 s, 脉冲信号间时间抖动小于等于 500 ps 的触发脉冲信号^[4]。为了解决一般同步触发信号延时调节分辨率低及时间抖动大的问题, 本文提出一种基于时钟相位补偿的同步触发信号产生技术, 利用时间数字转换技术对系统时钟相位进行补偿, 以减小同步触发脉冲信号与基准信号间的时间抖动; 通过 32 位计数器结合可编程数字延时方案增加同步触发信号延时调节范围的同时提高了延时调节分辨率。设计产生 20 通道的同步触发信号输出, 同步触发信号延时调节分辨率为 250 ps, 本地时钟下同步触发信号间抖动小于 250 ps, 外部时钟及外部触发条件下同步触发信号间抖动小于 500 ps。该同步触发信号可根据实际使用情况进行级联扩展, 以满足大型系统对同步触发信号数量需求。

1 系统结构及原理

基于时钟相位补偿的同步触发信号产生系统结构原理如图 1 所示, 主要包括主控制器、系统时钟产生和同步触发信号产生三部分。同步触发信号产生系统采用 FPGA 作为主控制器, 实现数字信号算法处理以及通信接口控制等功能。系统时钟可基于外部输入的参考时钟或本地时钟产生, 优先使用外部参考时钟, 系统时钟可以在外部参考时钟和本地时钟下实现无缝切换。系统基本工作原理为: 输

收稿日期: 2020-02-11; 修回日期: 2020-03-12。

基金项目: 广西创新驱动发展专项(2018AA13002)。

作者简介: 陈峰(1983-), 男, 广西梧州人, 硕士研究生, 工程师, 主要从事数字和模拟电子电路方向的研究。

人的外部参考时钟或本地晶振时钟首先经过锁相环路产生一路 100 MHz 的基准时钟, 基准时钟经过超高精度延时器后输入到 FPGA 作为系统时钟。外部的基准触发信号直接输入到 FPGA, FPGA 将系统时钟分频后送至时间数字转换器 (TDC), 启动 TDC 并根据测量结果适时调整超高精度延时器的延时量, 实现系统时钟相位的自动闭环反馈补偿, 消除因每次锁定外部参考时钟所用时间不同而造成的系统时钟与外部触发信号间的相位差的随机性。同步触发信号产生由 FPGA 根据外部触发信号和系统时钟产生基准触发信号, 并将基准触发信号进行复制, 得到 20 路相对独立的同步信号, 经过可编程数字延时器后作为同步触发信号输出。

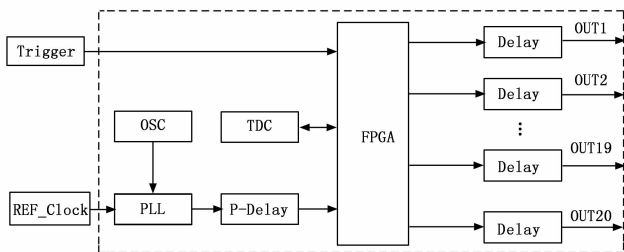


图 1 系统结构原理图

2 电路设计

2.1 主控制器选型

主控制器采用 Xilinx 高性能、低成本、低功耗的 Spartan-6 系列 FPGA, 芯片通用 IO 引脚工作电压为 DC3.3 V, 内核工作电压为 DC1.2 V, 其内部集成了占用资源少、运行速度快、可配置性强的 MicroBlaze 软核处理器, 该软核处理器采用哈佛总线结构和 RISC (reduced insrtction system computer) 架构的独立 32 位数据和指令总线, 具有访问以及执行片上存储器和片外存储器上的程序与数据速度快的特点, 而且 Xilinx 公司针对它的 FPGA 器件进行了专门的优化, 能够提供十分丰富的逻辑资源和出色的数据处理能力。MicroBlaze 处理器可以在高达 150 MHz 时钟下工作, 并提供最高 125D-MIPS 的性能, 同时其内部嵌入了 xilkernel 操作系统, 系统通信控制接口以及数字信号算法处理等功能应用都可以在 xilkernel 操作系统的基础上编程实现。

2.2 时钟相位补偿电路

时钟相位补偿电路原理图如图 2 所示, 主要包括基准时钟产生、时间数字转换器 (TDC) 和超高精度可编程延时器三个部分。同步触发信号的时间抖动, 主要来源于系统时钟信号抖动。因此, 要提高同步触发信号的时间抖动性能, 必须保证系统时钟频率稳定性。作为同步触发信号产生系统的“心脏”, 输入的外部参考时钟或设计的本地时钟需要有很好的频率稳定度, 再结合时钟相位补偿技术, 产生高质量的系统时钟。该时钟信号输入到时钟抖动衰减锁相环后将频率倍频到 100 MHz, 进一步提升基准时钟频率的稳定性, 最后经过超高精度可编程延时器后作为系统

时钟。

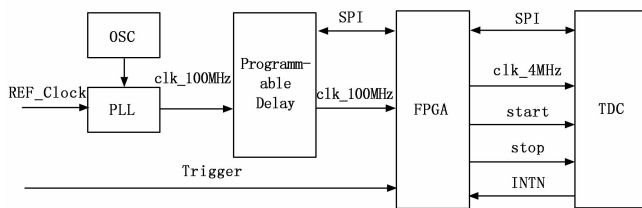


图 2 时钟相位补偿电路原理图

TDC 为系统实现高精度的时间间隔测量, 其主要作用是测量系统时钟与基准触发信号之间的相位差, FPGA 根据 TDC 测量结果对系统时钟的相位进行一定量的补偿。TDC 时间测量使用延迟线内插技术, 测量分辨率小于 100 ps, 最大可测量时间间隔可达数毫秒。其工作原理是通过测量输入信号经过逻辑门电路的绝对传输延迟时间实现时间信号的数字化转换。由于 TDC 对内部的门电路布线要求十分苛刻, 可以确保信号流经每个门电路时所用的时间完全一致。TDC 转换单元只需要对信号通过门电路的数量进行记录, 即可获取输入信号数字化后的时间量。FPGA 通过 SPI 总线实现对 TDC 的通信控制和参数配置。TDC 的 INTN 中断信号引脚直接与 FPGA 管脚相连接, FPGA 接收到中断引脚的电平跳变后开始读取相应的寄存器以获取时间测量结果。超高精度可编程延时器使用数字控制输入信号的延时, FPGA 同样通过 SPI 总线控制其延时量的调节, 其延时调节分辨率可达 10 ps, 最大延时调节范围可达 10 ns, 理论上系统时钟相位补偿分辨率为 0.36° 。

时钟相位补偿的具体实现过程为: FPGA 的系统时钟频率为 100 MHz, 而 TDC 的校准参考时钟频率建议范围为 2~8 MHz, 折衷选取 TDC 的参考时钟频率为 4 MHz。因此需要将系统时钟经过分频后产生一路 4 MHz 的时钟信号作为 TDC 的校准时钟, 启动 TDC 测量后, FPGA 根据外部基准触发信号产生一路 start 信号, 经过一定的延时后, 再产生一路 stop 信号。TDC 根据 start 和 stop 信号分别开始和停止时间测量, 然后由环形振荡器的位置和粗值计数器的计数值计算得出触发信号和停止信号之间的时间间隔 Δt 。时间数字转换时序图如图 3 所示。由于系统时钟为 100 MHz, 一个时钟周期为 10 ns, 因此 $\Delta t = 10 \times n + \phi t$, n 为时钟周期数。由此可计算得出基准触发信号与系统时钟信号之间的相位差: $\phi t = \Delta t \% 10$, 其中 % 表示求余运算。所得结果, 用来调节超高精度可编程延时器的延时量, 保证系统时钟信号与外部基准触发信号的相位差小于目标值, 消除因每次锁定外部参考时钟所用时间不同而造成的系统时钟与外部基准触发信号间的相位差的随机性, 确保每次上电后, 输出的同步触发脉冲信号跟输入的基准触发信号间的延时量与最后一次输出的值相同。

2.3 可编程数字延时电路

可编程数字延时电路原理如图 4 所示, 主要由 FPGA 内部计数器和可编程数字延时器组成。在延时量调节时,

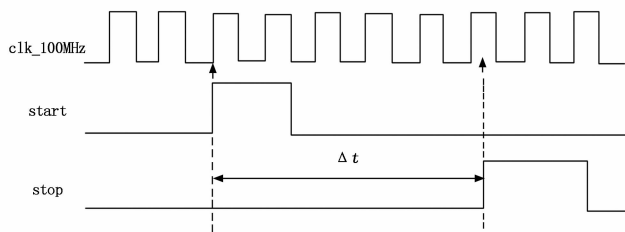


图 3 时间数字转换时序图

延时量粗调部分由计数器实现，延时量精细调节部分由可编程延时器实现。FPGA 内部计数器时钟频率为 100 MHz，因而其调节步长为 10 ns，采用 32 位的计数器，理论上最大可调节延时量可达 42 秒。数字延时器采用 8 位可编程延时器，可以选择最多 256 个不同的延迟周期，每个周期延迟时间为 250 ps，最大可调节延迟时间为 64 ns。FPGA 通过四线 SPI 接口对延时器件进行在线编程，使同步触发信号经过不同的延时周期，实现 250 ps 到 64 ns 的延时调节。通过计数器与可编程延时器件的组合设计，在增加同步触发信号延时调节范围的同时大幅度提高了延时调节分辨。

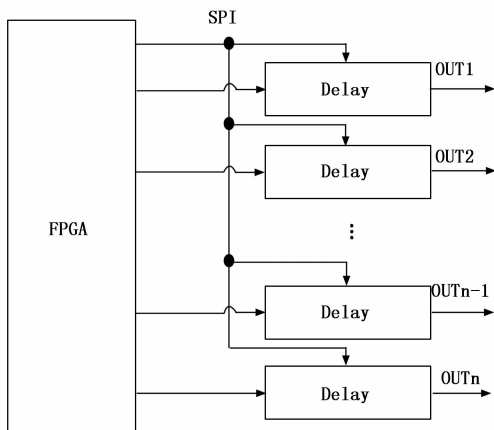


图 4 可编程数字延时电路原理图

3 软件设计

FPGA 逻辑控制程序使用 Xilinx ISE Xilinx ISE Design Suite 编译平台，使用 C 语言进行编程，主要实现时钟相位补偿算法处理、同步触发信号参数设置等功能，其软件设计流程图如图 5 所示。系统上电初始化后首先从内部 FLASH 读取最后一次设置的工作参数，包括通道号及通道号对应的延时值、脉冲宽度和重复频率等参数，加载对应的工作参数并执行，启动 TDC 进入测量状态。为了保证测量的精度，采用平均值滤波法对采样数据进行软件滤波。具体处理方法是对 TDC 的测量数据进行 100 次测量后求其平均值，将其与目标值进行比较，当平均值不满足设定条件时，系统以平均值与目标值的差值为控制量，调节超高精度可编程延时器的延时量，直至满足目标条件为止。

同步触发信号延时量调节由两个部分组成，延时粗调和延时精调。首先需要分别计算延时粗调量 t_1 和延时精调

量 t_2 的数值，具体计算公式如下：

$$t_1 = D/10 \tag{1}$$

$$t_2 = (D\%10)/0.25 \tag{2}$$

其中： t_1 通过 FPGA 计数器完成调节， t_2 通过数字延时器完成调节。

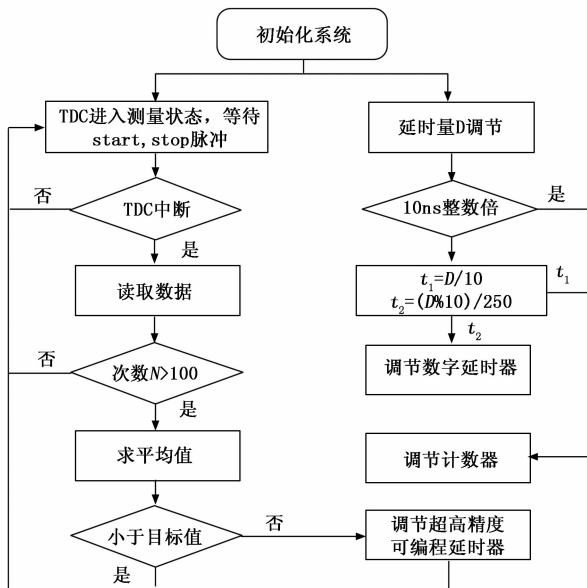


图 5 软件设计流程图

时钟相位补偿和延时量调节具体程序设计流程为：

系统先对 SPI 总线进行初始化，然后配置 TDC 的状态寄存器，即将 TDC 的工作模式配置为测量模式 1，信号触发方式配置为上升沿触发，设置时钟分频器数值为 1，开启 start 和 stop 使能，并开始向 TDC 发送 start 脉冲驱动信号，开始进入测量状态。TDC 在接收到 stop 脉冲驱动信号后结束测量过程，经算术逻辑模块进行自动校准后将测量结果写入到输出寄存器中，FPGA 在接收到测量结束中断信号后从 TDC 结果寄存器中读取测量结果。获取的数据，经过算法处理后与超高精度延时器的延时量相关联，实现输入时钟相位自动闭环反馈控制。

FPGA 通过异步串行通信方式接收到同步信号参数设置数据后，先从该参数对应的 FLASH 地址读取上一次保存的数据并进行比较，如果该数据与存储的数据不一致，则开始擦除该数据对应的存储区域，重新写入接收到的数据并自动保存，然后调用参数设置函数完成设置，实现一次参数更新过程。

4 实验结果与分析

利用 LeCeoy 示波器 (SDA5000A) 对输出的同步触发信号性能指标进行测试，具体测试配置图如图 6 所示。

首先在同步触发信号 1 中任意选取两路（在实验中选取 OUT1-1 和 OUT1-2，并将其输出的重频设置为 1 Hz，脉宽设置为 30 ns）输出信号接至示波器，测量在本地时钟条件下，输出的同步触发信号间的时间抖动。连续测量 3

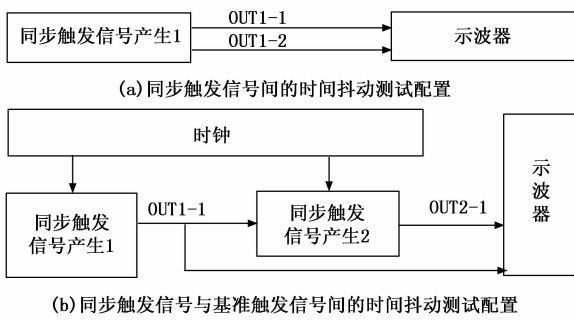


图 6 同步触发信号时间抖动测试配置图

小时, 输出同步触发信号间的时间抖动测量结果如图 7 所示。然后再将外部参考时钟分别接至同步触发信号产生 1 和同步触发信号产生 2, 并将同步触发信号产生 1 中的 OUT1-1 经过功分器后分别接至同步触发信号产生 2 的触发输入端和示波器, 将同步触发信号产生 2 的输出 OUT2-1 接至示波器, 测量在外部参考时钟和外部基准触发条件下, 输出的同步触发信号与基准触发信号间的时间抖动。同样连续测量 3 小时, 输出的同步触发信号与基准触发信号之间的抖动测量结果如图 8 所示。

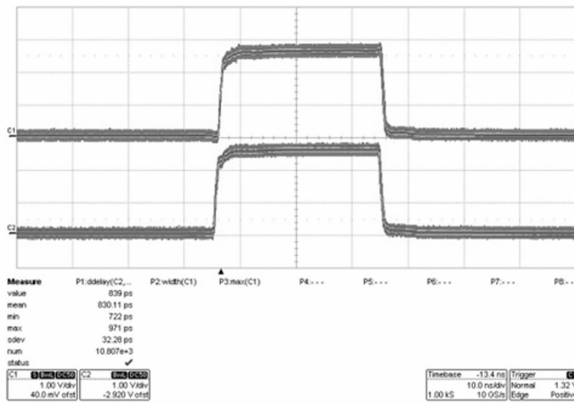


图 7 本地时钟下输出触发信号间的时间抖动

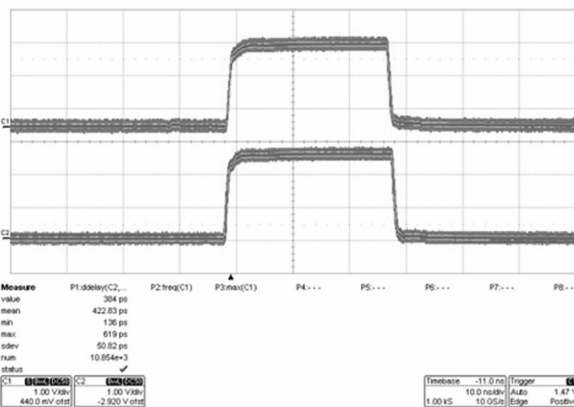


图 8 外部时钟和基准触发条件下触发信号时间抖动

为了验证同步触发信号在本地时钟和外部参考时钟下延时、脉宽和重频等技术指标的可重复性, 先将系统切换

到本地时钟下, 并将同步触发信号的延时设置为 50 ns, 脉宽设置为 100 ns, 重频设置为 1 000 Hz。多次重复开、关机后, 测量该触发信号的延时、脉宽及重频数据。然后将系统时钟切换到外部参考时钟, 将输出的触发信号与输入基准触发信号的延时设置为 1 ns, 输出脉冲宽度设置 5 μ s, 触发信号的重频设置为 1 000 Hz, 同样经多次重复开、关机, 重复测量该触发信号与基准触发信号间的延时以及脉宽和重频数据。测试结果见表 1。

表 1 同步触发信号延时、脉宽、重频重复性测试结果

序号	本地参考时钟			外部参考时钟		
	延时/ns	脉宽/ns	重频/Hz	延时/ns	脉宽/us	重频/Hz
1	49.97116	99.76032	999.98982	1.04260	5.01252	999.98851
2	49.96616	99.76876	999.98952	1.01601	5.01423	999.99137
3	49.97632	99.76235	999.98934	1.03578	5.01202	999.98696
4	49.96537	99.76468	999.99130	1.04847	5.01394	999.99155
5	49.97005	99.75913	999.99021	1.05632	5.01282	999.98863
6	49.96197	99.75270	999.98856	1.04824	5.01269	999.99256

由以上实验结果可知, 在本地时钟下工作时输出触发信号时间抖动峰峰值小于 250 ps, 在外部参考时钟和外部基准触发条件下工作, 输出的脉冲信号与触发信号之间的抖动峰峰值被控制在 500 ps 以内, 经多次重复试验, 输出的同步触发信号具有良好的可重复性。

输出的同步触发信号的时间抖动主要来源于时钟抖动, 由于采用了时钟相位补偿技术, 从根本上解决了输出的触发脉冲信号与输入基准信号之间存在的随机时间抖动问题。要进一步减小时间抖动, 提升输出同步触发信号性能, 参考时钟可以选用频率稳定性更好的时钟。例如本地时钟可采用具有更高稳定性的恒温晶振 (OCXO) 产生, OCXO 可以利用晶振内部的恒温槽来确保晶体振荡器中的石英晶体谐振器的温度始终保持恒定, 能最大限度地减少由周围环境温度引起的频率变化, 保证输出时钟的质量。在对同步触发信号时间抖动和延时调节分辨率指标要求都十分严格的应用场合, 外部参考时钟可以选用时钟质量更高的原子钟, 比如铷钟, 铯钟等; 同时可以选用延时精度更高的数字延时器件, 进一步提高输出触发信号的调节分辨率。

5 结束语

本文提出的同步触发信号产生技术, 利用 TDC 测量基准触发信号与系统时钟信号间的相位差, 通过超高精度可编程延时器件自动补偿输入的系统时钟相位, 有效减少了输出的同步触发信号与基准触发信号间的时间抖动。通过计数器结合可编程数字延时方案, 在保证同步触发信号延时调节范围广的同时提高了延时调节的分辨率。设计的 20 通道同步触发脉冲信号, 各通道触发信号可以单独输出, 也可以是任意通道的组合, 还可以将同步触发信号进行级联形成同步系统。输出的同步触发信号具备时间抖动低, 延时调节分辨率高的特点, 可广泛应用于高速摄影系统、

高速数据采集、医疗设备、能源及大型激光驱动装置等需要精密时序控制的系统中^[5-12]。

参考文献:

- [1] 张 荣, 黄海莹, 李春枝, 等. 基于 NIOS II 处理器的多通道 ns 级时序控制同步机设计 [J]. 计算机测量与控制, 2012, 20 (11): 2968-2971.
- [2] 党 钊, 陈德怀, 王 超, 等. 基于可编程数据发生器的高精度同步系统的研制 [J]. 电子测量技术, 2008, 31 (10): 191-194.
- [3] 党 钊, 李小群, 陈 骥, 等. 基于 ISA 总线的纳秒级同步器的研制 [J]. 测控技术, 2004, 23 (6): 72-73.
- [4] 张 锋, 欧阳娴, 刘百玉, 等. 用于超短激光脉冲技术的高精度数字同步机的研究 [J]. 电子器件, 2007, 30 (6): 2287-2290.
- [5] 张 荣, 黄海莹, 李春枝, 等. μs 级时序控制器设计及其在测控系统中的应用 [J]. 计算机测量与控制, 2013, 21 (8): 2115-2118.

(上接第 223 页)

持光轴的空间指向, 而稳定回路带宽和谐振峰较高 (-3 dB 带宽达到约 60 Hz , 谐振峰 7 dB), 由此产生一定的谐振^[6-10], 造成系统功耗增大。经调整稳定回路校正参数降低回路谐振峰后, 再次进行振动试验, 同量级下功耗增加明显减小。

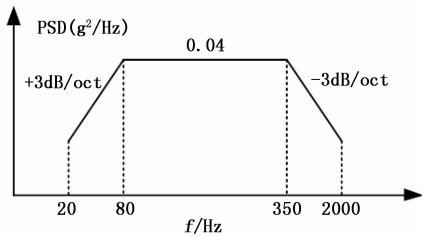


图 6 光电成像系统随机振动谱

因此, 对于光学铰链离轴设计的机载伺服系统, 需要与系统结构重心、支点位置、减振器减振特性、载体振动环境条件^[11]等匹配设计, 才能更好地适应实际应用环境, 但就抗扰算法本身而言, 不存在环境适应性的问题。

4 结论

1) 机载光电成像系统光学铰链离轴情况下存在伺服系统航向、俯仰通道运动耦合而不能独立控制, 伺服稳定控制回路设计本质上需要使用半捷联设计方案;

2) 抗扰算法基于矢量绕轴微量转动公式和反射定律矢量表达式推导得出, 经过转台动态测试表明, 算法设计和实现正确;

3) 使用本抗扰算法的机载光电成像系统经过转台动态测试, 稳定精度与传统方案相当;

4) 光学铰链离轴情况下的伺服平台系统, 对于振动环境的适应性需要额外的设计考虑, 以减小系统谐振和功耗的增加。

- [6] 杨 兵, 崔永俊, 贾 磊, 等. 基于 TDC-GP2 的时间间隔测量系统设计 [J]. 计算机测量与控制, 2015, 23 (9): 2974-2976.
- [7] 徐卫彬, 郭玉辉, 郑亚伟, 等. 基于现场可编程门阵列的加速器同步控制器设计 [J]. 强激光与粒子束, 2015, 27 (1): 197-200.
- [8] 李志林, 王 道, 母 杰, 等. 大型激光装置束间同步抖动的高精度测量 [J]. 强激光与粒子束, 2015, 27 (11): 11-14.
- [9] 陈丽诗, 冯桂兰, 田维坚, 等. 基于 TDC-GP2 的脉冲激光测速系统设计 [J]. 工业控制计算机, 2009, 22 (10): 84-85.
- [10] 李文峰, 邵 涛, 张东东, 等. 重复频率纳秒脉冲源程控脉冲发生器 [J]. 强激光与粒子束, 2012, 24 (5): 1186-1189.
- [11] 高 平, 代 刚, 郭玉山, 等. 多路纳秒延时同步脉冲的产生与传输 [J]. 信息与电子工程, 2007, 5 (2): 123-125.
- [12] 倪晋平, 李亚胜, 田 会. 一种多路时间序列控制仪的设计与实现 [J]. 西安工业大学学报, 2012, 32 (2): 87-92.

参考文献:

- [1] 霍宏伟, 金 奇, 刘 洋, 等. 离轴反射式光学系统的设计与装调分析 [J]. 激光与红外, 2017, 47 (3): 347-350.
- [2] 毛 峡, 张俊伟. 半捷联引导头光轴稳定的研究 [J]. 红外与激光工程, 2007, 36 (1): 142-145.
- [3] 胡 洋, 彭晓乐, 王宏宇. 半捷联式稳定平台隔离度影响因素分析 [J]. 电子设计工程, 2010, 18 (5): 783-786.
- [4] 李雪芹, 卢晓东, 周 军, 等. 俯仰/偏航式半捷联引导头光学平台稳定控制技术 [J]. 计算机测量与控制, 2014, 22 (3): 432-435.
- [5] Han J Q. Active disturbance rejection control technique the technique for estimating and compensating the uncertainties [M]. Beijing: National Defence Industry Press, 2008: 255-262 (in Chinese).
- [6] Miroslav D. Lutovac, Dejan V. Tomic, Brian L. Evans. Filter design for signal processing using MATLAB and mathematica [M]. Beijing: Publishing House of Electronics Industry, 2002: 142-153.
- [7] 杨志伟, 廖桂生, 贺 顺, 等. 直接数据域的自适应匹配滤波方法 [J]. 电子学报, 2010, 38 (7): 1616-1618.
- [8] 孙翠娟, 杨卫平, 沈振康. 一种基于匹配滤波的红外小目标检测系统 [J]. 激光与红外, 2006, 36 (2): 147-150.
- [9] Oppenheim A V, Schafer R W, Buck J R. Discrete-time signal processing [M]. LIU Shu-tang, HUANG Jian-guo. Xi'an: Xi'an Jiaotong University Press, 2001: 404-407 (in Chinese).
- [10] Simon Haykin. Adaptive filter theory [M]. ZHENG Bao-yu. Beijing: Publishing House of Electronics Industry, 2003: 270-274 (in Chinese).
- [11] 程 冬, 栗金平, 陈 韵, 等. 红外成像半捷联引导头光轴稳定方法研究 [J]. 计算机测量与控制, 2012, 20 (11): 3008-3010.