

# 基于 DDS 技术的 LFM 信号产生与 FPGA 实现

谭德勇<sup>1,2</sup>, 陆 聪<sup>1</sup>, 杨维明<sup>1</sup>, 卫春芳<sup>1</sup>

(1. 湖北大学 计算机与信息工程学院, 武汉 430062; 2. 湖北大学 知行学院, 武汉 430011)

**摘要:** 在分析线性调频 (LFM) 信号的时频特性和基于直接数字频率合成器 (DDS) 技术信号产生原理的基础上, 选择 AL-TERA 公司的 Cyclone II 系列的 FPGA 芯片 EP2C70F896C6FPGA, 采用 ROM 查找表技术, 利用 QuartusII 系统提供的 PLL 锁相环 IP 核设计系统时钟, 设计产生带宽  $B=10$  MHz、时宽  $T=2.5 \mu\text{s}$  的 LFM 信号; 通过调用 Modelsim 仿真工具进行 RTL 仿真验证, FPGA 电路仿真的结果与 MATLAB 仿真结果相符。

**关键词:** DDS 技术; LFM 信号; FPGA 实现

## LFM Signal Generation and FPGA Implementation Based on DDS Technology

Tan Deyong<sup>1,2</sup>, Lu Cong<sup>1</sup>, Yang Weiming<sup>1</sup>, Wei Chunfang<sup>1</sup>

(1. College of Computer Science and Information Engineering, Hubei University, Wuhan 430062, China;

2. College of Knowledge and Practice, Hubei University, Wuhan 430011, China)

**Abstract:** The time-frequency characteristics of LFM signal were analyzed, and the principle of signal generation based on direct digital frequency synthesizer (DDS) technology was analyzed. On this basis, EP2C70F896C6 FPGA chip of Cyclone II series of AL-TERA company was selected, and the PLL phase-locked loop IP core provided by QUARTUSII system was adopted with ROM lookup table technology. The system clock was designed and the LFM signal with bandwidth  $B=10\text{MHz}$  and time-width was generated. RTL simulation was carried out by calling Modelsim simulation tool. The simulation results of the circuit of the FPGA are consistent with those of the simulation results of the MATLAB.

**Keywords:** DDS technology; LFM signal; FPGA implementation

## 0 引言

在通信与雷达系统中, 为同时提高系统的探测距离和距离分辨率, 通常对发射信号进行调制, 一般采用脉内调制, 脉内调制的方法包括线性调频、非线性调频及相位编码, 线性调频信号 (LFM, Linear frequency modulation signal) 具有稳定性好和易于产生和实现的优点, 因而得到广泛应用。现有的线性调频信号的产生主要基于频率合成等相关技术方法, 在这些方法里面, 直接数字频率合成 (DDS, Direct Digital Synthesis) 方法解决了模拟频率合成的瓶颈问题, 根据“相位”的角度考虑来实现频率的合成。DDS 能够输出多种频率和初始相位不一样的正弦波, 除此以外还能够输出多样化的波形, 有着相位角度广、频率分辨率高、频率切换时间短和优良的可复制性能等优势, 正因此以上优势使其成为现代频率合成技术的首要选择。

已经具备的 DDS 方法一般以特定的芯片来进行设计, 如高集成器件 AD9854 等, 但是这种方法会增加硬件研发费用, 此外会让设计方案丧失一定的灵活性。当今集成芯片飞速发展和微电子制造工艺的迅猛提升, 使得 FPGA 芯片

的晶体管集成度以及运行频率不断上升, 片内逻辑单元更加充足, 此外 FPGA 的可编程特性让信号发生器的硬件方案设计更加方便快捷。本文侧重于分析线性调频信号的 DDS 实现技术与采用 FPGA 实现 DDS 的设计方案。

## 1 基于 DDS 技术的 LFM 信号产生理论

### 1.1 LFM 信号分析

LFM 信号凭借多普勒频移不敏感的优势被应用于大量设计案例, 在信号被处理时, 若回波信号有着较强的多普勒频移效应, 通过预先设计的匹配滤波器依旧能够输出较理想的脉冲压缩信号, 故有效避免了信号被处理时候的绝大多数问题。

LFM 的信号频率对时间的求导结果为常数:

$$\frac{df(t)}{dt} = \mu \quad (1)$$

式 (1) 中  $f(t)$  代表信号的瞬时频率,  $u$  代表信号的调频斜率, 与此相对应的瞬时相位函数表示如下:

$$\theta(t) = 2\pi \int f(t) dt = 2\pi \left( f_0 t + \frac{\mu t^2}{2} \right) \quad (2)$$

时间宽度  $T$  的复数信号函数表示如下:

$$s(t) = u(t) \exp(j2\pi f_0 t) = \frac{1}{\sqrt{T}} \text{rect}\left(\frac{t}{T}\right) \exp\left[j2\pi\left(f_0 t + \frac{\mu t^2}{2}\right)\right] \quad (3)$$

收稿日期:2019-08-09; 修回日期:2019-09-10。

通讯作者:卫春芳(1962-), 女, 副教授, 硕士, 主要从事是信息与控制方向的研究。

式 (3) 中  $u(t)$  是信号的复包络,  $u=B/T$  表示频率的变化速度,  $B$  表示信号的频带宽度,  $T$  表示信号的时间范围,  $f_0$  表示中心频率。假设  $f_0$  为 0, 此时表示零中频信号, 也就是基带信号, 此外复信号的实部与虚部对应两种不同的正交信号。

$$u(t) = \frac{1}{\sqrt{T}} \text{rect}\left(\frac{t}{T}\right) \exp(j\pi u t^2) \quad (4)$$

由 LFM 信号的相位调制表达式可推出相位与时钟两者之间的关系。若时钟频率设置为 50 MHz, 也就是时钟周期为 20 ns, LFM 信号的带宽 20 MHz, 脉冲宽度为  $T=10 \mu\text{s}$ , 此时频率的变化速度  $u=B/T=2 \times 10^{12}$ , 瞬时相位对应表示为:

$$\theta = \pi u t^2 = 6.28 \times 10^{12} \times t^2 \quad (5)$$

若时间  $t$  进行离散化:  $t=n \times 20 \text{ ns}$ ,  $n=0, 1, 2, 3 \dots$  代表时钟周期次数, 可得:

$$\theta_n = 2512 \times n^2 \times 10^{-6} \quad (6)$$

在 FPGA 芯片上通过 Verilog 编程语言来完成相位调制时, 可采取有符号数的乘法器来快速实现。

若 LFM 信号带宽  $B$  设置为 10 MHz、时宽  $T$  设置为  $2.5 \mu\text{s}$ , 其相应的 LFM 信号波形图和频谱图如图 1。图 1 中可知, LFM 信号频率呈现出线性增加的趋势, 此外时间带宽积越大时, 信号幅度谱更加呈现出矩形的趋势。

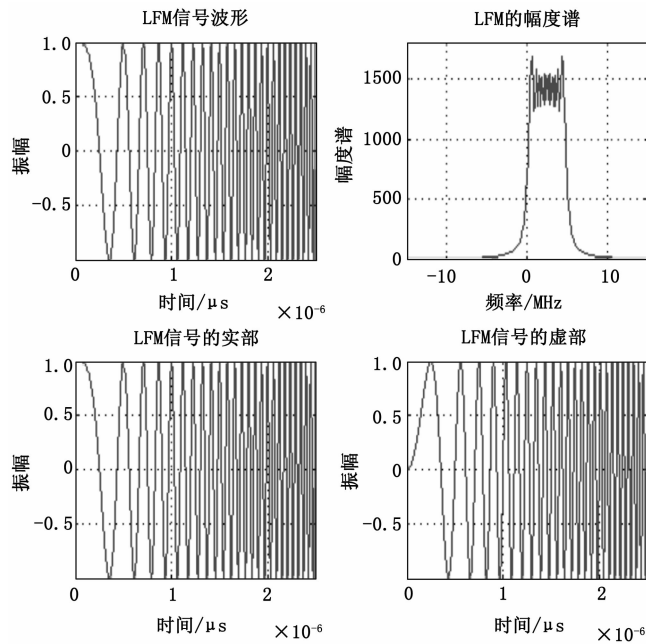


图 1 LFM 信号的幅频特性

## 1.2 LFM 信号的 DDS 产生理论

### 1.2.1 DDS 基本原理

DDS 为最近几年用于输出稳定 LFM 信号的便捷设计方案, 采用 DDS 设计的频率合成器具备全数字化的特点。通过正弦波例子来分析 DDS 原理, 首先把需要输出的波形数据提前存放在 ROM (或 RAM) 里面, 再根据系统时钟 (CLK) 频率, 采取顺序读数从 ROM (或 RAM) 里面获取

波形数据, 最后通过 D/A 转换后能够接收到特定频率的输出波形。正弦波单个周期  $360^\circ$  的范围中, 依据相位将其等分为若干份  $\Delta\varphi$ , 并把这些相位相对应的振幅  $A$  转换为二进制进格式后存放到 ROM, 若  $\Delta\varphi=6^\circ$ , 单个周期等分成 60 份。鉴于正弦波单个周期中的对称特性, 故 ROM 仅需要存放  $0 \sim 90^\circ$  的幅值即可。假设  $\Delta\varphi=6^\circ$ , 则  $0^\circ \sim 90^\circ$  可以等分为 15 份, 波形对应的幅值存放于 ROM 中占用 16 位地址, 采用 4 位长度的地址码来进行 ROM 表寻址, 幅值码表示为 5 位的编码, 正弦波单个周期  $0^\circ \sim 90^\circ$  的编码数据如表 1。

表 1 正弦信号相位与幅度的关系表

0000	$0^\circ$	0.000	00000
0001	$6^\circ$	0.105	00011
0010	$12^\circ$	0.207	00111
0011	$18^\circ$	0.309	01010
0100	$24^\circ$	0.406	01101
0101	$30^\circ$	0.500	10000
0110	$36^\circ$	0.558	10011
0111	$42^\circ$	0.669	10101
1000	$48^\circ$	0.743	11000
1001	$54^\circ$	0.809	11010
1010	$60^\circ$	0.866	11100
1011	$66^\circ$	0.914	11101
1100	$72^\circ$	0.951	11110
1101	$78^\circ$	0.978	11111
1110	$84^\circ$	0.994	11111
1111	$90^\circ$	1.000	11111

结合以上原理, 设计生成 DDS 信号的结构图如图 2, 主要由相位累加器、晶振、相位调制、波形数据存放、D/A 转换电路和低通滤波器等模块构成, 其中晶振用于为 FPGA 系统提供稳定的时钟信号, 保障其他模块的有效性。

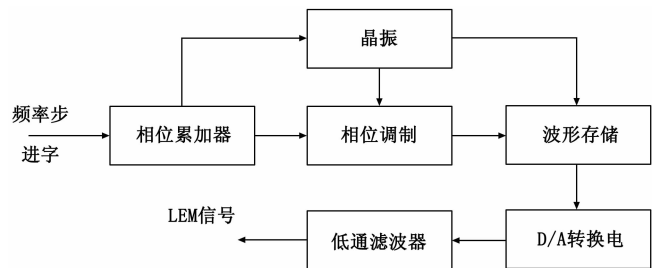


图 2 DDS 信号产生原理框图

### 1.2.2 信号的频率关系分析

取  $f_c$  为信号的频率, 在时钟信号 CLK 的驱动下, 依据表 1 的地址编码顺序依次读出 ROM 中存放的幅值编码数据, 此时正弦信号的频率记为  $f_{o1}$ 。若间隔一个地址编码依次获取数据, 此时频率记为  $f_{o2}$ , 信号频率满足  $f_{o2} = 2f_{o1}$ 。根据此规律可完成直接频率合成器输出频率可变的设计。

以上设想可基于控制电路完成, 通过控制电路的输出结果来选取 ROM 地址 (对应为正弦波的相位)。输出信号

波形是通过相位依次累加而得到的, 即 DDS 实现方案中的非常重要的一部分——相位累加器。在图 2 中, 若设置频率步进字  $FW$  为 1, 即单次累加输出的增加量为 1, 也就是按照地址码顺序从 ROM 中获取信号数据; 当  $FW$  取 2, 表示间隔一个 ROM 地址获取数据; 依次可得,  $FW$  反映出相位步进速度, 设置越大速度越快, 得到得信号波形频率就更高。

当 CLK 频率固定时, 得到信号的最高频率可达到何值? 换言之, 在  $n$  位寻常的 ROM 范围中,  $K$  值最大该取何值?  $n$  位地址存在  $2^n$  个 ROM 地址, 一个正弦波里取  $2^n$  个数据。设置  $FW$  为  $2^n$  时候, 即相位步进值是  $2^n$ , 但是单个周期信号中仅取一个数据无法表示一个正弦波, 故取  $FW=2^n$  不合理; 取  $FW=2^{n-1}$ , 一个正弦波存在两个取样数据时满足取样定理, 但是这种方案很难实现。通常取  $FW \leq 2^{n-2}$ , 此时一个波形最少存在 4 个采样数据, 通过 D/A 变换后相当于 4 级阶梯波。然后在后续低通滤波器的处理下, 能够输出比较好的正弦波。若  $FW$  取最小值, 则有  $2^n$  个样点得到平滑的正弦波。

相位调制模块可以设置输出信号的初始相位, 对于上变频或下变频模式的信号发生器, 初始相位可以为零, 相位调制器取累加器的高  $M$  位作为波形存储器的查找表地址 ( $M$  与存储器的大小有关), 完成由相位到振幅的转换。波形存储器首先将正弦波一个周期内的数据进行采样、量化、存储和格式转换 (.mif 文件), 然后将产生的 .mif 文件中的数据存储在 ROM 中, 通过查找表寻址方式完成由相位寻址到波幅的转变, 输出信号经过 D/A 转换, 变换为模拟信号, 最终经过低通滤波器得到的频率源信号。其中, 当步进字  $FW$  为常数时, 输出频率不变的正弦信号, 而当  $FW$  变化值, 则产生变频信号。

假设 DDS 输出正弦信号, 则:

$$(u)t = \sin 2\pi f_0 t = \sin \omega(t) \quad (7)$$

式 (7) 中时间  $t$  是连续的, 采样周期为  $T_{clk}$ , 采样频率表示为  $f_{clk}$ , 并对采样后的数据进行离散化处理, 设频率控制字为  $FW$ , 则连续两次采样的相位差为:

$$\Delta\omega = 2\pi \frac{f_0}{f_{clk}} = \frac{2\pi}{2^N} \cdot FW \quad (8)$$

$N$  表示相位累加器的位宽, 则频率控制字与输出频率的关系为:

$$f_{out} = f_0 = \frac{2\pi}{2^N} \cdot FW \quad (9)$$

$f_{out}$  为 DDS 的输出频率, 由上式可以看出, 输出信号的频率主要取决于频率控制字  $FW$ 。当  $FW$  为常数时, DDS 输出的时具有固定频率的正弦信号; 而当  $FW$  线性增加时, 则输出信号的频率也是线性增加的。此时有:

$$\frac{df(t)}{dt} = \gamma \quad (10)$$

$f(t)$  为瞬时频率,  $\gamma$  为常数, 正弦信号的相位  $\omega(t)$  是  $f(t)$  关于时间  $t$  的积分。则输出信号表示为:

$$\sin(\omega(t)) = \sin\left(2\pi \int_0^t (f(\tau) + f_0) d\tau\right) \quad (11)$$

$f_0$  为初始频率, 则关于相位  $\omega(t)$  的 LFM 信号表达式为:

$$s(t) = e^{j\omega(t)} = \cos(\omega(t)) + j \sin(\omega(t)) \quad (12)$$

## 2 基于 FPGA 设计 LFM 信号发生器

### 2.1 基于 FPGA 的 LFM 信号设计原理

本文选择 ALTERA 公司的 Cyclone II 系列的 EP2C70F896C6FPGA 芯片进行设计实现, 该芯片内部未集成具有 DDS 功能的 IP 核, 但 FPGA 内嵌丰富的存储器资源, 基于查表的快速运算方式, 采用 FPGA 芯片设计并实现 DDS 功能是完全可行的。基于 FPGA 产生 LFM 信号的设计框图如图 3 所示。

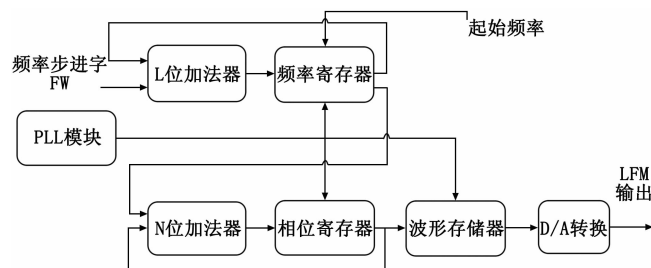


图 3 LFM 信号发生器设计框图

由上图可以看出, LFM 信号发生器包含频率累加器、相位累加器、波形存储器及 D/A 转换模块, 其中位长  $L$ 、 $N$  由 LFM 脉冲信号的时宽决定。该电路工作过程: 频率累加器对步进字求积分, 获得线性增加的瞬时频率, 并作为相位累加器的一个输入, 通过相位累加器完成积分, 得到瞬时相位, 并取累加器的高  $M$  位的值作为波形存储器的寻址 ( $M$  由 ROM 波形存储器一个周期的采样多少决定), 此过程完成相位到幅值的转换, 得到频率线性增加的输出信号。LFM 信号分实部和虚部, 故需要设计两个信号发生器, 如图 4 所示。

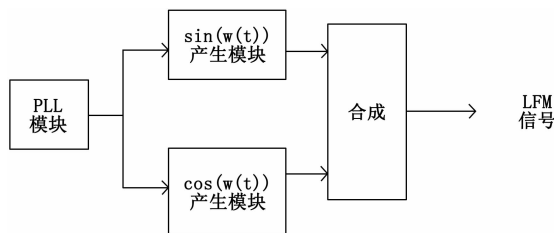


图 4 LFM 信号设计框图

假设芯片通过 PLL 模块产生稳定的时钟频率  $f_{clk}$ , 输出信号的起始频率为  $f_0$ , 步进频率为  $f_t$ , 信号设计参数: 带宽为  $B$ , 时宽为  $T$ , 则由式 (8)、(9) 得到频率累加器的初始值  $f_{start}$  和频率步进字  $FW$  为:

$$f_{start} = \frac{2^N}{f_{clk}} f_0 \quad (13)$$

$$FW = \frac{2^N}{f_{clk}} f_t = \frac{2^N \cdot B}{T f_{clk}^2} \quad (14)$$

当采用上变频或者下变频设计 LFM 信号时, 输出信号的初始频率、初始相位可以设置为零, 即  $f_0 = f_{start} = 0$ 。首先将正弦信号和余弦信号一个周期的数据进行采样、量化

后存储在波形存储器 ROM 中, 然后根据 LFM 信号的设计参数, 即带宽、时宽, 通过式 (14) 计算频率步进字  $FW$ , 编写激励文件对设计电路进行初始化, 并作为频率累加器的一个固定输入端, 每一个有效时钟脉冲到来时, 程序控制累加器完成其反馈值与  $FW$  完成一次累加求和, 得到信号的瞬时频率, 且频率值是线性增加的; 而相位累加器通过加法器对其反馈值与瞬时频率求和, 得到信号的瞬时相位, 最后取相位累加器输出相位的高  $M$  为作为正弦波和余弦波存储器的寻址, 存储器进行查表输出, 并经过数模转换电路、低通滤波电路得到平滑的线性调频信号。

## 2.2 FPGA 实现

DDS 的核心部分相位累加器设计可以采用两种方法: ① 使用 VHDL/Verilog 程序设计的方法; ② 使用参数可设置的 LPM 兆功能块调用的方式进行设计。为提高设计效率, 本文采用调用 LPM 兆功能块进行设计, 并结合 MATLAB 程序设计产生信号的采样数据, 存取到 ROM 功能块中。系统设计时, 稳定可靠的时钟是保证系统可靠工作的重要条件, 所以选择时钟也非常重要。在简单电路设计中, 采用软件编程的方式产生时钟输入; 但是电路设计复杂时, 对输入时钟的稳定性要求比较高, 此时需要 FPGA 芯片集成的锁相环 (PLL) 模块产生稳定的时钟信号。

首先通过 MATLAB 工具对正弦波、余弦波一个周期的波形进行采样、量化和格式转换 (.mif); 接着调用 FPGA 芯片集成的锁相环 (PLL) 模块, 可以通过设置倍频和分频因子改变 PLL 的输出频率, 产生稳定的时钟输入; 然后设计电路产生 LFM 信号的实部和虚部; 最后用 Modelsim 工具对电路输出数据进行模拟仿真, 观察 LFM 信号的数字波形。参数设置如下:

1) 对正弦波、余弦波的一个周期进行采样产生的 1024 个 6 位数据分别存储在 cos.mif、sin.mif 文件中, 打开 quartus II 仿真软件下的 MegaWizard Plug-In Manger, 选择 ROM; 1-PORT, 设置输出位宽 6 bit、1024word。

2) 打开 quartus II 工具菜单下的 MegaWizard Plug-In Manger 选项, 找到 altpLL 模块, 设置倍频因子为 2, 分频因子为 1, 产生 100 MHz 的输出时钟信号。

3) LFM 信号的参数: 带宽  $B=10$  MHz, 时宽  $T=2.5$   $\mu$ s, 起始频率为零, 加法寄存器字长设置为 20 bit。根据式 (14) 计算, 得到初始频率字 0 和频率步进字为 419。

LFM 信号发生器的实现框图如图 5 所示。

从图 5 可以看出, 取相位寄存器的高 10 位作为寻址数据, 输出 LFM 信号实部  $I$  和虚部  $Q$  的波形。与采用专用 DDS 芯片相比, 节约了成本, 简化了电路设计。

## 3 实验结果与分析

### 3.1 实验方法

为简化仿真实验过程, 提高实验效率, 本文采用第三方仿真软件 Modelsim 10.1 进行仿真实验, 相对于 Quartus II 自带的仿真软件, Modelsim 10.1 功能更全面、运算速度更快。

本实验选择 ALTERA 公司的 Cyclone II 系列的

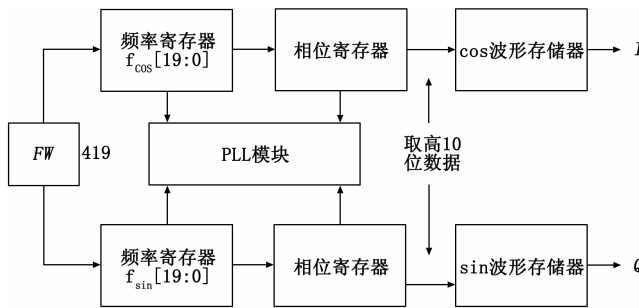


图 5 LFM 信号产生器的 FPGA 设计框图

EP2C70F896C6 FPGA 芯片完成 LFM 信号的 FPGA 实现, 实验平台采用 Quartus II 11.0、Modelsim 10.1c 和 MATLAB 三种仿真工具。基于 Quartus II 采用软件编程方式完成 LFM 信号的 FPGA 产生, 基于 MATLAB 工具完成数据的计算、存储、并转换成 Quartus II 可识别文件 (.mif), 采用第三方仿真软件 Modelsim 10.1 完成 LFM 信号的波形显示与观察。

### 3.2 实验步骤

1) 采用 FPGA 软件编程方式设计 LFM 信号发生器。频率累加器和相位累加器都是采用 20 位字长, 计算频率步进字  $FW=419$ , 初始频率字设置为零, 则可以产生带宽为 10 MHz 的 LFM 信号。基于 Quartus II 平台设计出的逻辑电路组成原理图如图 6 所示。

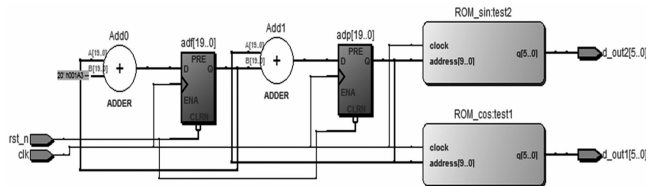


图 6 LFM 信号发生器的硬件电路

2) 对 LFM 信号实部和虚部进行采样、量化。电路运行时取  $adp[19:10]$  传输给波形存储器的  $address[9:0]$ , 对存储数据进行查表, 输出 LFM 信号的实部  $d\_out1$ 、虚部  $d\_out2$  分别存储在 ROM\_cos、ROM\_sin 中, 其存储 1024 个数据, 输出数据字长为 6bit。

3) 编写 Test Bench 文件, 对电路进行初始化和驱动硬件电路工作。

4) 利用信号发生器的 Quartus II 仿真输出数据, 调用 Modelsim 仿真工具对电路进行功能仿真, 观察输出信号的波形。

### 3.3 实验效果

图 7 为带宽为 10 MHz 的 LFM 信号波形。从图可以看出 LFM 信号实部和虚部都是线性变化的, 而且波形相似, 基于 FPGA 产生的 LFM 信号波形与图 2 中 MATLAB 仿真结果基本吻合。但图 2 仿真波形中实部与虚部相位相差 90 度, 而图 7 中基于 FPGA 产生的 LFM 信号的实部和虚部波形相位差小于 90 度, 即存在一定的正交误差, 这主要是由于 ROM 存储器输出采用 6 bit 量化而产生的量化误差造成

的, 此外 FPGA 器件的延时也在一定程度上影响了 LFM 宽带信号的正交度。采用 DDS 结合数字调制技术可望减小实部与虚部的正交误差。

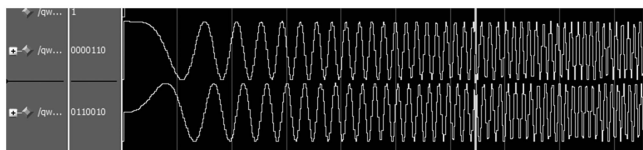


图 7 基于 FPGA 产生的 LFM 信号的实部和虚部波形

### 4 结论

本文研究分析了 LFM 信号的特性以及产生方法, 重点研究了基于 ROM 查找表的 DDS 技术产生法, 采用 FPGA 对 LFM 信号进行了设计与验证。论文采用 QUARTUSII 系统提供的 PLL 锁相环 IP 核设计系统时钟, 虽然保证了系统的稳定可靠, 但带有 PLL IP 核的 FPGA 价格明显提高, 增加了产品的成本; 另一方面, 基于 ROM 查找表的 DDS 信号产生法虽然电路实现简单, 但与基于 CORDIC 算法的

(上接第 251 页)

#### 3.2 软件构架

一体化试验验证软件采用层次化的架构, 分别包括基础服务层、核心层和应用层, 平台基于 TCP/IP 通讯协议构建, 基础服务层中的数据库系统存储了装备的故障模式, 包括故障原因、故障影响、严酷度、故障频度、故障注入端口、故障注入方法等信息; 仪器控制组件是基于面向信号的测试方法, 根据装备功能性能指标参数测试时的信号特征实现测试通道的自动分配、仪表参数的自动控制、测试指标的自动读取; 核心层主要完成对数据库中的各故障模式进行可注入性分析, 对可注入的故障模式自动选择相应的故障注入设备进行故障注入, 故障传递模块自动分析故障注入后对装备功能性能指标的影响、故障检测和隔离结果; 应用层完成测试性试验过程的配置、故障确认中的功能性能测试和接口测试、测试性评估等任务。

应用层	测试性试验过程配置	自动测试			测试性评估	系统与数据管理
		功能测试	性能指标测试	接口测试		
核心层	故障可注入性分析	故障传递模型			故障注入与监控	
基础服务层	数据库系统	仪器控制组件			人机交互组件	

图 5 软件平台层次图

### 4 工程应用

在某相控阵雷达的测试性验证试验中, 以测试性指标为验证对象, 利用一体化试验验证平台验证雷达的测试性水平。该雷达装备由 24 个品种的模块组成, 测试级别为模块级。根据 FMECA 分析和测试性建模, 该雷达共有 477 种故障模式, 通过对故障模式的可注入性分析, 可直接注入的故障模式 249 种, 可等效注入的故障模式 168 种, 不可注入的故障模式 60 种。

根据测试性试验和故障注入的需求, 研制开发了总线故

DDS 产生法相比, 占用的 FPGA 存储器 ROM 资源较多; 研究结果还表明, 单一的 DDS 合成方式产生的 LFM 信号实部和虚部波形存在正交度误差, 采用 DDS 结合数字调制技术或数字校正技术可进一步减小实部与虚部的正交误差, 获得更加理想的 LFM 信号。

#### 参考文献:

[1] 吴 恙. 线性调频信号及其脉冲压缩系统的 FPGA 实现 [D]. 武汉: 湖北大学, 2014.

[2] 陆 聪, 黄敬华, 杨维明, 等. LFM 脉冲压缩的 FPGA 时域实现 [J]. 计算机测量与控制, 2018, 26 (5): 277-280.

[3] 杨永安, 李 岚, 陆 一. 基于 DDS 的移频调制信号的生成 [J]. 电子信息对抗技术, 2018, 193 (3): 75-79.

[4] 崔永俊, 王晋伟, 贾 磊, 等. 基于 FPGA 的 DDS 信号发生器的设计与实现 [J]. 电子器件, 2016, 39 (2): 339-343

[5] 朱双兵, 杨维明, 吴 恙, 等. 基于 CORDIC 算法的线性调频信号产生 [J]. 电子器件, 2013, 36 (4): 497-501.

[6] 李林东. 直接数字频率合成 DDS 架构及其应用 [J]. 集成电路应用, 2018 (1): 90-93.

障注入器、高速数字电路故障注入设备、嵌入式射频故障注入设备、TR 组件等效故障注入设备、故障注入适配器等, 并集成到该雷达的数字化验收测试系统中, 构成了集功能性能测试、故障确认、测试性评估一体化的测试平台。平台中所有的故障样本抽样、故障注入、故障确认、测试记录保存、测试性指标平台等全由程序自动执行, 大大地提高了雷达测试评估的效率。

### 5 结束语

本文依据军标中对测试性指标的定性和定量指标要求, 提出了一种集装备功能性能测试、故障确认、测试性评估于一体的测试性试验验证平台, 通过直接故障注入、等效故障注入、实际故障统计、测试性仿真分析等实现测试性综合评估, 并将平台应用于某型相控阵雷达的测试性评估试验, 具有工程指导意义。作为通用的一体化测试平台, 还可以向其他装备的测试性验证评估试验中推广, 这也是今后工作的一个方向。

#### 参考文献:

[1] 田 仲, 石君友. 系统测试性设计分析与验证 [M]. 北京: 北京航空航天大学出版社, 2003.

[2] GJB2547A-2012, 装备测试性工作通用要求 [S]. 2012.

[3] 张艺琼, 武月琴, 曾照洋, 等. 测试性验证试验中的综合评估方法 [J]. 测控技术, 2013, 32 (6): 133-139.

[4] 杜 熠, 刘萌萌, 宋成军, 等. 面向复杂系统的测试性试验验证技术研究 [J]. 计算机测量与控制, 2017, 25 (2): 217-224.

[5] 尹园威, 尚朝轩, 马彦恒, 等. 基于故障注入的雷达装备测试性验证试验方法 [J]. 计算机测量与控制, 2014, 22 (7): 2128-2131.

[6] 崔广宇, 刘方超, 王 红. 测试性试验环境建设探索研究 [J]. 计算机测量与控制, 2015, 23 (6): 2045-2052.

[7] 房灿新. 测试性技术分析与试验验证刍议 [J]. 现代雷达, 2016 年 7 月, 第 38 卷第 7 期: 14-16.