

基于软件无线电平台的中频信号处理系统设计

张迪, 韩爽

(哈尔滨医科大学附属第四医院, 哈尔滨 150001)

摘要: 软件无线电是关于使用固定硬件平台, 通过加载各种应用软件, 实现通信物理层的一部分或全部功能的设计思想的定义, 具有选用不同种类的软件可实现不同的功能的特性; 根据软件无线电技术的要求, 设计了基于“ADC+FPGA+DAC”的处理模式, 通过通信接口将结果发送给主机, 将模拟信号转化成数字信号供主机进行处理; 测试结果显示, 当输入 IF 信号的信噪比 (SNR) 大于 10dB 时, MSK 解调的误码率 (BER) 平均优于 10^{-6} , 通信的误码率 (BER) 平均优于 10^{-6} , 满足无线通信的一般要求; 与传统的信号处理模式相比, 该模式具有体积小, 功耗低, 可配置和可编程的优点, 应用前景广泛。

关键词: 软件无线电; FPGA; 可配置; 中频信号

Design of IF Signal Processing System Based on Software Radio Platform

Zhang Di, Han Shuang

(Fourth Affiliated Hospital of Harbin Medical University, Harbin 150001, China)

Abstract: Software radio is a definition of the design idea of using fixed hardware platform to realize part or all functions of communication physical layer by loading various application software. It has the characteristics that different kinds of software can achieve different functions. According to the requirement of software radio technology, a processing mode based on “ADC+FPGA+DAC” was designed. The result was sent to the host through communication interface, and the analog signal was converted into digital signal for the host to process. The test results showed that when the signal-to-noise ratio (SNR) of the input IF signal was greater than 10 dB, the BER of MSK demodulation was better than 10^{-6} on average, and the BER of communication was better than 10^{-6} on average, which meet the general requirements of wireless communication. Compared with the traditional signal processing mode, this mode had the advantages of small size, low power consumption, configurable and programmable, and wide application prospects.

Keywords: software radio; FPGA; configurable; IF signal

0 引言

软件无线电 (SDR) 的主要设计理念是尽可能使 A/D 和 D/A 转换器靠近射频天线端口, 并通过编辑软件的方法实现通信硬件的不同功能^[1]。考虑到 DSP 或 FPGA 受到处理速度和数据存储容量的限制, 通常只能在中频 (IF) 模块之前放置 A/D 和 D/A 转换器^[2]。

经典的 IF 收发器软件无线电结构由 T/R 开关, 低噪声放大器 (LNA), 混频器, 宽带 IF 放大器, 功率放大器, 宽带滤波器和数字信号处理器组成^[3]。对于数字信号处理器, 它可以由 ASIC、DSP 和 FPGA 实现, 但是在软件无线电平台设计过程中, ASIC 不再适用于软件无线电系统^[4-5]。

本文提出了一种使用 ADC+FPGA+DAC 的硬件结构模式, 实现软件无线电平台的中频信号处理系统的设计, 构建了使用 FPGA 数字处理器控制 ADC 对 MSK 信号进行采样, 实现将模拟信号转化成数字信号供主机进行处理的整个过程。本系统单独使用 FPGA 处理中频数字信号数据, 提高了数据处理能力, 并设计了通用主机接口拓展相关通信功能, 使得数字信号处理技术可以用于多种通信

系统, 提高了其实用性。

1 系统组成及工作原理

在本文设计的软件无线电平台的中频信号处理系统中, 应用了 Xilinx FPGA XC2V3000 数字处理器, 最大采样频率为 210 MHz 的 ADI ADC AD9430 模数转换器 (ADC) 和最大采样频率为 300 MHz 的 ADI DAC AD9753 数模转换器 (DAC), 输入的处理信号以中频信号 MSK IF 信号为例, 搭建了 ADC+FPGA+DAC 的 MSK 通信模块, 通过通信接口将结果发送给主机, 将模拟信号转化成数字信号供主机进行处理, 分析了软件无线电平台的中频信号处理系统的整个处理流程。

在数字调制的过程中, 通常使用最小频移键控 (MSK) 进行调制^[6]。MSK 具有最小带宽的二进制频移键控信号, 广泛用于数字通信系统。为了解调 MSK IF 信号, 系统需要具备数字直接合成 (DDS), 下行数字下变频 (DDC), 同步 (相干) 解调等功能^[7]。本文设计的软件无线电平台的中频信号处理系统的框架图如图 1 所示

从图 1 中可以看出软件无线电平台对整个 IF 信号的处理流程, 主要模数和数模信号的转化, 具体的工程如下: 首先采用 ADC 采样模数转换器, 将模拟信号采样转化为数字信号, 供数字处理器进行处理。数字信号在经过信号下变频后, 在数字信号处理下, 可以存储在 FPGA 的缓冲区

收稿日期: 2019-07-22; 修回日期: 2019-08-29。

作者简介: 张迪 (1983-), 男, 黑龙江齐齐哈尔人, 主要从事助理工程师, 从事信息化技术设计与管理等方向的研究。

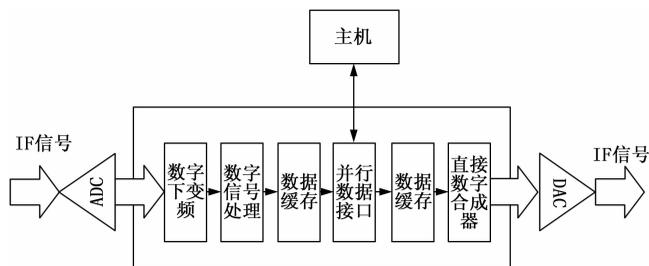


图 1 软件无线电平台的中频信号处理系统结构图

中, 然后通过 FPGA 的并行数据接口提供给主机进行使用, 加快了数字信号的处理速度; 经过处理后的数据在直接数字合成器中进一步处理, 最后将处理后的数字信号转换为模拟信号输出。

FPGA 内部信号处理的流程图如图 2 所示, XC2V3000 具有丰富的逻辑处理资源, 具备可编程门阵列逻辑电路, 对软件无线电系统的兼容性和可替换性上有着无可比拟的优势, 比较适合软件无线电平台的开发。根据 DDS 相关理论^[7-9], FPGA 数字处理器可以控制 DAC 产生 MSK IF 信号, 并通过数字模拟通道将其传送到该模块的 ADC 前端。根据带通采样定理, 本文设计的 ADC+FPGA+DAC 的 MSK 通信模块, 使用 FPGA 数字处理器控制 ADC 对 MSK 信号进行采样, 并在数字信号实现下变频, 解调, 帧对齐后, 通过通信接口将结果发送给主机, 将模拟信号转化成数字信号供主机进行处理, 整个过程就实现了基于软件无线电平台对于中频信号的处理工作。

1.1 DAC 数模转换器

AD9753 是一款 12 位双数字输入数模转换器, 其凭借稳定的性能, 赢得了业界广泛的青睐。由于 AD9753 内部锁相环 (PLL) 电路能够使输入时钟频率加倍, 因此两个输入的数字数据将以输入时钟速度的两倍速度进行模拟信号的转换, 并将转换的信号发送出去。因此, FPGA 数字处理器可以使用一半的采样频率来控制 DAC^[10]。

在 FPGA 内部生成两个 12 位宽, 4 096 深度的只读存储器 (ROM), 可以存储 4 096 个采样单周期正弦波数据。根据 DDS 相关理论, 可以得到频率控制字 K 。两个存储器分别以 0 和 K 为初始地址, 以 $2K$ 为增量地址。FPGA 通过

时钟芯片 MC100LVEL16 以差分形式将采样频率一半的时钟信号输入到 DAC 数模转换器中^[11]。以此速率, 从两个存储器读取的数据被发送到 DAC 的 P1B 和 P2B 端口。DAC 输出的模拟信号将通过低通滤波器和放大器电路变为单频信号。

可以根据不同的控制字 K 得到不同输出频率的信号, 并在发送所需的码字的基础上进行两个信号的编码组合, 从而实现 MSK 信号的传输。设 AD9753 芯片的相位累加器的位数为 N , AD9753 的频率控制字的相位增量为 K , 参考的时钟频率为 $CLKIN$, AD9753 的频率控制字为 $Freq$, 则根据 DDS 相关的计算理论^[12-13], 可以得到 DDS 输出信号的频率为: $f_{OUT} = (CLKIN * K) / 2^N$, 输出信号的频率的分辨率为: $\Delta f_{OUT} = CLKIN / 2^N$, 假定对于一个相位累加器的位数 $N=32$ 位的芯片来说, 参考的时钟频率 $CLKIN=125$ MHz, 相位增量取值 $K=1$ 时, 输出的信号评率是最低的, 根据计算可知, 最低的输出频率为 0.03 Hz, 同时其输出的信号频率的分辨率也是最低的。在实际的应用程序中, K 的值不宜过大, 否则会生成失真的波形, 同时对于输出的频率 f_{OUT} 理论上的最大值至少应该要小于 $CLKIN/2$, 经过以上的分析可知, 如果想要提高输出的频率 f_{OUT} 的最大值, 就需要提高系统的参考的时钟频率 $CLKIN$ 的值。

1.2 ADC 模数转换器

AD9430 是一款 12 位单芯片采样模数转换器, 专门针对高性能、低功耗和易用性进行了优化, 它的转换速率峰值最高可达 210 MSPS, 具有良好的动态性能, 适用于宽带载波和宽带系统的使用^[14]。AD9430 的芯片集成了全部的模数信号转换包含的必需功能, 能够提供完整的信号转换策略。由于 AD9430 内部时钟管理电路能够将输入时钟的频率除以 2, 因此输入时钟频率的一半用作输出数据被锁存, 然后将模拟信号转换成的 12 bit 的数字信号传输到 FPGA 中进行处理, 值得注意的是, AD9430 模数转换器的最高工作频率超过了 4 GHz, 相位 Jitter 典型值 RMS 仅为 0.2/s, 是一款性能非常优秀的芯片。因此, FPGA 可以使用一半的采样频率进行数据处理。

MSK IF 信号经过处理后, 转变成变压器后的差分信号, 然后输入到 ADC 采样模数转换器, 将差分信号转化为

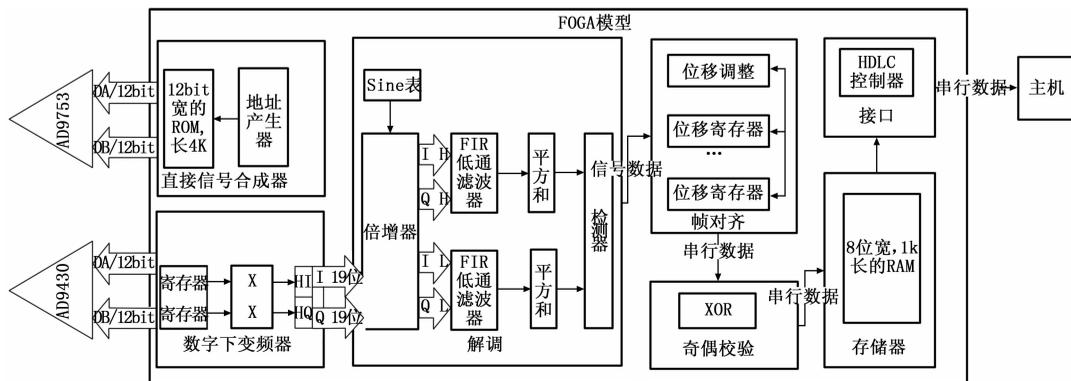


图 2 FPGA 内部信号处理流程图

12 bit 的数字信号。同时, FPGA 生成采样时钟, 并通过时钟芯片 MC100LVEL16 以差分形式将其输入到 ADC 中进行处理。ADC 通过数字端口 DA 和 DB 将采样数据发送到 FPGA, 并将采样频率同时分为两个, 以差分形式提供给 FPGA 作为数据同步时钟 DCO。ADC 的数据被分配给内部寄存器, 以便在 DCO 的下降沿通过 FPGA 进行数字下变频。

1.3 数字下变频 (DDC)

DDC 的主要目的是将经过数字混频 ADC 采集到的中频 (IF) 数字信号的频谱下变频到基带信号中, 然后完成抽取滤波, 恢复成原始的信号, 数字下变频是采用数字信号技术实现下变频的, 它主要包含可数字滤波、正交变换、采样和抽取等算法, DDC 的原理图如图 3 所示。

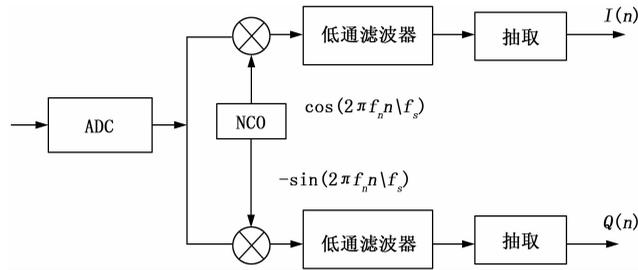


图 3 DDC 原理图

在本文的设计过程中, 由于 AD9430 采样的数据输出是两个并行的数字信号输出, 因此, 不需要 FPGA 进行数据输入的奇偶检验提取。端口 DA 和 DB 的输入数据将被直接视为 I Road 和 Q Road 信号, 然后采用另一个 I 信号点和另一个 Q 的相反符号信号点分别实现信号的处理乘以 $(-1)^n$ 。

本文设计的系统中, 通过 8 个并行乘法器和一个具有 8 输入, 1 输出的 3 级加法器进行设计, 可以获得八波段 FIR 滤波器。设计了两组具有相位延迟的滤波器系数为 $2\pi/T$ 的滤波器, I 信号的过滤器被延迟后 $T/2$ 采样周期, Q 信号不做延迟处理。因此, 与 Q 信号相比, 实现了 I Road 和 Q Road 的时间对齐。

在实施的过程中, 从前面的分析改变采样频率为 $f_s = 4f_L/3$ 。 f_H 变为 $2\Delta f$ 和 f_L 变为直流 (DC) 信号经过 DDC 处理。然后, 只有混合 $2\Delta f$ 有必要在里面加工 FPGA, 节省了乘法器和逻辑单元的 FPGA 内部资源。

1.4 MSK 解调

由于低频信号在 ADC 采样和 DDC 处理过程中已转换为两部分的 I, Q 直流信号, 因此 MSK 解调过程也应该分为两部分, 分别对 I 信号和 Q 信号进行调制, 如图 4 所示。

在 FPGA 内部生成存储器, 存储采样的单周期正弦波数据, 然后, 使用查表法实现数据的查找, 以处理频率从存储器读取数据, 并以频率为本地振荡器 (LO) 信号 $2\Delta F$ 产生信号。随后, I1、Q1 和 LO 信号在图 4 所示的混合器中混合, 频率分量分别为 DC、 $2\Delta F$ 和 $4\Delta F$ 。为了确保同时向 LPF 发送四个信号, I2 和 Q2 信号通过延迟线设备进行处理, 处理的延时时间与混频器相同^[15]。

之后, 使用与多相滤波器相同的方法生成 FIR 低通滤

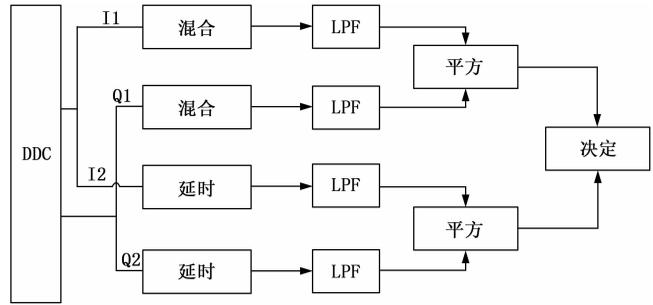


图 4 MSK 解调流程图

波器, 并改变特定的生成系数, 设定截止频率为 500 KHz。在 LPF 之后, 过滤高频分量并且仅保留 DC 分量。分别取 I1 和 Q1, I2 和 Q2 的直流分量的平方和累加, 得到两个频率的 MSK 信号分量的幅度信息。最后, 通过联合判断幅度值来实现 MSK 调制信号。

1.5 帧对齐

在获得视频数字信号之后, 处理数字信号对齐和帧对齐成为了首要的问题。对于帧对齐, 使用匹配方法进行移位寄存器操作^[16]。不妨假设帧头的长度为 N , 然后在 FPGA 内部构造长度为 N 位的 M 个移位寄存器。当检测到输入信号时, 启动当前寄存器并同时准备下一个寄存器, 然后连续循环启动 M 个移位寄存器。在每次移位之前事先判断寄存器的长度, 如果任一寄存器的长度与之前指定的帧头的长度完全相同, 则表示帧对齐成功; 否则, 继续移位直到帧对齐成功为止。帧对齐的过程如图 5 所示。

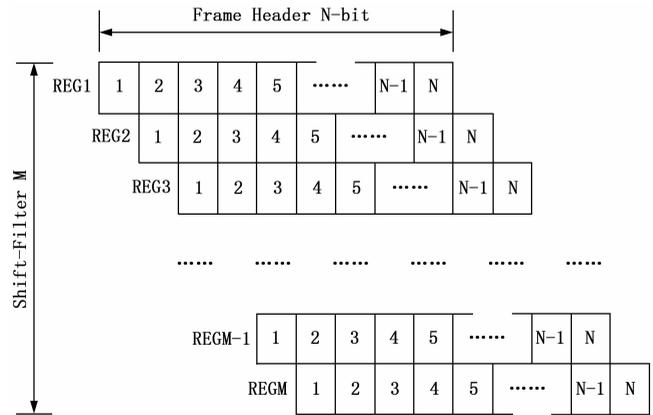


图 5 帧对齐过程

1.6 数据处理和传输

在帧对齐成功之后, 根据数据帧的定时关系周期性地收集 MSK 数据, 然后解码每组收集的数据, 解码操作通常包括删除前缀, 后缀和奇偶校验位等^[17]。对解码的数据执行按位异或运算 XOR, 并将结果与奇偶校验位进行比较。如果两者相同, 则判断解码数据有效, 并以字节的形式存储在 FPGA 内部存储器中; 如果不是, 则丢弃此数据帧并向主机发送错误报告。

为了能与主机进行通信, 在 FPGA 内部添加了生成 SPI 通信模块, 它是一种全双工的高速同步通讯总线, 能够保

证数据传输的实时性, SPI 通信模块规定了 4 中不同的通讯模式, 在实际的应用过程中, 应该保证通讯主机和从机工作在相同的模式下。SPI 通讯模块的工作方式通过时钟极性和时钟相位联合确定, 同时通过通信接口上的转换器件进行光耦合隔离和电压转换。在本文系统的设计过程中, 采用的是 SPI 通信模块的常用模式 0, 主机通过 SPI 通信模块向 FPGA 处理器发送编码数据和相应的请求。SPI 通信模块接收编码数据, 并根据命令将要存储的 MSK 数据和错误报告发送给主机^[18-19]。在通讯的过程中, 对于发送状态机, 必须在通讯时钟 SCK 上升沿到来之前将通信的数据放在 MOSI 信号线上。因此其状态的改变应当在时钟上升沿到来之前。因此, 本文设定发送状态机的在 SCK 时钟的下降沿进行状态变换, 在 SCK 的低电平中心将需发送的数据压至 MOSI 线上; 相对接收状态机, 为了保证通信状态跳变的协作性, 也采用 SCK 下降沿的时刻作为状态跳变的时间点。在 SCK 上升沿状态下, 接收状态机将数据采集存储至接收缓冲口, 并在采集完一字节数据后生成标志信号脉冲。这个脉冲将持续一个 SCK 周期, 以便 FPGA 其余模块进行识别。

2 系统测试与分析

在测试过程中, 本文设置的参数如下: IF 120 MHz, 带宽 10 MHz, 信号速率 1 Mbps, 帧速率 100 fps, 并取模块的 MSK 信号输出作为模块的 IF 信号输入, 通信速率 2 Mbps。测试时间为 30 h, 测试帧数为 107。

输出 MSK 符号和输入 MSK 信号结果的比较如图 6 所示。经过大量实际测试, 输出符号的平均延迟为 $1.05 \mu\text{s}$ 。当输入 IF 信号的信噪比 (SNR) 大于 10 dB 时, MSK 解调的误码率 (BER) 平均优于 10^{-6} , 通信的误码率 (BER) 平均优于 10^{-6} , 满足无线通信的一般要求, 能够胜任对中频信号处理的需求, 达到了本文的设计要求。

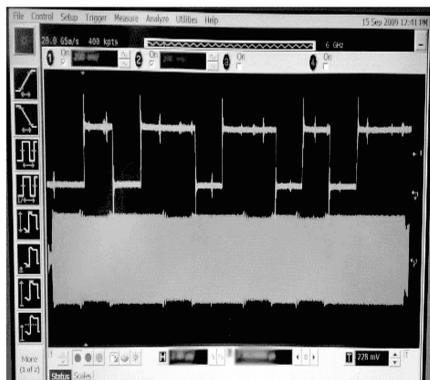


图 6 实验结果比较

3 结论

本文根据 SDR 的思想, 设计了基于 ADC + FPGA + DAC 的 MSK 信息处理通信模块, 还实现了包括带通采样和 IF MSK 信号的产生功能。在 FPGA 内部集成实现了 DDC、多相滤波和 MSK 解调等数据处理。由于该系统基于

宽带 IF 采样的 SDR 架构, 并且所有信号控制和数据处理都在一个 FPGA 中实现, 因此, 通过修改硬件程序可以满足各种通信系统的要求。由于在信号采样过程中应用了数字下变频技术, 因此也可以实现更高载波频率的 IF 信号的处理。该基于软件无线电平台的中频信号处理系统具有良好的通用性和重建性, 具有广阔的应用前景。

参考文献:

- [1] 支铭杰, 郭 炜. GPS 中频信号生成器的 FPGA 设计 [J]. 信息技术, 2008 (8): 56-58.
- [2] 李 杨, 牛 侃, 董 旭. 基于软件无线电的频谱检测技术 [J]. 数字通信世界, 2019 (4): 98-99.
- [3] 沈 聪, 武 龙. 小型化软件无线电硬件平台关键技术研究 [J]. 航空电子技术, 2019, 50 (1): 45-52.
- [4] 孔维太, 全大英, 辛崇丰, 等. 一种基于软件无线电技术的低成本运动目标探测雷达 [J]. 科学技术与工程, 2018, 18 (36): 60-66.
- [5] 汪彦彦, 陈 婷, 郑 昱. 一种软件无线电通用硬件平台设计与实现 [J]. 火控雷达技术, 2018, 47 (4): 99-103.
- [6] 顾朝志, 李世宝, 蔡丽萍, 等. 基于通用软件无线电的通信专业实验实践平台建设 [J]. 教育现代化, 2018, 5 (52): 175-176.
- [7] 李 毅, 杨 栋, 李晓辉. 基于 LabVIEW-USRP 的直接序列扩频通信系统仿真实验 [J]. 实验技术与管理, 2018, 35 (12): 139-142.
- [8] 徐淑正, 孙忆南, 皇甫丽英, 等. 基于软件无线电平台的无人机入侵检测 [J]. 实验室研究与探索, 2018, 37 (12): 64-67.
- [9] 赵 莉, 李 司. 基于 ZYNQ 和 AD9361 的软件无线电平台设计与实现 [J]. 移动通信, 2018, 42 (12): 63-67.
- [10] 桑志国. 基于软件无线电平台 USRP 的 RF 信号分析系统的研究及设计 [J]. 工业控制计算机, 2018, 31 (11): 36-37.
- [11] 王 茵, 莫金容, 施燕峰, 等. 一种无干扰可配置的后向散射无线传感网络架构 [J]. 传感技术学报, 2018, 31 (9): 1411-1418.
- [12] 宋静亮. 基于 AD9361 的 MIMO 系统平台及其同步技术研究 [J]. 电子质量, 2018 (8): 81-86.
- [13] 曾荣鑫, 翟旭平. 基于集成芯片的软件无线电射频前端设计与实现 [J]. 移动通信, 2018, 42 (8): 84-90.
- [14] 茹明花. 软件无线电接收机的仿真与实现 [J]. 信息技术与信息化, 2018 (7): 41-43.
- [15] 陈 松. 基于软件无线电的可重构数传发射机系统设计 [D]. 哈尔滨: 哈尔滨工业大学, 2018.
- [16] 袁良晨. 基于 AD9361 软件无线电收发机设计与实现 [D]. 西安: 西安科技大学, 2018.
- [17] 景 志. 频带折叠式信道化数字中频接收机的建模仿真 [J]. 信息技术, 2015 (7): 201-204.
- [18] 侯缙玲, 丁 晟, 漆庄平, 等. 基于 AD9777 的卫星扩频发射机的设计与实现 [J]. 信息技术, 2014 (11): 21-24.
- [19] 廖梦新, 刘佩林, 应忍冬. GPS 数字中频信号软件模拟器设计与实现 [J]. 信息技术, 2012, 36 (5): 47-51.