

基于 eFPGA 的通信基带加速器的逻辑重构设计

刘朋, 李斌, 常迎辉, 郝亚男, 赵月明

(中国电子科技集团公司 第五十四研究所, 石家庄 050000)

摘要: 为解决 CMOS 器件特征尺寸缩小带来的 SoC (片上系统) 芯片可靠性失效的问题, 提出了一种基于 eFPGA (嵌入式 FPGA) 的在线编程功能实现故障电路逻辑重构的方法; 对 eFPGA 技术优势、JTAG (联合测试工作组协议) 工作原理进行了分析, 选取通信基带信号处理的典型算法: FFT (快速傅里叶变换)、FIR (有限脉冲响应) 滤波算法为例, 模拟通信基带加速器功能失效时, 借助 JTAG 技术配置新的互连关系, 利用 eFPGA 进行逻辑重构, 替代通信基带加速器结构实现功能自愈; 仿真及验证结果显示 eFPGA 在面积与功耗方面具备优势, 此方案可以实现预期逻辑重构的功能, 能有效提高系统可靠性与灵活性。

关键词: eFPGA; SoC; JTAG; 逻辑重构; 通信基带加速器

Logic Reconfiguration Design of Communication Baseband Accelerator Based on eFPGA

Liu Peng, Li Bin, Chang Yinghui, Hao Yanan, Zhao Yueming

(54th institute of China Electronic Technology Corporation, Shijiazhuang 050000, China)

Abstract: In order to solve the problem of SoC reliability failure caused by feature size reduction of CMOS devices, a scheme which realize logic reconfiguration of fault circuit based on online programming function of eFPGA is proposed. The technical advantages of eFPGA and the working principles of JTAG are analyzed. The typical communication baseband signal processing algorithms, such as FFT (fast fourier transform) algorithm and FIR (finite impulse response) filtering algorithm, are selected as example to simulate the logic reconfiguration when communication baseband accelerator function fails. JTAG technology is used to reconfigure the interconnection, therefore the eFPGA replaces the structure of communication baseband accelerator to realize function self-healing. Simulation and verification results show that eFPGA has advantages in area and power consumption. This scheme can achieve the expected logic reconfiguration function and effectively improve the reliability and flexibility of system.

Keywords: eFPGA (embedded FPGA); SoC (system on chip); JTAG (joint test action group); logic reconfiguration; communication baseband accelerator

0 引言

随着微电子技术进入 SoC (system on chip, 片上系统) 时代, 小型化成为集成电路的发展方向之一。由于特征尺寸的不断缩小, NBTI (negative bias temperature instability, 负偏压温度不稳定性) 效应、HCI (Hot Carrier Injection, 热载流子注入) 效应引发的器件可靠性问题愈发凸显。在航天应用中, 受空间辐射影响, 星载电子设备中 CMOS 器件逻辑电平翻转引发错误的现象时有发生。当 SoC 芯片出现功能性故障或可靠性故障时, 传统的纠错方法主要是通过模块冗余 (如三模冗余) 方法实现, 存在资源开销大、执行效率低等缺陷。

SoC 芯片集成度的不断提高使得第三方 IP 核复用成为芯片设计的关键思路。eFPGA 由于面积小、可移植性好, 能够以 IP 核的形式嵌入 SoC 芯片中, 在改善信号延迟、提

升计算性能方面具备优势。eFPGA 的可编程性使得通过逻辑重构实现故障电路的自愈功能成为可能。通信基带加速器作为 SoC 芯片的关键部分, 承担着数字信号处理的功能, 通常使用 ASIC 平台实现。当通信基带加速器发生功能故障时, 可以从 FLASH 中取出预先存储的比特流信息, 通过 JTAG 扫描链导入 eFPGA 进行配置实现逻辑重构, 同时断开通信基带加速器的互连总线, 并配置 eFPGA 的互连关系, 从而利用 eFPGA 执行通信基带加速器功能, 实现电路故障自愈。对通信基带加速器的逻辑重构, 关键在于对其核心算法的实现和执行。

1 eFPGA 技术优势

FPGA (Field Programmable Gate Array, 现场可编程门阵列) 作为 ASIC (application specific integrated circuit, 专用集成电路) 领域中的一种半定制电路出现, 其优点在于其逻辑功能可由用户通过软件编程实现在线配置, 并且可以反复擦写。但随着芯片不断向小型化发展, 传统 FPGA 使用中存在的缺点逐渐显现: 在硬件加速应用中, 通常

收稿日期: 2019-07-22; 修回日期: 2019-08-20。

作者简介: 刘朋 (1993-), 男, 河北黄骅人, 硕士研究生, 主要从事数字集成电路方向的研究。

会浪费很多可编程资源和外围接口资源; 标准 FPGA 与 ASIC 之间的接口存在显著的延迟, 难以满足高速计算的需求; 功耗高、面积大、成本浪费严重。eFPGA (embedded FPGA, 嵌入式 FPGA) 则很好地克服了上述缺点。eFPGA 是指可作为 IP (intellectual property, 知识产权) 模块集成到 SoC 中的 FPGA (如图 1 所示), 可将 ASIC 设计的高性能和 FPGA 模块的灵活性有效结合起来, 面积小、功耗低, 可显著降低资源开销。

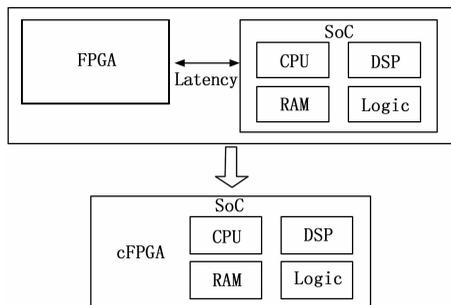


图 1 SoC 集成 eFPGA

eFPGA 对比传统 FPGA 具有诸多优点。从连接方式上看, eFPGA 通过内部连线直接集成 SoC, 不需要大型可编程输入/输出缓冲, 降低了接口延迟, 提高了接口带宽的性能 (可实现 10000 个以上的 I/O 连接); 从功能定制上看, 灵活度更高, 可根据应用需求定义 LUT (look-up table, 查找表)、BRAM (block RAM, 块随机存储器) 和 cDSP (core DSP, 数字信号处理器核) 的数量, 优化资源配置。

eFPGA 承担数字信号处理功能, 可显著提升数据吞吐量。eFPGA 省去了 SERDES (高速串并转换器)、PLL (锁相环)、硬核 IP 总线接口、GPIO (通用输入/输出) 缓存等结构, 通过精细时钟门控 (fine grain clock gating) 降低了动态功耗, 通过高密度互连节省了面积。

图 2 为 eFPGA 的基本结构。eFPGA 基本单元为 RBB (Reconfigurable Building Block, 可重构单元块)。RBB 按照功能可分为 Logic RBB、DSP RBB、I/O RBB 三类, 分别执行逻辑运算、数字信号处理、输入/输出接口的功能。eFPGA 经过平面规划后生成阵列结构, 包含外围 I/O RBB、Logic 核、DSP 核、内嵌 BRAM。图示 eFPGA 为 2 个 Logic 核、2 个 DSP 核构成的 2x2 结构。其中 DSP 核由 Logic RBB、DSP RBB、互连网络及 I/O RBB 构成。DSP RBB 是由 22 位预加器、22x22 位定点乘法器、48 位累加器构成的乘积累加器, 可实现乘加运算; Logic 核不包含 DSP RBB, 由 Logic RBB 构成, Logic RBB 包含 4 个 6 输入 LUT 及 8 个 FF (Flip-Flop, 触发器), 用以实现可编程逻辑; I/O RBB 包含 4 个 FF, 支持触发、直通模式, 其中 2 个连接输入端, 2 个连接输出端。RBB 资源与内嵌 BRAM、互连网络、外部 I/O 接口共同构成了 eFPGA 的基本结构。

eFPGA 逻辑重构流程如图 3 所示。在系统设计阶段对逻辑重构目标进行系统评估, 完成各个功能模块的设计。

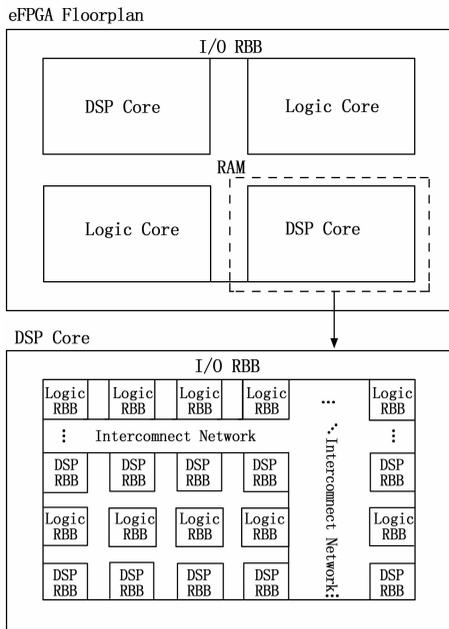


图 2 eFPGA 结构

使用 RTL (Register Transfer Level, 寄存器传输级) 语言编写 HDL 文件输入综合工具, 综合后生成门级网表, 映射到 eFPGA 逻辑器件。编译器分析映射后网表文件生成资源利用评估报告。平面规划实现对基本逻辑单元、数字处理单元的资源选择及分配, 生成 Logic 核与 DSP 核的阵列结构, 并在 DSP 外围插入内嵌 BRAM。经过布局布线完成内部资源的连接, 并生成时序报告。最后将布局布线后的网表文件编程配置, 生成二进制比特流, 预先存储到外部 FLASH 中。逻辑重构时, 比特流通过 JTAG 加载至 eFPGA, 完成配置后执行目标功能。



图 3 eFPGA 逻辑重构流程

2 基于 JTAG 测试模式的互连关系重构

随着 SoC 芯片集成度的提高, 为改善传统电路可靠性

测试方法的不足，业界提出了电路可测试性设计 (design for testability, DFT)。其中的 JTAG (joint testaction group, 联合测试工作组协议) 技术利用边界扫描 (Boundary scan) 实现电路内部的测试，并应用于在系统内可编程 (In-System Programmable, ISP) 技术中。

JTAG 边界扫描寄存器链由 TAP (test access port) 控制器控制。TAP 是一个标准端口，有 5 个信号接口，分别为输入接口：TCK (test clock, 测试时钟)、TRST (test reset, 测试重置复位)、TMS (test mode select, 测试模式选择)、TDI (test data input, 测试数据输入) 和输出接口：TDO (test data output, 测试数据输出)。TCK 驱动 TAP 状态机的运行，TRST 对 TAP 控制器进行复位，TMS 控制 TAP 状态机的状态转换，TDI 与 TDO 串行输入和输出测试数据。在正常工作模式下，边界扫描寄存器链处于旁路状态，数据由 Input 输入，从 Output 输出；在测试模式下，边界扫描寄存器链启用，实现对 eFPGA 输入输出引脚及内部逻辑信号的观测，也可以加载比特流到 eFPGA 内部电路，从而进行逻辑功能重构。通过 TDI 和 TDO 端口串行输入和输出测试数据，可实现对 eFPGA 的调试 (如图 4 所示)。

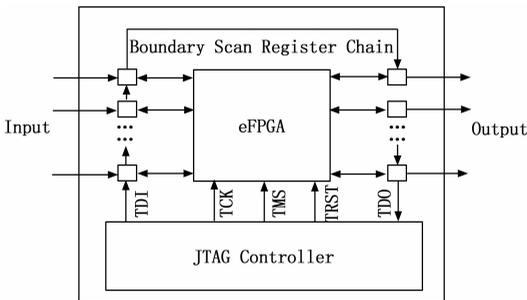


图 4 带有 JTAG 边界扫描寄存器链的 eFPGA

通信基带加速器正常工作时，信号由外部存储器经 DMA (direct memory access, 直接存取) 读取送入总线，在总线上传输至通信基带加速器，经过处理后将计算结果返回总线，进入下一级。数据通路为：外部存储器—DMA—总线—通信基带加速器—总线。当系统检测到通信基带加速器某模块发生功能故障时，信号传输至故障模块前经 JTAG 扫描链导入 eFPGA，eFPGA 实现故障模块功能，在 eFPGA 中处理后，再返回通信基带加速器进行故障模块之后的处理。此时的数据通路为：外部存储器—DMA—总线—通信基带加速器—JTAG 扫描链—eFPGA—JTAG 扫描链—通信基带加速器—总线。具体实现方法如图 5 所示。

在通信基带加速器外围 JTAG 扫描链中接入故障监测传感器，当故障发生时，传感器将故障信息发送至 CPU，由 CPU 向 eFPGA 发送信息，eFPGA 在内置 FCU (FPGA configuration unit, FPGA 配置单元) 控制下进入配置模式 (configuration mode)。FCU 选择 Flash 模式直接从 Flash 中读取预先存储的比特流信息，导入 eFPGA 中，编程配置内

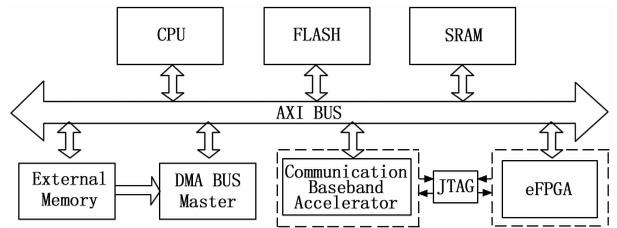


图 5 eFPGA 互连关系重构

部逻辑。配置完成后，FCU 将 eFPGA 转换为用户模式 (user mode)，执行故障模块的逻辑功能。信号在输入通信基带加速器故障模块 (如 FFT 算法模块、FIR 滤波模块) 前，在故障模块的输入端口被 JTAG 控制器读取，越过故障模块，经由 JTAG 扫描链接入 eFPGA 输入端口。数据在 eFPGA 中处理后由输出端口输出，经 JTAG 扫描链传输回通信基带加速器的下一功能模块执行后续的处理。借助 JTAG 扫描链屏蔽掉故障模块重构了互连关系，从而形成了新的完整数据通路。

3 通信基带加速器典型算法设计

在通信基带加速器中，OFDM (Orthogonal Frequency Division Multiplexing, 正交频分复用) 技术由于能够有效改善频率选择性衰落、提高频谱利用率而得到了广泛应用。选取 OFDM 典型算法：FFT (Fast Fourier Transform, 快速傅里叶变换) 算法、FIR (Finite Impulse Response, 有限脉冲响应) 滤波算法进行设计，用于 eFPGA 对通信基带加速器逻辑重构的仿真及验证。

OFDM 基带信号处理流程如图 6 所示。比特流输入后进行前向纠错编码及交织以提升纠错能力，在串并变换模块中，串行高速数据转换为低速并行数据以减小传输中出错概率。每一路并行数据分配到各个子信道上 (即映射到相互正交的窄带子载波上)，经过 IFFT (Inverse FFT, 快速傅里叶逆变换) 变换为时域的叠加信号，插入循环前缀后构成实际发送信号。经过处理的各路并行信号变换为串行信号，经过数/模变换、低通滤波，上变频后进入信道中传输。在接收端执行相反的流程。下变频后进行低通滤波、模/数变换、串/并变换，各路并行信号分别去除循环前缀后通过 FFT 模块，实现各个子载波上的数据提取，进而还原出每一路并行数据。经过并/串变换、解交织、前向纠错译码，最终输出原始比特流。OFDM 实现了多载波调制，将信道划分为若干相互正交的窄带子载波，将串行高速数据转化为并行低速数据调制到子信道上传输，从而有效抑制符号间干扰 (inter-symbol interference, ISI)，提升抗多径和抗衰落能力。

由信号处理流程分析可见，OFDM 系统调制、解调并行数据的核心算法是 IFFT 与 FFT；在发送端通过 IFFT 模块用多路基带数字信号调制子载波并叠加；在接收端通过 FFT 模块实现子载波分离并解调。

DFT (discrete fourier transform, 离散傅里叶变换) 实

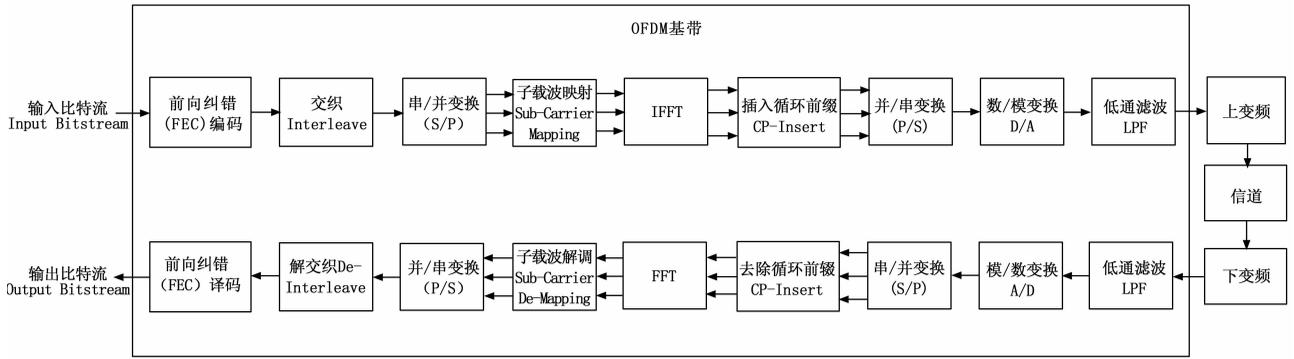


图 6 OFDM 基带信号处理流程

现了数字信号由时域到频域的变换, 是基带数字信号处理的常用方法。DFT 将时域的周期离散信号变换为频域的离散傅里叶级数, 将待分析的信号分解为相互正交的正弦波, 以便提取信号的频率及相位特征。DFT 快速算法统称 FFT, 显著改善了 DFT 计算效率低的问题。对于 N 点序列的计算, 传统 DFT 算法需要 N^2 次复乘、 $N(N-1)$ 次复加, 而 FFT 算法可将复乘及复加次数降低至约 $(N/2)$, 有效提升了计算速度。

N 点 DFT 定义为式 (1):

$$X[m] = \sum_{k=0}^{N-1} x[k]W_N^{km}, \quad m = 0, 1, \dots, N-1 \quad (1)$$

其中: 旋转因子 $W_N^{km} = e^{-j\frac{2\pi}{N}km}$ 。利用旋转因子的周期性、对称性、可约性执行蝶形运算, 以提高 DFT 效率。FFT 点数通常选择 2 的整数次幂, 便于蝶形运算。为减小路径间干扰 (inter-path interference, IPI) 引入循环前缀 (cyclic prefix, CP) 保护, 工程中选取尽可能大的 FFT 点数以减小循环前缀开销。本文选取 256 点 FFT 算法进行 eFPGA 仿真。

基带信号经调制进入信道传输的过程中, 信道时变现象调制子载波, 会削弱子载波间的正交性, 引入子载波间干扰 (inter-carrier interference, ICI)。在基带信号进入信道之前使用低通滤波器滤除高频分量, 以抑制干扰。FIR 滤波器的设计关键在于单位脉冲响应 $h[k]$ 的设计, 使增益响应满足滤波指标要求。FIR 低通滤波器将输入信号 $x[n]$ 与 $h[k]$ 卷积运算得到输出信号, 高于截止频率的高频分量在卷积过程中被滤除, 从而实现低通滤波。式 (2) 给出了 FIR 滤波算法的卷积公式, 其中 N 为滤波器阶数。

$$y[k] = x[k] * h[k] = h[k] * x[k] = \sum_{n=0}^{N-1} h[n]x[k-n] \quad (2)$$

FIR 低通滤波器在数字电路中由延迟线、加法器、乘法器组成的复合结构实现, 每个乘法器对应一个 FIR 系数 $h[k]$, 即 Tap (抽头) 权重。 $h[k]$ 的个数 k 与滤波器阶数 N 相等。图 7 所示为 40 阶 FIR 滤波器结构。

本文选取 40Tap 的 FIR 低通滤波算法进行 eFPGA 仿

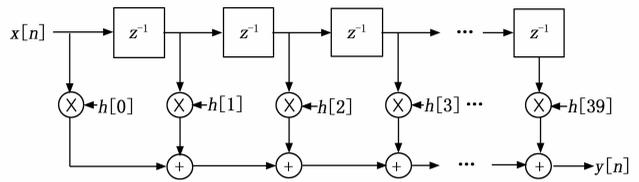


图 7 40 阶 FIR 滤波器结构

真。设计偶对称的系数序列作为单位脉冲响应 $h[k]$, 以实现低通滤波功能。使用 Matlab 绘图, 如图 8 所示。

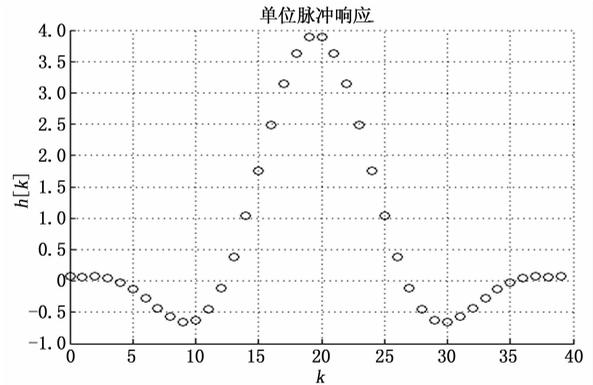


图 8 抽头系数设计

4 仿真实验分析

使用 28 nm 工艺制程 eFPGA 评估板验证 FFT 算法与 FIR 算法。使用综合工具将 HDL 文件综合后生成 EDIF 文件, 和 IO 定义文件、RAM 定义文件、Floorplan 文件输入 eFPGA 编译器进行编译, 经过网表映射得到资源利用报告。报告显示了实现设计所需要的三类 RBB 基本单元 (Logic、DSP、I/O) 及查找表、触发器的数量。根据资源需求计算逻辑核、DSP 核的数量, 进而预测最小面积。

映射后网表经平面规划、布局布线后进行静态时序分析 (Static Timing Analysis, STA) 得出各时钟域的时钟扇出以及可实现的最高频率、平均功耗。

根据布局布线后网表生成 Bitstream (比特流), 下载到 eFPGA 中完成配置。输入激励信号执行逻辑功能。eLA (embedded Logic Analyzer, 嵌入式逻辑分析仪) 设计在 eF-

PGA 上运行, 实现对内部信号的观测及功能的调试。利用 eLA 读取测试结果, 生成波形文件。使用 Gtksave 工具观测波形。

4.1 FFT 仿真验证分析

对不同频率的连续正弦波叠加后采样, 得到离散数据, 作为激励输入。设定加权系数为 0.25、0.25、0.75, 对频率为 1.5625 MHz、6.25 MHz、25 MHz 的 cos 函数、sin 函数分别叠加得到两路连续信号, 再以 200 MHz 的采样频率分别采样得到两路离散信号, 作为实部、虚部两路正交信号激励。使用 Matlab 仿真 256 点 FFT, 得到频谱图, 如图 9 所示。

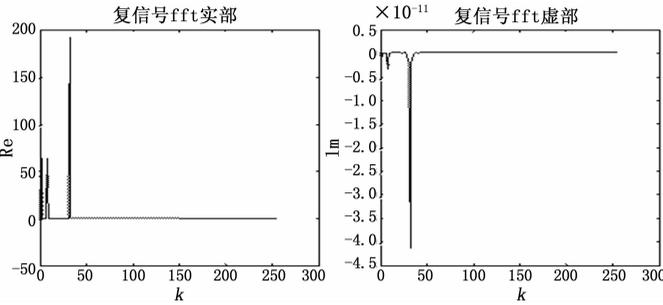


图 9 FFT 算法 Matlab 仿真结果

图中纵坐标与信号幅值成正比例关系, 横坐标为点数, 每一个点对应一个频率。由于采用 256 点 FFT 算法, 采样频率设定为 200 MHz, 故第 256 点对应 200 MHz 频率。以此类推, 第 k 个点对应频率为 $(k - 1) * (200/256)$ MHz。由 FFT 理论可知, 复信号实部 FFT 实部图像偶对称, 复信号虚部 FFT 实部图像奇对称, 复信号 FFT 实部图像是两个图像的叠加结果, 负频率抵消, 正频率加倍。由复信号 FFT 实部频谱图可知, 在第 2 点、第 8 点、第 32 点处出现明显峰值, 且比例为 1: 1: 3, 对应频率 1.562 5 MHz、6.25 MHz、25 MHz。

Bitstream 下载至 eFPGA 评估板完成配置, 输入激励后生成波形文件。在 Gtksave 中观测验证结果。从图 10 中可以看出, 指定 RDY 为 eLA_TRIGGER, 在 20 ns 处 RDY 拉低后开始执行 FFT 算法。截取 20 ns 后 1024 ns 波形为一个周期, 观测到 FFT 实部输出信号 DOR 在第 8 ns、第 32 ns、第 128 ns 处出现明显峰值, 幅度比为 1: 1: 3, 分别对应 1.562 5 MHz、6.25 MHz、25 MHz 频率。验证结果与 Matlab 仿真结果对比, 频谱基本一致。

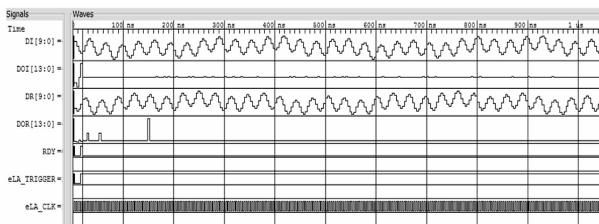


图 10 FFT 算法 eFPGA 评估板验证结果

使用 eFPGA 编译器进行资源利用评估, 评估结果如表 1 所示。

表 1 FFT 算法 eFPGA 资源利用与性能评估

资源	Logic RBB	LUT	FF	DSP RBB	I/O RBB	频率/MHz	扇出 RBB	面积 /mm ²	功耗 /mW
指标	2154	4515	4264	4	93	177.78	2162	6.4	82.67

由表 1 可见, 此 FFT 算法仿真可实现 177.78 MHz 的工作频率。eFPGA 功耗为 82.67 mW, 面积为 6.4 mm², 面积及功耗较为理想, 可以满足 SoC 集成的要求。

4.2 FIR 仿真验证分析

设定采样频率为 200 MHz, 截止频率为 20 Mhz。设计 Tap 个数为 40 的低通滤波器。使用 Matlab 计算得到图 11 中的增益响应。

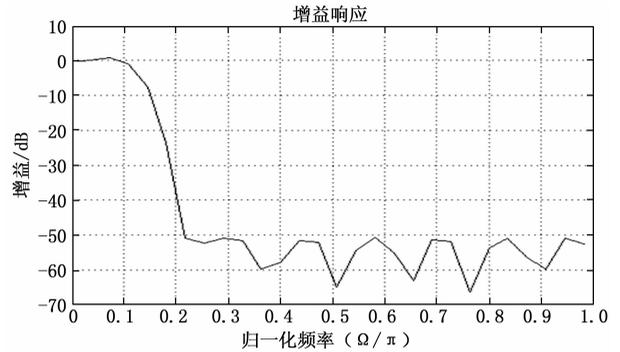


图 11 FIR 滤波器增益响应 MATLAB 仿真结果

图中横坐标为归一化频率, 数值 1 处与 200 MHz 频率对应。在 0~0.1 之间 (对应 0~20 MHz 频段) 增益响应为 0 dB, 0.1 (20 MHz 频率) 后快速衰减, 在 0.2 (40 MHz) 后降至 -40 dB。此 FIR 滤波器模型可滤除高于 20 MHz 频率的信号分量。

将编译后得到的 Bitstream 加载到 eFPGA 评估板完成配置, 将频率为 31.25 MHz、7.8125 MHz 的两路正弦波叠加后采样, 得到输入信号 DI, 作为激励输入 eFPGA。计算后输出波形文件, 显示输出信号 DO 近似为 7.8125 MHz 正弦波。

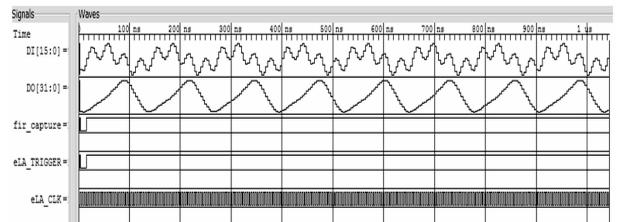


图 12 FIR 算法 eFPGA 评估板验证结果

使用 eFPGA 编译器进行资源利用评估, 评估结果如表 2 所示。

表 2 FIR 滤波器 eFPGA 资源利用与性能评估

资源	Logic RBB	LUT	FF	DSP RBB	I/O RBB	频率/MHz	扇出 RBB	面积 /mm ²	功耗 /mW
指标	639	2083	563	36	93	211.73	650	4.8	115.17