

# 基于 FPGA 的伺服电机转速控制系统研究

张 龙<sup>1,2</sup>, 叶 松<sup>2</sup>, 张宝国<sup>1</sup>

(1. 西北核技术研究院, 西安 710024; 2. 国防科技大学 气象海洋学院, 南京 211101)

**摘要:** 构建了基于 FPGA 的伺服电机转速控制系统, 选用高精度光电编码器作为位置传感器, 结合同步时间信号, 实现了对电机转速的闭环反馈控制; 首先, 采用 RS-422 串行通信总线和 ADM3485 接口芯片实现了编码器与 FPGA 之间的数据传输; 其次, 运用三模式以太网 MAC、GTP 高速串行收发器等 Xilinx IP 核、88E1111 PHY 芯片和 UDP 通信协议, 实现了 FPGA 与上位机之间的高速以太网数据通信; 最后, 运用 ChipScope Pro 在线逻辑分析仪对设计方案进行在线仿真; 仿真和实验结果表明, 该控制系统具有较高的控制精度, 额定转速下的速度控制精度可达 1 r/min, 位置控制精度可达 0.03°。

**关键词:** 转速控制系统; 伺服电机; 光电编码器; FPGA; 以太网通信

## Research on Speed Control System of Servo Motor Based on FPGA

Zhang Long<sup>1,2</sup>, Ye Song<sup>2</sup>, Zhang Baoguo<sup>1</sup>

(1. Northwest Institute of Nuclear Technology, Xi'an 710024, China;

2. College of Meteorology and Oceanography, National University of Defense Technology, Nanjing 211101, China)

**Abstract:** In this study, the speed control system of servo motor based on FPGA was constructed. A high precision optical encoder was selected as the position sensor. Combining with synchronous time signal, the closed-loop feedback control of the servo motor speed was established. Firstly, the data transmission between encoder and FPGA was carried out by RS-422 serial communication bus and ADM 3485 interface chip. Furthermore, the high-speed Ethernet data communication between FPGA and host computer was accomplished by using several Xilinx IP core, such as three-mode Ethernet MAC and GTP high speed serial transceivers. Moreover, 88E1111 PHY chip and UDP communication protocol were also implemented in this study. Finally, the design scheme was simulated by ChipScope Pro online logic analyzer. The simulation and experiment results showed that the control system has good control accuracy. The speed control accuracy at rated speed is 1r/min, and the position control accuracy is 0.03°.

**Keywords:** speed control system; servo motor; optical encoder; FPGA; ethernet communication

## 0 引言

在高速高精度伺服控制系统中, 通常选用增量式光电编码器作为位置传感器, 结合同步时间信号和闭环反馈控制算法实现对伺服电机转速的精确控制<sup>[1]</sup>。随着伺服控制需求的提高, 传统的以单片机或 DSP 等微处理器为核心的伺服控制系统表现出系统结构复杂、应用灵活性差、运算能力不足等缺陷, 已难以满足伺服控制系统对速度和精度的要求<sup>[2]</sup>。

随着集成规模和运算速度的不断提升, FPGA 器件被广泛应用于伺服系统控制领域。与单片机、DSP 等传统控制方式相比, 基于 FPGA 的伺服控制系统具有以下优点: 采用硬件并行处理技术的 FPGA 器件比 DSP 芯片具有更快的运算速度和更低的功耗; 相比于单片机的软件控制方式, FPGA 通过硬件电路执行控制指令, 不存在程序跑飞、软件延时等问题, 提高了伺服系统的稳定性和准确性; FPGA 器件内部集成有通信接口、数据缓存、专用 IP 核等功能模块, 使得电路设计更加灵活多样, 有效缩短了开发周期,

提高了设计效率<sup>[3-4]</sup>。

本文构建了基于 FPGA 的伺服电机转速控制系统, 选用高精度光电编码器作为位置传感器, 结合同步时间信号, 实现了对电机转速的闭环反馈控制。仿真和实验结果表明, 控制系统具有较高的控制精度和响应速度, 额定转速下的速度控制精度可达 1 r/min, 位置控制精度可达 0.03°, 并且能够执行较为复杂的伺服控制算法, 可实现对电机转速的精确控制。

## 1 系统总体结构

控制系统结构框图如图 1 所示, 主要包括伺服电机转速控制模块、光电编码器数据读取模块以及 FPGA 与上位机数据通信模块。系统工作方式如下:

1) 在上位机软件控制下, FPGA 向伺服驱动器发出速度指令, 驱动电机转动。

2) 在电机转动过程中, 光电编码器测量电机转轴的位置信息, 并在 FPGA 时钟脉冲驱动下, 通过 RS-422 串行通信总线将编码序列传输至 FPGA。FPGA 根据电机转轴位置及同步时间信号计算电机的实时运行速度, 通过 PID 算法实现对伺服电机转速的闭环反馈控制。

3) 为减小数据传输延时造成的测量误差, 本文采用高速以太网通信方式实现 FPGA 与上位机之间的数据交换,

收稿日期: 2019-04-12; 修回日期: 2019-05-28。

作者简介: 张 龙(1992-), 男, 山东潍坊人, 助理工程师, 主要从事仪器科学与技术方向的研究。

其通信接口主要由 Xilinx FPGA 内部集成的相关 IP 核实现, 具体为: 由三模式以太网 MAC IP 核实现 MAC 子层协议, 由 GTP 高速串行收发器及 PHY 芯片 88E1111 实现物理层协议。

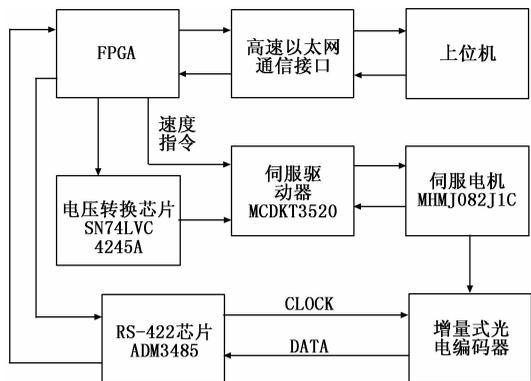


图 1 控制系统结构框图

## 2 各功能模块实现方法

### 2.1 伺服电机转速控制模块

伺服电机具有体积小、重量轻、响应速度快、过载能力强等优点, 在工业测控领域得到广泛应用。目前, 高性能伺服控制系统多采用永磁同步交流伺服电机及与之匹配的全数字式伺服驱动器, 主流生产厂家包括美国 Kollmorgen 公司、德国 Siemens 公司、日本松下公司等<sup>[5]</sup>。本系统中选取松下 MINAS-A5 II 系列伺服电机及驱动器, 该系列伺服电机具有良好的速度控制性能, 能够实现整个速度区间内的平滑控制, 并且具有较高的控制精度和响应速度。

在该伺服控制系统中, FPGA 主要实现以下功能: 通过高速以太网接口与上位机进行通信, 接收上位机发出的速度控制指令, 并向伺服驱动器发出相应的控制信号; 通过 RS-422 串行通信接口读取光电编码器的二进制编码序列, 并将其反馈至上位机; 根据时间信号和位置信号运行闭环反馈控制算法, 实现对电机转速的精确控制。为调整 FPGA 和伺服驱动器的工作电平差异, 选取 TI 公司生产的 SN74LVC4245A 芯片实现二者之间的电平转化, 其接口电路如图 2 所示。

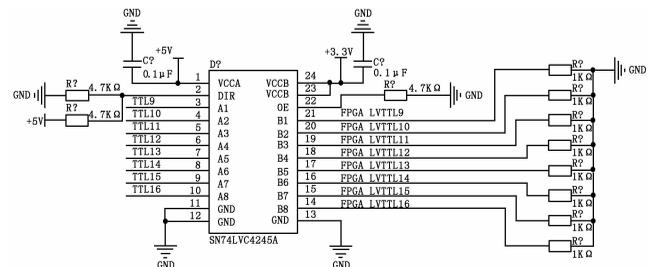


图 2 电平转换接口电路

### 2.2 光电编码器数据读取模块

光电编码器是一种集电子、光学、机械等多学科于一体的角度传感器, 具有抗干扰能力强、分辨率高、可靠性

好、体积小、重量轻和易于维护等优点。通常安装于机械设备转轴上, 可将旋转轴的角度位移量转换为二进制(或格雷码)编码序列, 并传输给计算机或其他测控设备, 为机电系统的闭环控制提供位置反馈信息。将转轴位置信息与时间信息相结合, 还可以获得速度、加速度等信息, 可用于系统的闭环反馈控制<sup>[6-7]</sup>。

目前, 较为知名的光电编码器制造商主要有美国 Itek 公司, 日本 Nikon、Connon 公司, 德国 Meyle、Hengstler 公司等。本文选取 Hengstler AC36 型增量式编码器作为位置传感器, 其分辨率为 13 位, 精度可达 ±35", 采用 SSI 同步串行接口通信协议, 输出编码格式为二进制码。

SSI 接口是一种具有帧同步信号的串行通信接口, 大多数高精度编码器均采用该接口方式。SSI 采用主控芯片主动读取方式, 在时钟脉冲驱动下, 从最高有效位读取编码器的编码序列, 通过时钟、数据同步的串行方式完成数据传输。基于上述特征, 本文采用 RS-422 串行通信总线读取编码器输出的编码序列。

RS-422 是目前广泛采用的一种串行传输总线, 由于其接收器采用了高输入阻抗和发送驱动器技术, 使得 RS-422 具有更强的数据传输能力, 最高传输速度可达 10 Mbps, 最大传输距离为 4 000 英尺, 可实现点对多点的双向通信, 并且具有抗干扰能力强、通信成本低等优点<sup>[8]</sup>。ADM3485 是一种低功耗差分线路收发器, 在整个共模范围内符合 RS-422/RS-485 通信协议, 数据传输速率可达 10 Mbps。本文选取 ADM3485 串行接口芯片和 RS-422 数据传输总线完成编码器通信接口电路的设计, 其结构如图 3 所示。

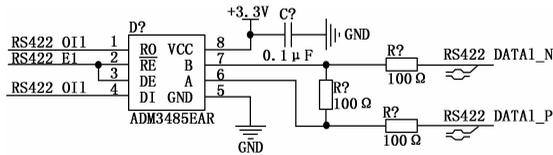


图 3 编码器通信接口电路

### 2.3 高速以太网通信接口设计

作为目前主流的局域网技术, 千兆以太网沿用了原有以太网标准所规定的技术规范, 包括 CSMA/CD 协议、以太网帧格式、流量控制等, 同时又包含了 8 B/10 B 线路编码、载波扩展等新技术。相比于 USB、RS-485 等通信总线, 千兆以太网在传输速度和通用性等方面具有更强的优势, 并且可以直接连接到 Internet, 具有更大范围的远程访问能力<sup>[9-10]</sup>。基于上述优势, 本文选取千兆以太网方式实现 FPGA 与上位机之间的通信。

千兆以太网通信接口的设计重点在于网络结构的 MAC 子层和物理层, 其中 MAC 子层主要通过以太网 MAC 控制器实现, 常用设计方式有两种: 一种是将 MAC 子层和物理层集成在一块专用芯片上, 通过网络芯片方式实现千兆以太网接入, 常用的千兆以太网芯片主要有 Marvell 公司的

88E8040、Realtek 公司的 RTL8168 等。另一种是调用 FPGA 内部集成的相关 IP 核作为以太网 MAC 控制器，通过 PHY 芯片实现物理层设计。目前，Xilinx、Altera 等主流 FPGA 生产厂家均推出了支持 10/100/1 000 Mbps 等多种传输速率的以太网 MAC 控制器 IP 核，显著降低了网络接口的设计难度。

本文选用 Xilinx 公司的三模式以太网 MAC、GTP 高速串行收发器等 IP 核以及 Marvell 公司的 PHY 芯片 88E1111，实现了千兆以太网的接口设计，其结构如图 4 所示。

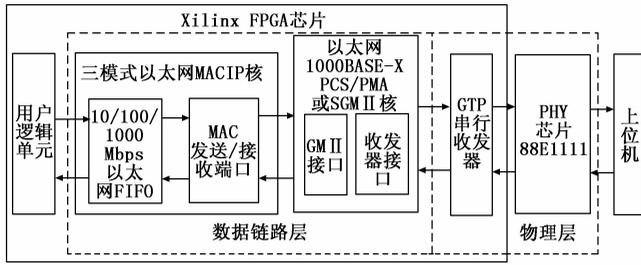


图 4 千兆以太网通信接口结构框图

其中，用户逻辑单元用于实现以太网的上层传输协议，自定义数据帧格式并完成数据包的初步封装。三模式以太网 MAC IP 核是网络接口的核心部分，主要用于完成以下任务：在用户逻辑单元生成的初步封装的数据帧中添加帧首部、校验码等字段，将其转化为标准的以太网数据帧格式，并完成数据包的发送或接收。以太网 1000BASE-X PCS/PMA 或 SGMII 核用于实现 MAC 层与物理层间的串行通信接口设计，其内部的 GMII 接口和收发器接口分别连接到以太网 MAC IP 核的数据发送/接收端口和 GTP 串行收发器，最终实现速率为 1 000 Mbps 的高速串行数据传输。

网络接口的物理层协议由 GTP 串行收发器及 PHY 芯片共同实现。GTP 串行收发器主要包括线路编码/译码器、串行/解串器、发送/接收 FIFO 等模块，可实现 8 B/10 B 线路编解码、数据串并转换等功能。根据网络接口各模块的功能需求，PHY 芯片需支持 1000BASE-T 传输介质标准及 GMII、RGMII、SGMII 等多种接口模式。基于上述需求，选择 Marvell 公司的千兆以太网 PHY 芯片 88E1111 实现网络接口的物理层协议。该芯片支持 10/100/1 000 Mbps 三种以太网传输速率以及 GMII、RGMII、SGMII 等多种接口协议，支持传输介质及线路故障的自动检测，可通过 5 类非屏蔽双绞线实现物理层的数据收发功能<sup>[11-12]</sup>。

### 2.4 UDP 通信协议实现

以太网传输层协议主要包括 TCP 和 UDP 两类，其中 TCP 协议通过数据发送端和接收端的多次握手操作来确保数据传输过程的准确性，因此会造成数据传输速度慢、系统资源占用多等缺陷。相比于 TCP，UDP 是一种无握手操作的传输协议，在数据传输过程中，收发双方不需建立链接，因而程序结构更简单，对系统资源的要求更低，且具

有更高的数据传输效率<sup>[13-14]</sup>。基于上述对比，本文选取 UDP 协议作为 FPGA 与上位机之间的以太网数据传输协议。

UDP 协议数据传输过程如图 5 所示，来自于发送端的数据依次经过 UDP/IP 协议栈，并根据其格式要求添加 UDP/IP 数据包头。经初步封装的数据在 MAC 子层中添加以太网帧头部、尾部等字段，将用户数据封装为标准以太网数据帧格式并完成数据传输。以太网帧在物理层完成数据解封，还原用户数据并将其传输至接收端。

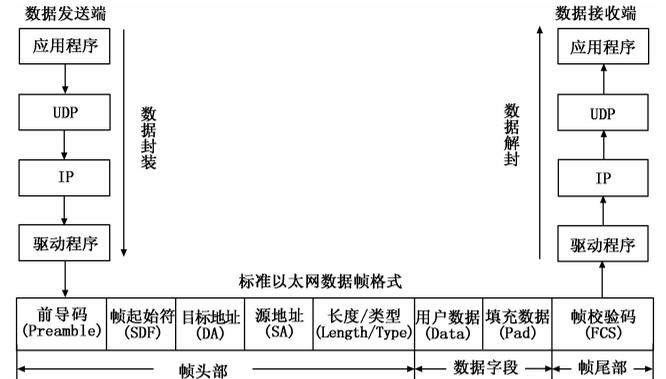


图 5 UDP 协议数据传输过程

## 3 实验验证与分析

ChipScope Pro 在线逻辑分析仪是由 Xilinx 公司推出的一款虚拟逻辑分析工具，该工具可在 FPGA 内部时钟的触发下捕获用户需要了解的芯片内部的信号，并通过可视化窗口以波形形式显示出来。运用 ChipScope 可使工程设计人员快速检查设计结果的准确性，有效提高了开发效率。

本文采用 ChipScope Pro 在线逻辑分析仪验证上述功能模块的设计方案。以高速以太网数据通信模块为例，FPGA 发送至上位机的自定义数据帧格式如表 1 所示（截取前 20 位），该功能模块的在线仿真结果如图 6 所示。

由仿真波形可知，FPGA 和上位机之间可根据设定的帧格式完成数据通信，图 6 与表 1 中的数据帧序号与内容可实现一一对应，由此证明了设计方案的准确性和合理性。

表 1 FPGA 发送至上位机的自定义数据帧格式

序号	内容	说明	序号	内容	说明	序号	内容	说明	
1	0xFF	目的地址	8	0xBB	源地址	15	0x45	头长	
2	0xFF		9	0xCC		16	0x00	TOS	
3	0xFF		10	0xDD		17	0x04	总长	
4	0xFF		11	0xEE		18	0x24		
5	0xFF		12	0xFF		19	0x88		
6	0xFF		13	0x08		类型	20	0x88	ID
7	0xAA		源地址	14			0x00		

## 4 结论

本文构建了基于 FPGA 的伺服电机转速控制系统，选用高精度光电编码器作为位置传感器，结合同步时间信号，

