

# 基于动态部分重配置技术的自动测试系统研究

迟东明, 臧增辉

(上海航天电子有限公司, 上海 201800)

**摘要:** 为了在不中断自动测试系统运行的情况下, 将实现不同测试功能的比特流文件下载到其板载 FPGA 中, 对动态部分重配置技术进行了研究; 研发了一套基于 CPCI 架构的测控应答机自动测试系统; 自动测试系统利用动态部分重配置技术和 PCI 总线技术, 由主控计算机软件将满足不同测试需求的部分重配置比特流文件通过 PCI 总线动态下载到板载 FPGA 中, 且不影响测试系统的正常运行; 测试表明利用动态部分重配置技术, 自动测试系统可以将以往需要多块板卡才能实现的功能集成到一块板卡中, 大大增加了系统的集成度, 并有效降低了系统的硬件成本, 同时也能够使自动测试系统具备在线升级功能, 增加了系统的设计灵活性。

**关键词:** 动态部分重配置; FPGA; CPCI; 比特流

## Research on Automation Test System Based on Dynamic Partial Reconfiguration

Chi Dongming, Zang Zenghui

(Shanghai Aerospace Electronics Co., Ltd., Shanghai 201800, China)

**Abstract:** In order to download different bit stream files to automation test system FPGA without interrupting its normal operation, a new dynamic partial reconfiguration technology is introduced and a CPCI TT&C transponder automation test system is developed based on it. The system master computer software can download partial reconfiguration bit stream files which can realize different test functions to FPGA by PCI bus, when the system is running. The test result shows that many traditional cards can be replaced by a card with partial reconfiguration technology in this automation test system. The system has higher integration, lower hardware price, more design flexibility and online upgrading function.

**Keywords:** dynamic partial reconfiguration; FPGA; CPCI; bit stream

### 0 引言

测控应答机的自动测试系统经常需要使用现场可编程门阵列 (field programmable gate array, FPGA) 进行数据调制/解调、数据编码/解码、接口通信等操作, 而且不同类型的测控应答机之间的测试需求存在着较大的差异, 这就需要测试系统的 FPGA 根据不同的测试需求运行不同的程序。一般的解决方案是, 测试人员临时关闭测试系统, 下载或烧写需要的程序, 然后开始新的测试过程。如果资金充裕, 也可以针对不同的需求设计多套测试系统。但这样的解决方案存在以下弊端:

1) 测试功能的更改需要测试人员介入, 且需要关闭测试系统, 不利于自动化测试功能的实现。

2) 如果同时使用多套测试系统会大大增加硬件成本, 并增加系统的设计复杂度。

为了提高测试系统的自动化程度, 就需要自动测试系统具备在线可重配置功能。根据测试任务的不同, 由软件控制或更改系统中的 FPGA 程序。为了实现在线可重配置功能, 往往需要再增加额外的 FPGA 配置电路, 但这将占用大量的 PCB 面积, 不利于系统集成度的提高。而如果将

不同从测试功能同时集成于 FPGA 中, 又会大大增加 FPGA 的资源占用率, 很可能超出 FPGA 的可用资源。

而动态部分重配置 (Dynamic Partial Reconfiguration, 以下简称 DPR) 技术则可以很好地解决以上问题。

### 1 DPR 技术原理

DPR 是一种动态修改 FPGA 逻辑模块的技术。通过该技术, 设计师可以在不影响其他逻辑正常运行的同时, 下载部分重配置比特流到 FPGA 以实现不同的功能。DPR 作为 FPGA 的一种新型配置技术, 与传统的 FPGA 配置方式 (如静态重配置技术、动态全局重配置技术<sup>[1]</sup>) 相比具有明显的优势, 以上三种配置方式的技术特点对比如表 1 所示。

表 1 FPGA 配置方式技术特点对比

配置方式	特点
动态部分重配置	1) 可在运行期间实现 FPGA 部分逻辑的配置, 且配置时不影响其他逻辑的正常运行。 2) 可以由外部或内部控制器完成部分重配置逻辑的加载。
动态全局重配置	1) 可在运行期间实现 FPGA 的配置。 2) 配置过程中 FPGA 功能会暂时失效。 3) 由外部控制器完成整个 FPGA 的加载。
静态重配置	1) 只能在加电重新启动过程中实现 FPGA 的配置。 2) 实现方式最为简单, 基本不需额外的硬件电路。

收稿日期: 2019-02-19; 修回日期: 2019-03-15。

作者简介: 迟东明(1981-), 男, 吉林四平人, 高级工程师, 主要从事自动化测试方向的研究。

图 1 是采用 DPR 技术的 FPGA 内部资源示意图。

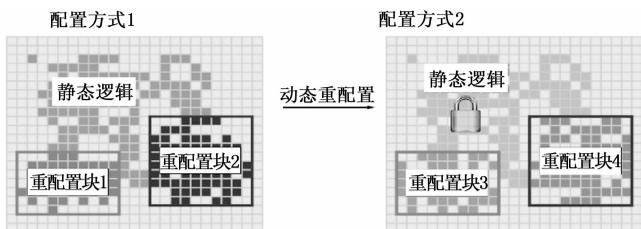


图 1 部分重配置技术实现原理框图

FPGA 的逻辑资源根据是否需要重配置可以分为两种: 静态逻辑 (运行期间不需要重配置) 和动态逻辑 (运行期间可重配置)。静态逻辑在运行过程中不能更改, 而动态逻辑在 FPGA 运行过程中可根据需要进行动态修改。设计师在设计阶段可以在 FPGA 上划分出若干块固定的区域用于存放动态逻辑。这些区域可以在运行期间由外部或内部的配置端口注入不同的比特流, 这样就可以使 FPGA 实现运行期间功能的动态切换<sup>[3]</sup>。

DPR 技术可以有多种实现方式, 如图 2 所示。部分重配置比特流既可以通过外部微控制器也可以通过内部微控制器 (比如 Xilinx 公司的 MicroBlaze 以及 Altera 公司的 NIOS II 等嵌入式 CPU IP 核) 写入到 FPGA 内部的可重配置分区, 这就大大增加了 DPR 实现的灵活性。当使用内部微控制器方式实现时, 理论上不需要增加额外的配置电路, 这对于成本敏感或集成度要求较高的应用环境是非常合适的。

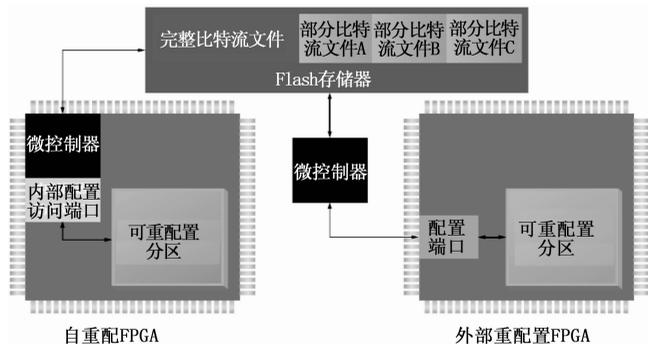


图 2 部分重配置技术实现途径

DPR 技术的这些特性极大提高了 FPGA 的设计灵活性。同时, DPR 技术使 FPGA 能够具备实现类似软件函数调用的能力, 在运行期间载入不同的功能模块就可以使 FPGA 实现不同的功能。通过该技术可以使 FPGA 硬件资源实现分时复用, 也大大提高了 FPGA 资源的使用率。

将 DPR 技术引入到测控应答机自动测试系统中, 将使自动测试系统具备以下优势:

1) 提高测试系统的自动化水平。测试软件可以根据需要在线更改测试系统中 FPGA 的功能模块, 而不需测试人员关闭自动测试系统手动下载程序。比如测试程序将 BPSK 调制/解调模块下载到 FPGA 中, 就使自动测试系统具备了 BPSK 信号的调制/解调功能; 而测试程序将 FM 的调制/解

调模块下载到 FPGA, 就使自动测试系统具备了 FM 信号的调制/解调功能。

2) 有效降低自动测试系统的硬件成本。DPR 技术可以实现不同功能模块对 FPGA 的分时复用, 且不需要额外增加配置电路。这样不仅节省了 PCB 面积, 也可以用一块板卡实现以往需要多块板卡才能实现的功能。

3) 使自动测试系统具备远程在线升级功能。自动测试系统的维护人员可以通过网络在线升级系统中 FPGA 的程序以便修复 BUG 或改善性能, 这样就有效降低了系统的维护成本。

## 2 基于 DPR 技术的测试系统的结构与实现

该测控应答机自动测试系统采用了 CPCI 架构, 主要功能是对测控应答机产品进行各种功能、性能测试, 主要包括遥测量采集、遥控命令发送、开关量控制、工作状态监控等。

该自动测试系统的结构如图 3 所示, 主要由 3 部分组成: 可编程数字 IO 板 (Programmable Digital IO, 以下简称 PDIO)、多功能后插板、数模转换板、主控计算机。

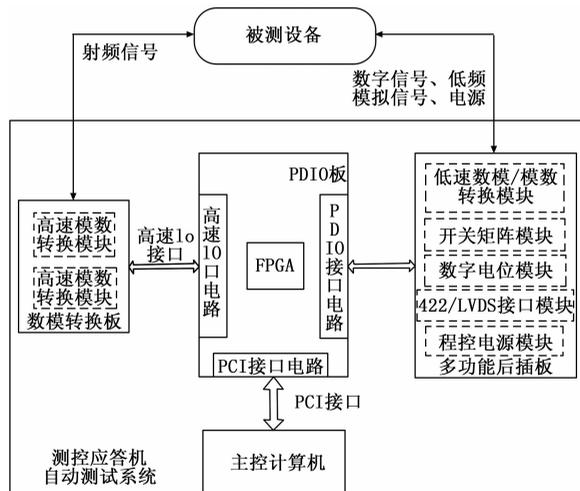


图 3 测控应答机自动测试系统结构框图

PDIO 板主要完成接口通信、数据采集、数据生成等功能, 该板通过 PDIO 接口和高速 IO 接口与数模转换板和多功能后插板互连, 进而与被测设备进行数据交换; 数模转换板主要完成模拟/数字信号之间的转换, 用于接收被测设备的射频信号或发送调制好的射频信号给被测设备, 由 PDIO 板对数据进行调制或解调; 多功能后插板用于与被测设备的低频模拟接口或数字接口互连, 主要完成遥测量采集、遥控指令生成、开关控制、电源控制、低频模拟信号输出等功能; 主控计算机主要进行接口控制和数据处理, 其通过 PCI 总线与 PDIO 板连接。

该系统的核心组成部分是 PDIO 板。PDIO 板从 PCI 总线上接收来自主控计算机的控制指令并根据指令控制 PDIO 接口, 从而实现对被测设备的遥控指令输出、数字量输出、模拟信号输出等功能。同时 PDIO 板通过多功能后插板及数

模转换板实时监控被测设备的工作状态、接收由被测设备发送的遥测信号和开关量信息，并将解调出的数据发送给主控计算机。

由于数模转换板是搭载在 PDIO 板上的，因此 PDIO 板需要为数模转换板预留尽量大的空间，这就要求 PDIO 板要有尽可能高的集成度。鉴于以上原因，PDIO 板的所有主要功能全部集成于板载的一块大容量 FPGA 中。比如 PCI 协议及接口控制、PDIO 接口控制、高速 IO 接口控制、调制/解调算法模块等。FPGA 通过加载不同的配置比特流文件就可以实现不同的测试功能，以满足不同星上产品的测试需求。

但由于系统中的功能模块非常多加之 FPGA 资源的限制，无法将所有功能模块同时集成于 FPGA 中。为了实现自动测试功能，这就要求主控计算机软件能够根据测试需求，实时下载不同的功能模块到 PDIO 板中，同时不影响系统的正常运行。

比如，测试功能 1 中需要 PDIO 板实现 BPSK 解调，而测试功能 2 中需要 PDIO 板实现 FM 解调，但由于 PDIO 板载 FPGA 资源的限制，功能 1 与功能 2 无法同时放置在 1 块 FPGA 中，如果通过静态重配置技术或动态全局重配置方式实现在 1 块 PDIO 板上功能的切换，那就不得不手动关闭系统重新加载或者重新烧写配置比特流文件，但这样无法满足自动化测试的需求。在这种情况下就只能同时使用 2 块 PDIO 板才能满足测试需求，但这样就增加了硬件成本。而 DPR 技术就可以解决以上问题。

通过引入 DPR 技术使该自动测试系统具备了以下几点优势：

1) 测试功能的实时切换。主控计算机软件可通过 CPCI 总线将 DPR 配置比特流文件直接下载到 PDIO 板的 FPGA 中，以实现不同的测试功能，同时不影响测试系统其他功能模块的正常运行，有效提高了测试效率和自动化程度。

2) 远程在线升级功能。测试人员可以远端对测试系统的 FPGA 程序进行升级，降低了系统的维护成本。

### 3 DPR 的设计

该自动测试系统的 DPR 实现原理框图如图 4 所示。DPR 功能的实现主要由两部分组成：主控计算机和 PDIO 板。其中主控计算机存放着 PDIO 板实现不同测试功能的 DPR 比特流文件（文件扩展名为 BIN）；PDIO 板载 FPGA 则事先在指定区域预留可重配置区域，当主控计算机软件将 DPR 比特流发送过来时，将这些配置数据注入以上区域中就可以实现指定的功能。

从图 4 可以看出 PDIO 板主要由以下几部分组成：

- 1) 大容量 FPGA；
- 2) 电流/电压监控电路；
- 3) 配置 FLASH；
- 4) 高速 IO 接口电路；
- 5) PDIO 接口电路；

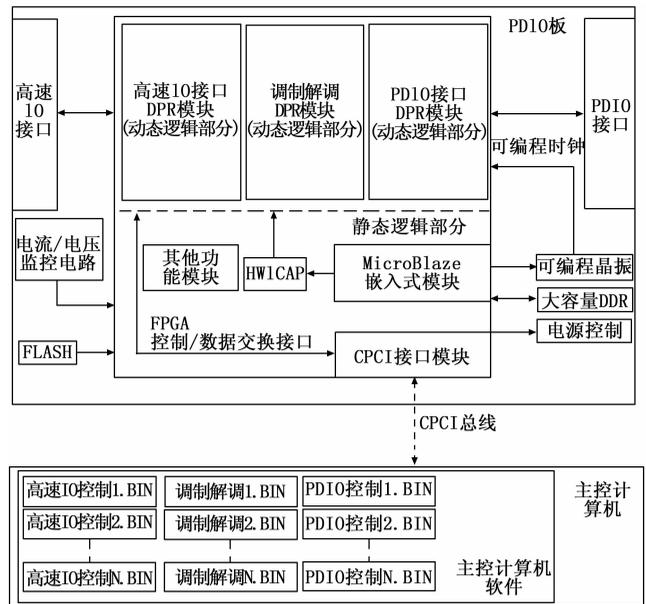


图 4 DPR 技术实现原理框图

- 6) 可编程晶振；
- 7) 大容量 DDR 内存颗粒；
- 8) 电源控制电路。

其中：电流/电压监控电路用于实时监控被测设备的供电情况；配置 FLASH 用于存储 FPGA 的完整比特流文件（部分重配置比特流则存放在主控计算机中）；高速 IO 接口电路用于与数模转换板互连；PDIO 接口电路用于连接多功能后插板；可编程晶振为 FPGA 动态逻辑部分提供工作时钟，且可根据主控计算机指令动态调整工作频率；大容量 DDR 内存用于临时存放解调或调制数据；电源控制电路用于控制被测设备的加电。

在该设计中，PDIO 板载 FPGA 内部逻辑资源主要划分为静态逻辑部分和动态逻辑部分。其中静态逻辑部分主要由 CPCI 接口模块和 MicroBlaze<sup>[7-8]</sup> 嵌入式模块以及运行期间不需要重新配置的功能模块组成。CPCI 接口模块实现 CPCI 协议功能，并提供上位机与 PDIO 板的数据/控制通道；MicroBlaze 嵌入式模块主要负责接收配置比特流、动态逻辑配置等功能。MicroBlaze 嵌入式模块接收从 CPCI 接口模块传送来的 DPR 比特流，并将比特流数据进行缓存，随后通过硬件内部配置访问接口（Hardware Internal Configuration Access Port，以下简称 HWICAP<sup>[4-5]</sup>），该模块主要实现用户逻辑对 FPGA 内部配置资源的访问）下载到动态逻辑部分。由于 CPCI 接口模块和 MicroBlaze 嵌入式模块均放置在 FPGA 的静态逻辑区域，因此在进行部分重配置的时候是不会受到影响的，因此也就保证了上位机与 PDIO 板的数据交互不会因为 PDIO 板的功能切换而中断。

为了使 PDIO 板实现不同的测试功能，其板载 FPGA 的动态逻辑部分根据功能不同划分为 3 部分：高速 IO 接口 DPR 模块、调制解调 DPR 模块、PDIO 接口 DPR 模块。高

速 IO 接口 DPR 模块负责与数模转换板上的高速 ADC/DAC 进行数据交换; 调制解调 DPR 模块负责对高速数字信号进行调制、解调操作; PDIO 接口 DPR 模块负责对多功能后插板的各个功能模块进行控制及数据交换。这样划分的好处是可以针对不同的测试需求, 将各个 DPR 模块进行灵活组合, 提高测试系统的适应性。

以上 3 部分 DPR 模块在 FPGA 中的位置以及可使用的最大资源需要在设计前期约定好, 且在系统运行期间不能修改。这些模块的配置比特流文件存放在主控计算机中, 在运行期间由主控计算机软件将这些比特流文件注入到 FPGA 相应的可重配置区域中。

在主控计算机端, PDIO 板 DPR 功能相关的数据端口被映射到了 PCI 总线的基地址寄存器 (Base Address Registers, BAR) 空间中。应用程序只需要将 DPR 比特流发送到相应寄存器中就可以将比特流数据发送给 PDIO 板载 FPGA 内的嵌入式系统里, 再由嵌入式系统负责对指定 DPR 模块进行重配置。具体的实现流程如图 5 所示。

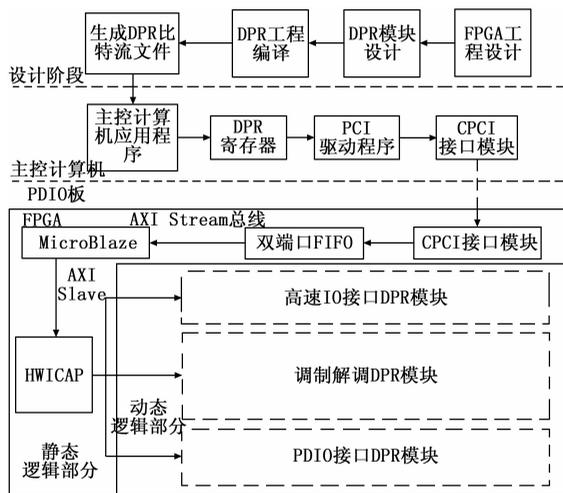


图 5 DPR 功能实现流程

从图 5 可以看出, DPR 过程的实现主要分为 2 个阶段: 设计阶段和配置阶段。

1) 设计阶段。

该阶段主要是建立 FPGA 工程, 并对不同测试功能所对应 DPR 模块进行划分、仿真、调试、编译, 最后生成所需的各种功能的 DPR 比特流文件。在 Xilinx FPGA 开发环境中 DPR 模块的划分、编译等操作是在 PR 模式 (Partial Reconfiguration) 下进行的, 利用 VIVADO<sup>[2]</sup> 提供的 Partial Reconfiguration Wizard<sup>[2]</sup> 向导功能可以很方便地对各 DPR 模块进行配置、编译。

2) 配置阶段。

配置阶段主要分成两个步骤, 分别在主控计算机和 PDIO 板上进行。

首先, 当需要对 PDIO 板的测试功能进行功能切换时, 主控计算机应用程序读取相应功能的 DPR 比特流数据, 并通过 PCI 寄存器读写函数将 DPR 比特流数据写入到事先定

义好的 DPR 寄存器中, PCI 驱动程序会将这些数据通过 PCI 总线发送给指定 PDIO 板的 PCI 接口模块。

然后, PDIO 板的 CPCI 接口模块将接收到的数据发送给一个双端口 FIFO, 该 FIFO 的另一端以 AXI Stream 总线的形式连接到 MicroBlaze 上。为核心的嵌入式模块中, MicroBlaze 通过 AXI Stream 总线读取双端口 FIFO 内部数据, 检测到配置比特流就将该配置数据写入到与之连接的 HWICAP 模块中。

最后, HWICAP 模块重复以上步骤并不断接收来自上位机的配置比特流数据, 一旦检测到比特流数据中的 DE-SYNCH 信号, 则表示当前配置过程结束, 此时 HWICAP 模块复位相应的 DPR 模块, 完成当前 DPR 模块的配置过程。

4 实验结果与分析

该自动测试系统的开发平台及测试环境如下:

- 1) 硬件平台: PDIO 板载 FPGA 采用 Xilinx 公司的 Artix7-200T。
- 2) FPGA 开发平台: VIVADO2018. 02。
- 3) 主控计算机软件开发平台: LabWindows CVI 2013。
- 4) 软件开发环境: Windows7 64bit 操作系统。
- 5) CPCI 的驱动程序开发环境: WinDriver11.6 64bit<sup>[6]</sup>。

图 6 是使用 DPR 模式的情况下, 由 VIVADO 布局、布线后 FPGA 的资源分布情况。图 6 中的标号 1、2、3、4 分别对应了 PDIO 接口 DPR 模块、调制解调 DPR 模块、高速 IO 接口 DPR 模块和其他功能模块。其中标号 1、2、3 对应逻辑属于动态逻辑部分, 该部分逻辑由主控计算机在运行期间根据测试需求进行注入, 而标号 4 对应逻辑属于静态逻辑部分, 在系统运行期间不改变。MicroBlaze 嵌入式模块、CPCI 接口模块等功能模块因为运行期间不需要更改, 因此均放置在该静态逻辑部分中。

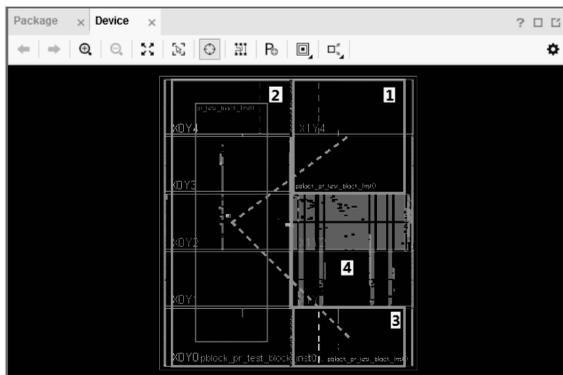


图 6 DPR 模式下 FPGA 布局、布线后资源分布情况

从图 6 可以看出静态逻辑区域与动态逻辑区域都在各自的范围内完成布局、布线。在实际测试中, 主控计算机测试程序也可以完成不同部分重配置比特流的实时下载, 完成测试功能的切换, 且在切换过程中其他功能不受影响。

表 2 是 DPR 功能实现相关模块的 FPGA 资源使用情况。DPR 功能实现相关模块是指为了实现 DPR 功能所使用的各个模块，不包括 DPR 模块本身（如调制解调 DPR 模块）。DPR 功能实现相关模块包括 MicroBlaze 相关的嵌入式系统（本地存储器、AXI 总线控制器、中断控制器、复位控制器等）、HWICAP 模块等。从表 2 可以看出 DPR 功能实现相关模块所占用的 FPGA 资源是非常少的，因此基本不会影响其他功能模块的 FPGA 资源使用。

表 2 DPR 功能实现相关模块使用的 FPGA 资源

资源名称	DPR 资源	FPGA 资源	占用率/%
Slice LUTs	3764	133800	2.8
Slice Registers	4372	267600	1.6
BRAMs(36Kb)	16	365	4.3
DSP48E1	0	470	0

### 5 结束语

本文针对测控应答机自动测试系统的特点，将 DPR 技术引入到自动测试系统中，从而实现了自动测试系统中 FPGA 功能的实时切换。经验证，采用 DPR 技术的自动化测试系统可以有效提高系统中 FPGA 的资源使用率，对于降低硬件成本、提高自动化测试水平具有很好的促进作用。

(上接第 15 页)



图 7 海洋监测数据应用

### 6 结束语

基于以上研究的最终目标是在全球海域布设无人船，形成全球海洋无人观测网络，每条船上根据需求配置不同的海洋观测仪器，如水质传感器、营养盐传感器、重金属传感器、有机物传感器、气象传感器等，在运控系统的规划调度下，借助实时卫星通信技术，观测网络可以连续、实时获取全球海洋观测资料数据，运控系统收集全球海洋观测数据，经过多种数据融合、分析处理后形成多种海洋观测应用数据。

目前，原理样机已设计实现，并构建了一个自我闭环的小系统，验证了海洋监测感知层、汇聚层、传输层、应

同时，由于 DPR 技术的特点，使其在测控通信、软件无线电领域也具有很好的应用前景。该系统中的部分重配置设计方案经过适应性修改，也可以应用到星上及弹箭产品上，使产品能够具备硬件在线升级能力，因此具有很好的推广和借鉴作用。

### 参考文献:

- [1] 潘 瑞. 部分重配置技术在卫星实时计算中的应用研究 [D]. 哈尔滨: 哈尔滨工业大学, 2012.
- [2] Xilinx. Vivado Design Suit User Guide — Partial Reconfiguration v2018.1 [EB/OL], <http://www.xilinx.com>, 2018.
- [3] 韩炼冰, 等. FPGA 局部重配置技术的实现及应用 [J]. 通信技术, 2016.
- [4] Xilinx. 7 Series FPGAs configuration user guide v1.13 [EB/OL]. <http://www.xilinx.com>, 2018.
- [5] Xilinx. AXI HWICAP Product Guide v3.0 [EB/OL]. <http://www.xilinx.com>, 2016.
- [6] Jungo Ltd. WinDriver PCI/ISA/CardBus User's Manual V1.6 [EB/OL]. <http://www.jungo.com>, 2015.
- [7] Xilinx. Vivado Design Suit User Guide — Embedded Processor Hardware Design v2018.1 [Z]. 2018.
- [8] Xilinx. MicroBlaze Processor Reference Guide v2018.1 [Z]. 2018.

用层的所有关键节点，从原理上证明了采用无人船进行海洋监测并提供数据服务的可能性，为后继的研究工作打下了坚实的基础。

### 参考文献:

- [1] 李红杰. 基于浮标的近海海洋环境监测与接入技术 [D]. 成都: 电子科技大学, 2016.
- [2] 季丽伟. 基于本体的多源异构海洋监测数据集成研究 [D]. 上海: 上海海洋大学, 2015.
- [3] 金久才. 一种海洋环境监测无人船系统及其海洋应用 [J]. 海岸工程. 2015 (9): 87-91.
- [4] Ferreira H, et al. Environmental modeling with precision navigation using ROAZ autonomous surface vehicle [Z]. IEEE, 2012.
- [5] 张晓燕. 国际海事卫星移动通信系统与下一代 IMT 系统在扩展 C 频段的共存 [J]. 电信科学, 2016 (4): 76-81.
- [6] 陶孝锋. Orbcomm 星座卫星发展历程及其最新动态研究 [J]. 空间电子技术, 2015 (12): 29-36.
- [7] 宋德瑞. 大数视域下的海洋信息化建设构想 [J]. 海洋开发与管理, 2017 (9): 50-53.
- [8] 黄冬梅. 强关联海洋数据划分研究 [J]. 计算机工程, 2016 (5): 8-12.
- [9] 邹国良. 基于 BP 神经网络的海洋监测数据等级划分 [J]. 海洋通报, 2016 (2): 187-193.
- [10] 侯雪燕. 海洋大数据: 内涵、应用及平台建设 [J]. Marine Science Bulletin. 2017 (8): 361-369.