

航空涡轴发动机转速与扭矩信号的仿真研究

张程¹, 刘晓光¹, 张唯易²

(1. 上海航天控制技术研究所, 上海 200233; 2. 中国科学院上海微系统与信息技术研究所, 上海 200050)

摘要: 针对航空涡轴发动机转速与扭矩信号的仿真问题, 分析检测发动机转速与扭矩的原理以及信号特性, 创新提出在 ZYNQ 平台上实现仿真信号的合成方法; 采用基于直接频率合成器的设计, 计算分辨率、数据位宽、无杂散动态范围等参数以及分析对精度的影响; 为保证实时性要求, 依托片上高速数字总线 AXI4 控制频率和相位的设置, 产生两路同步数字正弦信号, 通过比较、滤波与合成实现仿真信号的输出; 在硬件方面, 采用数模转换与信号调理电路, 在保证各项性能指标前提下, 优化了器件选型, 同时增加输出接口保护, 避免因静电或误操作引起的故障; 实际使用情况表明, 仿真信号精度高、运行稳定可靠, 目前已被应用到多个航空涡轴发动机的实验项目。

关键词: 转速; 扭矩; 信号仿真; 直接频率合成器; 现场可编程逻辑门阵列

Simulation Research on Speed and Torque Signal of Aero Turboshaft Engine

Zhang Cheng¹, Liu Xiaoguang¹, Zhang Weiyi²

(1. Shanghai Aerospace Control Technology Institute, Shanghai 200233, China;

2. Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: Aiming at the simulation problem of aeroturboshaft engine speed and torque signal, the principle of detecting engine speed and torque and signal characteristics are analyzed. A new method of synthesizing simulation signal on ZYNQ platform is proposed. The design based on direct frequency synthesizer. The parameters of resolution, data bit width, spurious free dynamic range are calculated to analyze the influence on accuracy. Two synchronous digital sinusoidal signals are generated by setting the frequency and phase through on-chip high-speed digital bus which is AXI4 in order to ensure the real-time performance. The output of simulation signals are realized by comparison, filtering and synthesis. In terms of hardware, the digital-to-analog conversion and signal conditioning circuits are used to optimize the device selection on the premise of ensuring various performance indicators. The output interface protection is added to avoid the faults caused by static electricity or misoperation. The actual application shows that the simulation signal has high accuracy and reliable operation. It has been applied to several experimental projects of aero turboshaft engines.

Keywords: speed; torque; signal simulation; direct digital synthesizer; field programmable gate array

0 引言

航空涡轴发动机是一种输出轴功率的涡轮喷气发动机, 主要在直升机上使用。目前, 我国国产直升机主要受发动机功率的限制, 不得不在机身装甲、武器携带量、电子设备等方面降低配置, 与国外先进的武装直升机如美军“阿帕奇”等有较大差距。在衡量发动机性能时, 转速与扭矩是重要的动力性指标。发动机转速和扭矩分别是指曲轴每分钟的回转数和从曲轴端输出的力矩。在飞行过程中, 需实时监测转速与扭矩的参数, 保证飞行员能够对飞机状态做出准确判断, 避免意外情况发生。在地面研制和测试阶段, 尤其是做控制系统半物理仿真实验时, 因为没有真实的涡轴发动机和高空环境, 需根据不同的情况模拟发动机传感器输出。本文以某型涡轴发动机的转速与扭矩模拟信号为例, 介绍了一种在地面实验中, 模拟生成发动机转速

与扭矩信号的方法, 通过多种外部总线动态实时控制转速与扭矩的输出, 具有精度高、方便灵活、扩展性强等特点, 可用于验证控制算法、故障注入、环境试验、状态冗余等多种场合。

1 转速与扭矩测量

相位差测扭矩法是一项被广泛应用于航空涡轴发动机的测量技术。其原理是在涡轴发动机动力涡轮的输出轴上安装一支磁电传感器, 将基准轴套装在输出轴内, 输出轴和基准轴均为空心轴, 其夹角为 90° 。当它们旋转输出扭矩时, 由于基准轴不受扭, 输出轴在扭矩的作用下, 会与基准轴产生角度差, 角度与扭矩成正比关系。输出轴上的磁电传感器可检测角度变化量, 并将其转换为具有相位差的电信号, 从而实现扭矩的测量^[1]。

某型涡轴发动机采用上述方法采集到的转速与扭矩是双边矩形波信号, 电压精度为 $\pm 1\%$, 即 $-5.05 \sim -4.95$ V 表示逻辑“0”, $4.95 \sim 5.05$ V 表示逻辑“1”, 其波形如图 1 所示。

图中周期 T 代表转速, 变化范围从 $0 \sim 2\ 000$ Hz。在一个双边矩形波的周期内包含两个方波的上升沿, t_1 和 t_3 代

收稿日期: 2018-12-21; 修回日期: 2019-01-07。

基金项目: 国家科技重大专项(2016ZX04006002)。

作者简介: 张程(1985-), 男, 上海人, 大学本科, 工程师, 主要从事航天航空自动化采集控制设备的应用方向的研究。

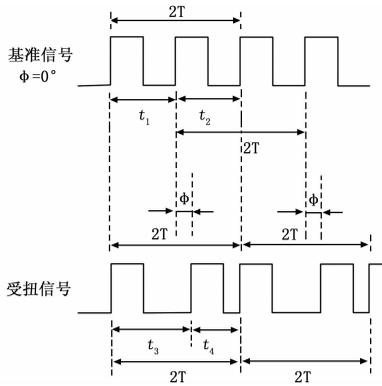


图 1 航空涡轴发动机转速与扭矩信号图

表当前周期内第一个上升沿与第二个上升沿之间的时间, t_2 和 t_4 代表当前周期内第二个上升沿与下一个周期第一个上升沿之间的时间。其中, t_2 为基准值相位等于零, 表示当前状态不受扭。当输出轴在扭矩作用下发生角度变化时, 表现在波形图上即为 t_3 时间变长, 相应的 t_4 时间变短。此时, 受阻信号与基准之间存在相位差 Φ 。输出轴在扭力作用下, 其运动状态滞后于基准轴。相位差 Φ 的计算方法如式 (1) 所示:

$$\Phi = \frac{|t_3 - t_4|}{t_1 + t_2} \cdot 90^\circ \quad (1)$$

为便于计算, 定义基准轴为参照, 则 Φ 始终大于零。本文中相位差变化范围是 $0 \sim 15^\circ$, 误差精度不大于 $\pm 0.01^\circ$ 。

2 仿真信号产生原理

转速与扭矩信号在仿真实验中需要数字动态可调, 故无法采用计数器分频的方式来实现。主要原因是数字计数器只有在分频系数为正整数的情况下, 才能生成较为精准的频率, 一旦分频系数为非正整数, 尤其是当输出频率较高时误差非常大。为了避免传统方法的弊端, 本文采用基于 FPGA 的直接数字频率合成技术 (DDS) 实现转速与扭矩模拟信号的生成, 此方法生成的信号具有动态可调、高精度、高分辨率、快速转换时间和低功耗等优点^[2]。

2.1 FPGA 系统架构

信号生成是基于 FPGA 系统架构, 基于赛灵思高性能 Zynq-7000 系列 XC7Z020 实现, XC7Z020 集成了双核可编程处理器 ARM-Cortex-A9 (PS) 和可编程逻辑 (PL)^[3]。赛灵思的 CoreGen 软件提供了直接数字频率合成 IP (DDS Compiler), 转速与扭矩仿真需要一个 DDS 模块生成两路同步正弦数字信号, 经由数字比较器和滤波器将其转成方波, 再由数字信号合成, 最后通过 DAC 接口转换输出, FPGA 系统架构图如图 2 所示。

图中, DDS 模块是用户 IP 的子模块, 也是整个用户 IP 的核心模块, 其频率和相位都为可编程控制模式。ZYNQ 中的 ARM Cortex-A9 处理器 (PS) 可通过 AXI4 总线与用户 IP 通讯, 实现频率和相位的数字动态调整。图 2 中的 A 点为 16 位有符号数字正弦波, 默认频率 1 Hz 和 0° 相位。第二级是 16 位数字比较器, 比较值固定设为 0, 当数字正弦大于 0 时, 输出置“1”; 小于等于 0 时, 输出置“0”。第

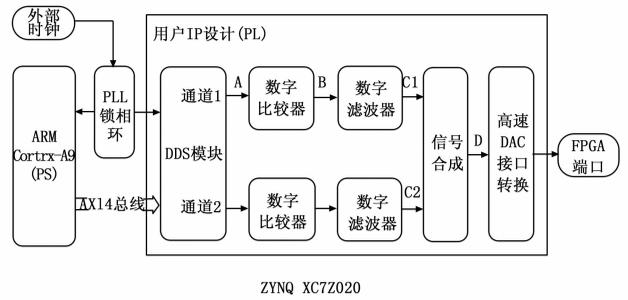


图 2 FPGA 系统架构图

三级为单稳态滤波模块, 作用是消除信号脉宽抖动和调整占空比, C1 和 C2 点的信号为边沿光滑的方波信号^[4]。C1 点信号对应基准扭矩, C2 点信号可通过 AXI4 总线控制其为滞后基准 $0 \sim 15^\circ$ 的受阻信号。在第四级 D 点将这两路信号合成为发动机转速与扭矩信号。最后通过 DA 接口转换输出到 FPGA 引脚上。

2.2 DDS 参数计算

系统的晶振频率为 40 MHz, 在 FPGA 内部通过锁相环 (PLL) 与数字时钟管理单元 (DCM) 将主时钟倍频到 80 MHz, 这是 DDS 和 FPGA 其他外设工作频率。DDS 有三个参数需要计算: 频率分辨率、相位分辨率和无杂散动态范围。

2.2.1 频率分辨率

在实际使用中, 需在 $0 \sim 2000$ Hz 的频率范围内采用 16 位有符号数控制, 其中第一位是符号位, 实际使用 $0 \sim 32767$ 。

$$\delta_{f_{\max}} = \frac{f_{\text{设}}}{32767} = 0.061 \text{ Hz} \quad (2)$$

DDS 模块为双通道同步输出的模式, 输出的数字正弦波采用时分复用。单通道的最大输出频率为系统晶振频率的一半。

$$f_{\text{max}} = f_{\text{clk}} / 2 = 40 \text{ MHz} \quad (3)$$

$$N = \log_2 \left(\frac{f_{\text{max}}}{\delta_{f_{\max}}} \right) = 29.3 \text{ Bits} \quad (4)$$

式 (4) 计算结果表明, 理论上至少需要 29.3 位的数据位宽才能满足最小分辨率要求。在实际应用中, 为了匹配 AXI4 总线的的数据位宽, 并且提高精度, 采用 32 位数据总线。

$$\delta_{f_{\text{res}}} = \frac{f_{\text{max}}}{2^{32}} = 0.00932 \text{ Hz} \quad (5)$$

$$F = \frac{\delta_{f_{\max}}}{\delta_{f_{\text{res}}}} = 6.5521 \quad (6)$$

计算结果表明, 当匹配 AXI 总线数据位宽时, DDS 的实际分辨率为 0.00932 Hz, 转换系数为 6.5521, 即外部设定的 1 LSB 对应到 DDS 的频率为 6.5521 LSB。

2.2.2 相位分辨率

相同的, 相位在 $0 \sim 15^\circ$ 变化范围内采用 16 位有符号数控制, 由于基准频率始终超前于受阻信号, 实际使用也是 $0 \sim 32767$ 。

$$\delta_{\phi_{\max}} = \frac{\Phi_{\text{设}}}{32767} = 4.5778 \times 10^{-4} \quad (7)$$

DDS 的 IP 核的相位增量值是无符号的, 当相位增量值与相位位宽匹配时, 也可将其看作有符号数。假设相位数据位宽为 N , 有符号数范围 $-2^{(N-1)}$ 到 $2^{(N-1)}$ 表示 $[-180^\circ, 180^\circ]$ 角度范围, 无符号数范围 0 到 2^N 表示 $(0, 360^\circ]$ 角度范围。本文采用 32 位无符号数格式, 与频率控制复用数据总线^[5]。

$$\delta\phi_{res} = \frac{360}{2^{32}} = 8.3819 \times 10^{-8}^\circ \quad (8)$$

$$P = 4 \cdot \frac{\delta\phi_{min}}{\delta\phi_{res}} = 21\,845.6 \quad (9)$$

计算结果表明, DDS 的相位分辨率精度可以满足外部控制需求, 转换系数为 21 845.6, 即外部设定的 1LSB 对应到 DDS 的相位为 21 845.6 LSB。

2.2.3 无杂散动态范围

无杂散动态范围 (SFDR) 表示 DDS 中有效信号与最大谐波失真信号的均方根值 (RMS) 之比, 直接决定了输出数字正弦信号的位宽^[6]。当双通道 DDS 最高输出 2 000 Hz 的正弦信号时, 相位每变化 1LSB 所对应的时间在整个量程范围内达到最小值, 系统的时钟频率为 80 MHz, 每个周期内有 20 000 个输出点。在输出产生误差 Δt 的情况下, 相位计算如式 (10) 所示:

$$\Phi \pm \Delta\phi = 90 \cdot \frac{|(t_3 + \Delta t) - (t_1 - \Delta t)|}{t_1 + t_2} \quad (10)$$

其中: $t_1 + t_2$ 等于输出信号的周期, 相位最大精度误差为 0.01° , 由此可得如式 (11) 所示:

$$\Delta t = \frac{1}{2} \cdot \frac{\Delta\phi \cdot T_{out}}{90} = 27.78 \text{ ns} \quad (11)$$

因此, 最小定点量化位宽计算如式 (12) 所示:

$$N = \log_2 \left(\frac{T_{out}}{\Delta t} \right) = 14.136 \text{ Bits} \quad (12)$$

理论上正弦输出信号至少需要 15 位的位宽才能满足精度误差需求。本文的 DDS 实际的输出数据位宽采用 16 位定点量化方式。

分析误差产生的原因, 可在时域上比较 6 位和 16 位定点量化位宽 (不包含小数) 的正弦信号, 如图 3 所示。

当采用 6 位定点量化输出时, 可以在时域上看出正弦波上有寄生的台阶, 并且在波峰和波谷处存在失真。将正弦波在零位处放大, 如图 4 所示。

当采用 6 位定点量化时, 在第 20 101 个输出点, 正弦信号大于 0, 后继比较器输出“1”; 采用 16 位定点量化时, 在第 20 002 个输出点, 后继比较器即可输出“1”, 提前了 99 个输出点。6 位宽定点量化误差如式 (13) 和式 (14) 所示, 其中 n 为输出点的序号。

$$\Delta\phi_6 = 90 \cdot \frac{|(n-1) - (40001-n)| * T_{clk}}{T_{out}} = 0.9^\circ \quad (13)$$

16 位宽定点量化误差如式 (14) 所示:

$$\Delta\phi_{16} = 90 \cdot \frac{|(n-1) - (40001-n)| * T_{clk}}{T_{out}} = 0.009^\circ \quad (14)$$

由计算结果可得, 不同的位宽对于相位精度的影响很

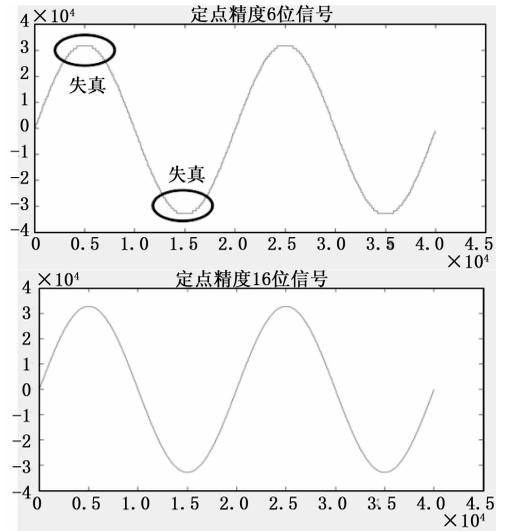


图 3 不同位宽的正弦信号时域比较图

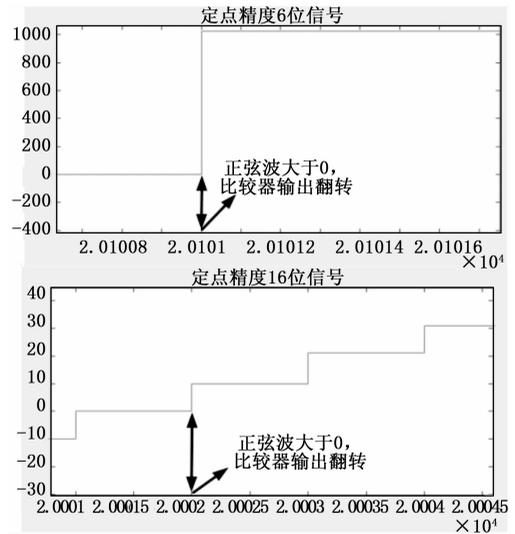


图 4 翻转时间比较图

大, 6 位定点量化的相位精度误差是 16 位定点量化的 100 倍。

在不考虑噪声的情况下, 根据数据位宽与无杂散动态范围的计算公式可得^[2]:

$$SFDR = 6 * N_{位宽} = 96 \text{ dB} \quad (15)$$

综上所述, 将计算所得到的结果在 DDS Compiler 中完成设置, 如图 5 所示。

2.3 信号合成

转速与扭矩信号是由 2 个通道生成的 DDS 正弦波信号经过比较、滤波后的方波信号合成, 其原理如图 6 所示。

由图可知信号合成分为 4 个状态进行: 以周期内 DDS1 基准输出的第一个上升沿为起始, 到第一个下降沿为“状态 1”, 两路信号取“或”运算; 由此到 DDS2 的第一个上升沿为“状态 2”, 取“与”运算; 再到 DDS2 的第一个下降沿为“状态 3”, 取“或”运算; 最后到下一个周期 DDS1 的上升沿为“状态 4”, 取“与”运算。

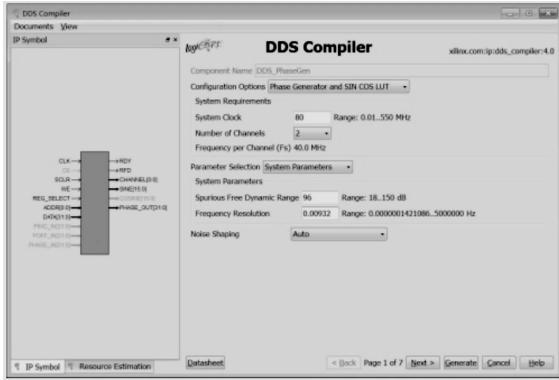


图 5 DDS Compiler 参数设置

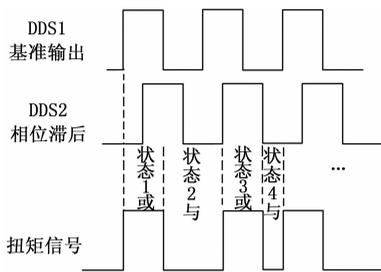


图 6 转速与扭矩信号合成原理图

2.4 时序控制

在 FPGA 内部, 经信号合成模块后输出的是方波, 而 DA 转换采用的是 16 位的数据位宽, 因此在 DA 转换前需要做总线扩展。即当检测到信号上升沿时, 写入十六进制 0x4000; 当检测到信号下降沿时, 写入十六进制 0xC000, 启动 DA 转换。FPGA 控制程序如下:

```

if(FreqOut_1 = '1' and FreqOut_2 = '0') then --判断信号上升沿
    DacData<= X"4000"; --写入数据
    DacDataNd<= '1'; --启动转换
elseif(FreqOut_1 = '0' and FreqOut_2 = '1') then --等待信号下降沿
    DacData<= X"C000"; --写入数据
    DacDataNd<= '1'; --启动转换
else
    DacDataNd<= '0';
end if;
    
```

3 硬件设计

在电路实现方面, 由于输出信号幅度为 $-5\text{ V} \sim +5\text{ V}$, 因此采用高速 DA 与信号调理电路的方案生成仿真信号。系统硬件结构如图 7 所示。

3.1 DA 转换及信号调理

3.1.1 电路实现

FPGA 输出采用三线 SPI 接口, 经数字隔离芯片 ADuM1400 后连接到 DA 转换芯片 DAC8811, DA 转换输出经信号调理电路转换为 $-10 \sim +10\text{ V}$ 的电压, 实际输出满量程的一半 $-5 \sim +5\text{ V}$, DA 转换及信号调理电路如图 8 所示。

DAC8811 的 IOUT 输出是 $0 \sim 2\text{ mA}$ 恒流源接口, DA

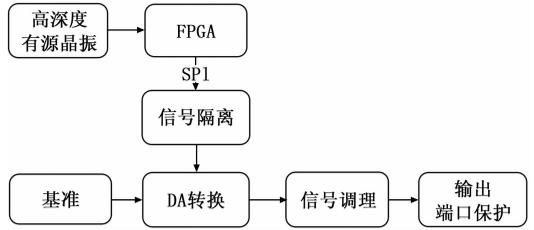


图 7 硬件结构图

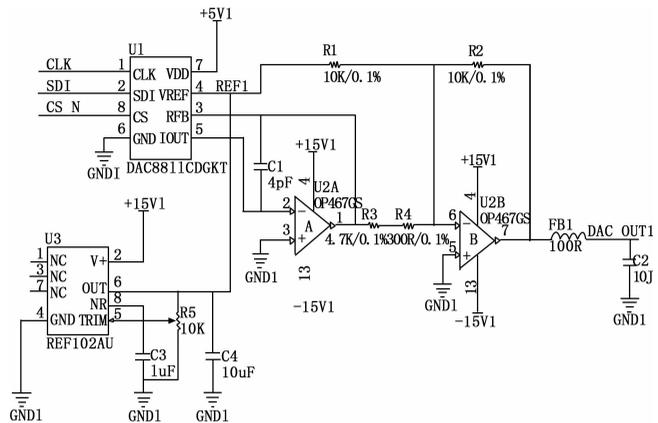


图 8 DA 转换及信号调理电路图

芯片的 RFB (3 脚) 与 IOUT (5 脚) 之间, 在芯片内部连接有一个 5 K 的反馈电阻。运放 U2A 的作用是阻抗匹配, 增加输出驱动能力。由于 IOUT 与运放 U2 的反相输入端连接, 根据运放输入“虚断”的特性, IOUT 的输出电流全部会经芯片内部 5 K 电阻输出, 在运放 U2A 的输出端 (1 脚) 产生一个 $-10 \sim 0\text{ V}$ 的电压 (V_1)。REF102 提供 10 V 高精度基准源, 电阻 $R_1 \sim R_4$ 和运放 U2B 构成了同相加法器, 其输出的计算公式如式 (16) 所示:

$$V_{out} = \frac{R_2}{R_3 + R_4} \cdot V_1 + \frac{R_2}{R_1} \cdot V_{Ref} = 2V_1 + V_{Ref} \quad (16)$$

根据电阻配比的不同, 同相加法器将 V_1 信号放大两倍后与基准电压 V_{Ref} 相加, 从而产生 $-10 \sim +10\text{ V}$ 的输出电压。

DA 转换的总时间是通信时间与建立时间之和, 其中 SPI 通信频率最高为 50 MHz , 需要写入 16 位数据, 建立时间的典型值是 300 ns (0.1% 精度), 总计需要 620 ns 的时间实现一次电压转换输出。在 FPGA 内部完成信号合成到实际电压输出有 620 ns 的时间差, 由于每次输出的时间差都是固定的, 因此不会对频率与相位的精度产生影响^[7]。

3.1.2 运放参数

在运算放大器的选型上, 重点需考虑建立时间、压摆率和增益带宽积等参数。本文选用的运算放大器为 ADI 公司的 OP467 高速运放, 可完全匹配 DAC8811 的输出特性, 性能参数比较见表 1。

表 1 参数比较表

	DAC8811	OP467
建立时间/ns	300	200
压摆率/(V/ μ s)	104.56	170
增益带宽	3.33M	28M

表 2 系统测试数据

相位给定	频率给定	T_1 /ms	T_2 /ms	实际频率/Hz	频率误差/mHz	实际相位/(°)	相位误差/(°)
3277	3277	4.915668	5.083126	200.0242	-5.858	1.5073068	-0.0072
	16384	0.983250	1.016626	1000.063	-31.985	1.5019689	-0.0018
	32767	0.491684	0.508276	2000.083	-83.403	1.4933153	0.0068
16384	3277	4.582542	5.416334	200.0225	-4.191	7.5049687	-0.0047
	16384	0.916500	1.083376	1000.063	-31.985	7.5098444	-0.0096
	32767	0.458292	0.541668	2000.083	-83.203	7.5040622	-0.0038
32767	3277	4.165750	5.832918	200.0267	-8.358	15.006501	-0.0065
	16384	0.833208	1.166668	1000.062	-31.835	15.006577	-0.0066
	32767	0.416684	0.583318	2000	0	14.99706	0.0029

在电路设计中，OP467 的增益为 2，其实际带宽 14 MHz。DAC8811 的压摆率计算方法如式 (17) 所示， V_{op} 为输出信号峰值，幅度为峰峰值的一半^[8]。

$$SR = 2\pi \cdot V_{op} \cdot f \cdot 10^{-6} = 104.562 \text{ V}/\mu\text{s} \quad (17)$$

计算结果表明，选择 OP467 作为同相加法器芯片可满足设计需求。

3.2 有源晶振

有源晶振为 FPGA 提供时钟频率，是系统中的核心器件之一，其准确度、温漂和稳定性直接决定了输出信号的质量。为确保在不同温度环境和应用场景下的精度，采用了 MMDC-TECH 的高性能陶瓷有源晶振 MF10V3-40 MHz，FPGA 时钟产生电路如图 9 所示。

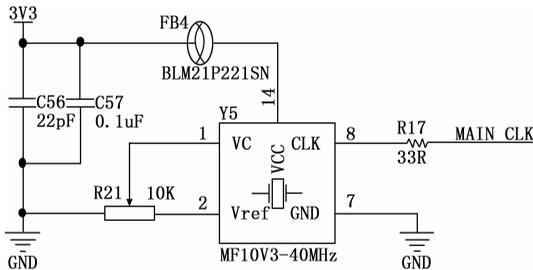


图 9 FPGA 时钟电路图

MF10V3-40 MHz 晶振具备精度调整功能，电位器 R21 可将系统的时钟频率调整至 40 MHz±1 Hz 的精度，时钟信号输入到 FPGA 的 GCLK 管脚，电阻 R17 的作用是阻抗匹配，抵消信号线反射，减小回波干扰和信号过冲。在晶振的频率较高，等效谐波分量丰富，容易对其他器件造成干扰，因此通过磁珠 FB4 和电容 C56 增加对高频谐波的抑制作用，改善其 EMI 特性。

3.3 输出端口保护

为确保高稳定性和可靠性，即使在接口遭到静电、浪涌、雷击以及人为误操作破坏的情况下，也不会对核心器件造成损害。因此在输出端增加了过压过流保护的电路，主要包含瞬态电压抑制二极管、过压保护二极管和自恢复保险丝。输出保护电路如图 10 所示。

运算放大器在正常工作的情况下，输出电流一般小于 20 mA，当发生外部短路时，输出电流超过自恢复保险的额

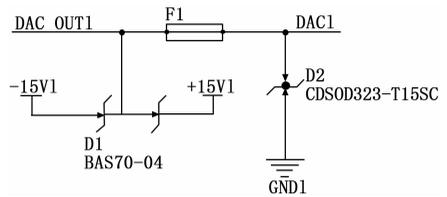


图 10 输出保护电路

定电流，保险丝短路切断与外部的连接。当外部有瞬间高压进入时，瞬态抑制二极管呈低阻状态，吸收瞬间大电流，而不对运算放大器的输出端造成影响。当外部有持续高压作用时，当电压高于 +15 V 或低于 -15 V 时，二极管 BAS70-04 会将电压钳位到 +15 V 或 -15 V，从而保护后端电路。

4 系统测试

系统实际测试采用高速逻辑分析仪 LAB6052（采样频率 500 MHz）采集转速与扭矩信号。在输出端接一不小于 5 kΩ 的电阻作为负载。由上位机通过网络发送给定的频率及相位参数。采用控制变量法：在给定频率不变时，调整相位的输出；在给定相位不变时，调整频率的输出。测试数据见表 2。

对比实验数据可知，在三组给定频率测试与三组给定相位测试中，测试范围覆盖了满量程的 90% 以上。结果显示，频率误差小于 0.1 Hz，相位误差小于 ±0.01°，能够满足航空涡轴发动机转速与扭矩信号实验室动态模拟仿真的需求。

5 结语

本文介绍了一种用于在实验室环境下，产生航空涡轴发动机转速与扭矩信号的方法，配合航空发动机传感器仿真系统运行，可实现基于数字总线控制，具有精度高、分辨率小、抗干扰性强等特点，目前已被应用到在多个型号的发动机研制试验中。

由于某型涡轴发动机地面试验对仿真信号电压的精度误差要求小于 1%，因此选用了 DA 芯片与信号调理输出的方案。如果在其他电压精度要求不高的场合，可以不使用

(下转第 204 页)