

基于片上系统+ FPGA 的航管雷达 终端综合记录系统设计

杨东华, 蔡委哲, 王志祥, 刘楠

(南京电子技术研究所, 南京 210039)

摘要: 针对航管雷达终端对显示画面、雷达视频、监控视频、台位语音、航迹数据、操控数据等信息的综合记录需求, 对各类数据的特征和应用场景进行了研究, 采用了以集成 ARM A9 处理器和视频编解码引擎的片上系统 (System On Chip, SOC) 为主, 高性能 FPGA 为辅的综合记录系统架构, 高速、高集成度电路设计方法和模块化、并行化的软件设计方法, 高效、灵活的音视频压缩算法, 实现了一种基于 SOC+FPGA 的航管雷达终端综合记录系统; 解决了现有记录系统数据记录信息不完整、记录时长短、设备量大等问题; 经实际产品测试, 该综合记录系统满足了航管雷达终端记录的各项功能、性能指标, 具备产品推广应用的条件。

关键词: 综合记录; 编码与封装; 色度空间; 游程长度编码

Design of Integrated Recording System for Air Traffic Control Radar Terminal Based on SOC and FPGA

Yang Donghua, Cai Weizhe, Wang Zhixiang, Liu Nan

(Nanjing Research Institute of Electronics Technology, Nanjing 210039, China)

Abstract: Aimed at the integrated recording demands of air traffic control radar terminal such as display video, radar video, monitoring video, seat audio, track data and manipulating data, the features and application scenarios of these data were researched. An integrated recording architecture that SOC contained ARM A9 processor and video encoding/decoding engine was taken as dominant factor and high performance FPGA as supplementary factor was adopted. A design method based on high speed, high density circuits and modeling, parallelization software was introduced. An efficient audio and video compression algorithm was used. An integrated recording system for air traffic control radar terminal based on SOC and FPGA was implemented. Some problems of existing recording system were resolved, such as incomplete recording information, short recording time, large amount of equipment and etc. According to the result of product testing, the integrated recording system can fully meet the requirements of technical specifications and can be popularized in actual product.

Keywords: integrated recording; encoding and encapsulation; color space; run-length encoding

0 引言

航管雷达终端主要用于监视航路航线, 指示目标的距离、方位、速度、航向等信息, 以及显示航路上的气象信息, 为空中交通管制提供保障^[1]。近年来随着航班数量的增加, 空中交通管制的形势日益严峻^[2], 急需实现对终端的显示画面、航迹数据、操控数据、雷达视频、监控视频、台位语音等信息的综合记录, 为事后场景再现、数据分析、问题判别提供关键数据。

现有的雷达终端记录系统存在记录信息不全面、灵活性和扩展性差、设备量大等缺点^[3]。本文设计了一套基于片上系统 (System On Chip, SOC) + 现场可编程门阵列 (Field Programmable Gate Array, FPGA) 的航管雷达终端综合记录系统。采用 SOC 对标准的数据进行采集、压缩和记录, 并实现对系统的管理与控制, 采用 FPGA 对非标准

数据的进行采集、压缩和数据格式转换, 充分发挥了两种处理器的各自优势, 实现了航管雷达终端综合记录系统的高性能、小型化设计。

1 系统架构及原理

1.1 系统架构

综合记录系统以 SOC 为核心处理器, 以 FPGA 为辅助处理器。SOC 承担了系统中显示画面、监控视频、台位语音、航迹数据、操控数据等信息的编解码以及所有数据的记录、回放、传输等功能。FPGA 主要用于雷达视频的采集、压缩, 显示画面格式转换以及显示环出等处理。两个处理器之间通过单链路的高速计算机扩展总线标 (Peripheral Component Interconnect Express, PCIE) 2.0 进行通信。综合记录系统的架构如图 1 所示。

1.2 工作原理

系统上电后存放在 NAND Flash 中的 UBOOT 软件自动加载, 并将 Linux 内核、操作系统和应用软件加载到 SOC 内存中运行, 并通过千兆网络与上位机通讯, 控制和管理综合记录系统的运行。

收稿日期: 2018-11-06; 修回日期: 2018-12-19。

作者简介: 杨东华 (1980-), 男, 江苏南通人, 高级工程师, 主要从事雷达控制与显示技术方向的研究。

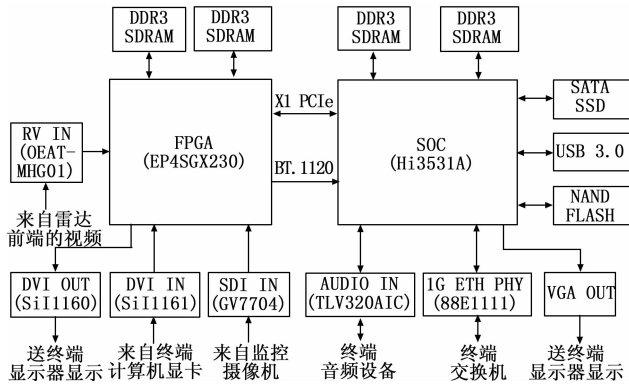


图 1 综合记录系统

终端计算机显卡输出数字视频接口 (Digital Video Interface, DVI) 标准数字画面, 通过系统的接口芯片解析出红、绿、蓝颜色分量和同步时序信号送到 FPGA 中, FPGA 一方面将颜色分量信号和时序信号送到 DVI 输出接口芯片, 再转换成 DVI 信号送显示器显示; 另一方面将颜色分量信号和时序信号通过色度空间转换、重采样和格式变换, 转换成 SOC 可识别的标准 BT.1120 格式送 SOC 处理, SOC 的硬件编解码部分将终端显示画面进行压缩处理, 并记录到固态硬盘 (Solid State Disk, SSD) 中。

监控视频的处理与终端显示画面的处理类似, 监控视频采用串行数据接口 (Serial Data Interface, SDI)。

音频的处理是将模拟立体声音频通过接口芯片转换成数字音频数据传输总线 (Inter-IC Sound, I2S) 标准数字接口, 送 SOC 进行编解码处理。

雷达视频为自定义高速串行格式, 通过光纤接口接入到 FPGA 中, 经过 FPGA 压缩处理后通过 PCIE 总线送 SOC 中记录。

航迹数据和终端操控数据直接通过千兆网络送 SOC 进行记录。

SOC 可通过本地的模拟视频接口 (Video Graphics Array, VGA) 进行回放显示, 也可作为文件传输协议 (File Transfer Protocol, FTP) 服务器, 上位机客户端通过登录方式获取记录的数据, 在上位机上回放。

1.3 技术指标

综合记录系统的主要指标如下:

- 1) 支持 2 路最高分辨率为 $1920 \times 1200 @ 60$ Hz 终端显示画面记录与环出显示;
- 2) 支持 2 路最高分辨率为 $1920 \times 1080 @ 25$ Hz 监控视频记录;
- 3) 支持 1 路最大带宽为 15 MB/s 雷达视频记录;
- 4) 支持 1 路立体声音频的记录与输出;
- 5) 支持 1 路航迹数据和操控数据的记录;
- 6) 终端显示画面和监控视频编解码采用 H.264, 雷达视频编解码采用游程长度编码 (Run-Length Encoding, RLE), 音频编解码采用高级音频编码 (Advanced Audio Coding, AAC) 技术, 压缩率可调;

- 7) 系统记录容量不小于 1TB, 支持 24 小时连续记录;
- 8) 支持本地回放、基于 FTP 网络协议的远程访问。

2 系统硬件设计

为实现综合记录系统的小型化设计, 主要硬件电路采用了高速、高集成度的芯片, 借助高速仿真工具进行设计仿真, 保证了硬件电路的信号完整性和电源完整性。

综合记录系统的核心处理芯片 Hi3531A 是针对多路高清、标清格式的数字视频记录仪 (Digital Video Recorder, DVR) 产品应用而开发的专业 SOC 芯片^[4]。该芯片内置 ARM A9 双核处理器和高性能 H.264 视频编解码引擎, 继承了丰富的可编程外围接口, 为数字视频记录提供了整体解决方案。

系统硬件主要设计指标:

- 1) 存储: 高速缓存容量 4 GB、数据存储容量 1 TB;
- 2) 显示: 终端画面最大分辨率 1920×1200 、监控视频最大分辨率 1920×1080 ;
- 3) 接口: 4 路视频接口、1 路音频接口、1 路千兆网络接口、1 路自定义光口。

Hi3531A 的主要电路设计如下:

- 1) 内存采用双通道设计, 由 4 片 DDR3 SDRAM: MT41K256M16 组成, 总容量为 2 GB, 设计带宽为 1732 MT/s;
- 2) 程序存储器采用并行 NAND FLASH: MT29F2G08, 总容量为 256 MB; 数据存储器采用符合 SATA 3.0 标准的电子盘, 总容量为 1 TB;
- 3) 视频输入接口配置成 4 个 BT.1120, 均接入到 FPGA 中, 其中接口 1、2 用于终端显示画面, 接口 3、4 用于监控视频; 视频输出接口采用 VGA, 用于回放显示;
- 4) 音频输入输出接口芯片采用 TLV320AIC, 该芯片输出符合 I²S 标准, 并使用串行控制总线 (Intel-Integrated Circuit, I²C) 进行控制;
- 5) 其余接口设计: 千兆网络采用 88E1111 作物理层接口 (Physical Port Layer, PHY) 接口, SOC 与 PHY 之间的接口标准采用精简的吉比特介质独立接口 (Reduced Gigabit Media Independent Interface, RGMII) 方式; 通用串行总线 (Universal Serial Bus, USB)、串口等通过电平转换和保护电路直接引出。

综合记录系统 FPGA 采用 EP4SGX230, 该芯片是一款基于 40 nm 工艺的高性能处理器, 芯片内集成了丰富的逻辑、DSP、存储、高速串行接口等资源^[5]。

EP4SGX230 的主要电路设计如下:

- 1) 终端显示输入、输出接口采用 DVI 接口芯片 Si11161 和 Si11160, 支持的最大显示分辨率为 $1920 \times 1200 @ 60$ Hz;
- 2) 监控视频接口采用高清 SDI 接口芯片 GV7704, 支持的最大显示分辨率为 $1920 \times 1080 @ 25$ Hz;
- 3) 雷达视频接口采用多模收发光模块 OEAT-

MHG01, 串行数据率为 6.25 Gbps;

4) 数据缓存由 4 片 DDR3 SDRAM; MT41K256M16 组成, 总容量为 2 GB, 设计带宽为 1 000 MT/s。

3 系统软件设计

综合记录系统软件包括上位机软件、下位机软件和 FPGA 软件三部分。上位机软件运行在任何一个雷达终端中, 主要实现人机交互和对下位机的控制; 下位机软件运行在 Hi3531A 中, 包括管理软件、网路数据记录软件和音视频编码器; FPGA 软件主要用于实现终端显示画面数据格式转化、显示环出和雷达视频的压缩、采集和传输。

FPGA 软件和上、下位机软件的功能框图如图 2~3 所示。

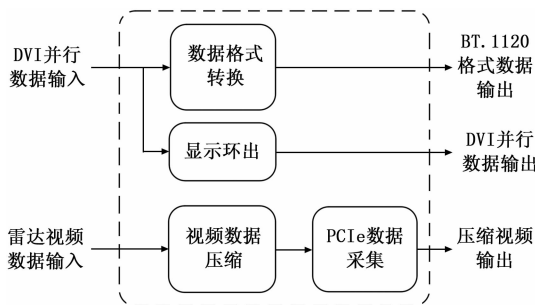


图 2 FPGA 软件功能框图

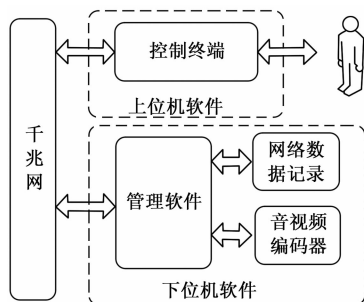


图 3 上、下位机软件功能框图

3.1 上位机软件

上位机软件基于 Window 系统开发, 包括人机交互和控制模块、状态监控模块、异常告警模块、记录文件下载模块、音视频文件播放模块。其功能框图如图 4 所示。

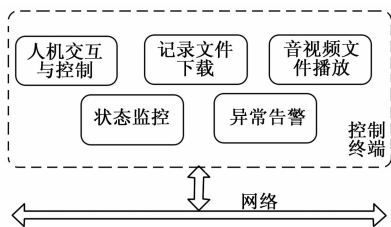


图 4 上位机软件功能框图

人机交互与控制模块实现人机交互功能, 接收控制指令, 并将指令按照协议处理, 传输给下位机的管理软件。同时控制终端接收下位机上传的信息, 监控下位机的工作

状态和异常状态。记录文件下载模块基于 FTP 传输协议设计, 可以将远端记录的视频文件和网络数据文件下载至本地主机, 然后做进一步分析与处理。音视频文件播放模块基于开源程序开发, 用于播放下载的音视频文件。状态监控和异常告警模块显示下位机的工作状态和异常状态, 包括编码器状态、数据状态、记录文件大小和时间、磁盘空间等, 根据用户需求, 这些状态可以实时显示, 也可以定时查询。

3.2 下位机软件

下位机软件基于嵌入式 Linux 系统开发, 其功能框图如 5 所示。主要包括嵌入式 Linux 操作系统、文件系统、设备驱动、应用软件四个部分。嵌入式 Linux 操作系统和文件系统基于开源程序开发而成; 设备驱动包括网络驱动、音视频编码器驱动和音视频数据采集驱动等, 用于将采集的数据传输给芯片进行处理, 并提供硬件编码接口。下位机软件主要开发内容包括音视频编码与封装软件^[6]和管理软件。

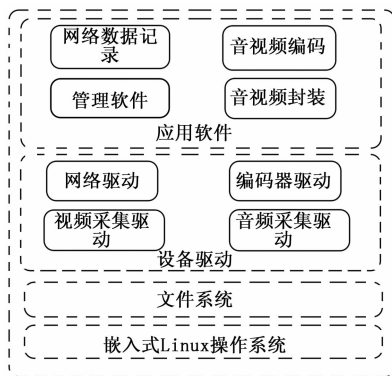


图 5 下位机软件功能框图

3.2.1 音视频编码和封装软件

视频编码与封装软件采用 H. 264 编码算法, 实现两路最高分辨率为 1 900×1 200 终端显示画面和两路最高分辨率为 1 920×1 080 监控视频编码, 采用 AAC 编码算法实现一路音频编码, 并将编码后的音视频封装成通用 MP4 文件, 其流程如图 6 所示。

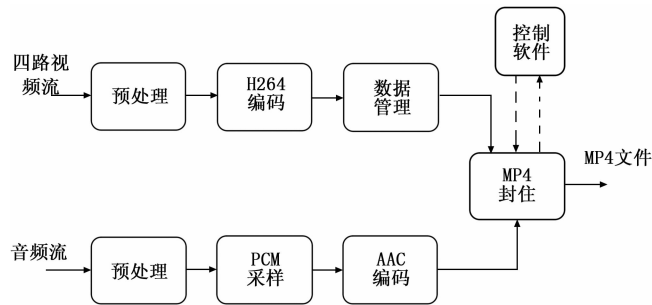


图 6 音视频编码与封装

采用 H. 264 编码和 AAC 编码有效降低录制音视频文件的大小, 节约磁盘空间。通过控制软件的控制, 实现 MP4 封装流程的开启、关闭, MP4 文件名称管理, 固定时

长封装或者固定文件长度封装等。采用固定时长封装的技术可以提高数据记录的安全性，避免因故障造成所有数据失效；采用固定文件大小封装技术避免过大文件传输时间长、速率低等问题。数据编码封装的同时，将编码状态、数据状态反馈给控制软件，使上位机可以实时观测音视频编码与封装的状态。

通过音视频的编码可以有效记录雷达视频、雷达界面操作内容以及操作人员语音指令，为以后的战术重演、评估、分析提供视频支持，采用 MP4 封装技术，将录制的音视频文件转为通用视频文件，随时可以采用通用播放器播放。

3.2.2 管理软件

下位机软件通过管理软件实现与上位机的通信，同时完成对网络数据记录、音视频编码及封装的控制，实现的功能包括：音视频记录、网路记录、磁盘空间管理、时统管理、记录监控管理、状态采集。

管理软件接收上位机的控制命令，解析后对网络记录软件和音视频编码器进行控制，包括记录的开始、关闭，以及记录文件的下载等。管理软件基于控制表、状态表、异常表等完成上位机对下位机的网络数据和音视频编码器的控制，其控制流程如图 7 所示。

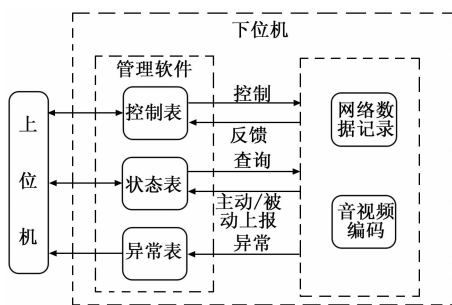


图 7 管理软件控制流程

基于控制表，上位机可以通过指令对控制表进行更新，同时网络数据记录模块和音视频编码器执行相应的操作，并反馈执行状态。控制指令包括：网络数据和音视频记录的开始、停止、视频记录文件大小配置、记录时间配置、时统配置、文件下载命令。

基于状态表，上位机可以主动查询网络数据记录和音视频编码器的状态，下位机也可以主动上报工作状态。相应的状态包括：音视频编码器是否在线、采集数据是否正常、是否正在记录文件等。

基于异常表，当下位机出现异常时，可以及时向上位机报告异常状态，包括时间异常、磁盘空间异常、记录满足时间约束、记录满足文件大小约束、数据采集异常、控制状态变化等。

3.3 FPGA 软件

3.3.1 视频数据格式封装

Hi3531A 的视频输入格式为 BT. 1120，而终端显示画面数据为红 R、绿 G、蓝 B 分量数据格式，因此需进行数据格式转换，数据格式转换的流程图如图 8 所示。

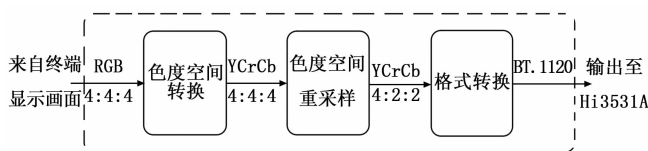


图 8 数据格式转换流程图

色度空间转换^[7]是将显示画面数据由以三基色 RGB 描述转换为以亮度 Y、红色色差 Cr 和蓝色色差 Cb 描述，具体公式如 (1) 至 (3) 所示。

$$Y = 0.299R + 0.578G + 0.144B \quad (1)$$

$$Cr = (0.500R - 0.4187G - 0.0813B) + 128 \quad (2)$$

$$Cb = (-0.1687R - 0.3313G + 0.500B) + 128 \quad (3)$$

为充分利用 FPGA 的 DSP 资源进行快速操作，采用定点运算代替浮点运算，在结果误差小于 1 的范围内，将公式两端先乘以 2^{23} ，转换成公式 (4) 至 (6)。最终输出时将计算结果右移 23 位，获得需要的亮度 Y、色差 Cr 和 Cb。

$$Y' = 2508193R + 4848615G + 1207959B \quad (4)$$

$$Cr' = (4194304R - 3512310G - 681993B) + 1073741824 \quad (5)$$

$$Cb' = (-1415158R - 2779145G + 4194304B) + 1073741824 \quad (6)$$

色度空间重采样是基于人眼对色度感知的敏感度低于亮度的前提，降低色度的表示数据位数不会影响人眼观察。将 YCrCb 数据 4:4:4 的形式转换成 4:2:2 的形式采用的公式如 (7) 所示。

$$Y'_0 C'_0 Y'_1 C'_1 Y'_2 C'_2 Y'_3 C'_3 Y'_4 C'_4 \dots = Y_0 C_r_0 Y_1 C_b_0 Y_2 C_r_2 Y_3 C_b_2 Y_4 C_r_4 \dots \quad (7)$$

最后转换成 BT. 1120 格式是根据 ITU-R BT. 1120 高清晰度电视演播室信号数据接口标准^[8]将数字视频中的时序信号：行同步、场同步和数据有效等以编码形式嵌入到数据中。

3.3.2 雷达视频压缩与传输

雷达视频数据的压缩采用游程长度编码 RLE^[9]，该编码是一种典型的无损压缩算法。该算法将数据分为两类符号：一类是重复符合。这些符合能够进行压缩，可用一个数字和一个对应数据来表达这一串重复符合，数字表示了该符号重复的次数；另一类是非重复符合。这些符合不能够被压缩，保留原数据。雷达视频数据中出现重复符号的概率较大，采用 RLE 压缩是最为合适的一种压缩算法。其主要流程如图 9 所示。

压缩后的雷达视频采用 PCIE 总线通过直接存储器访问 (Direct Memory Access, DMA) 方式传输到 Hi3531A 中，具体实现方式参考文献[11]。

4 系统测试

为测试综合记录系统的功能和性能指标，在某型航管雷达产品上搭建了一套测试系统，测试系统框图如图 10 所示。

按照图 10 连接测试系统，将雷达终端计算机的显示输

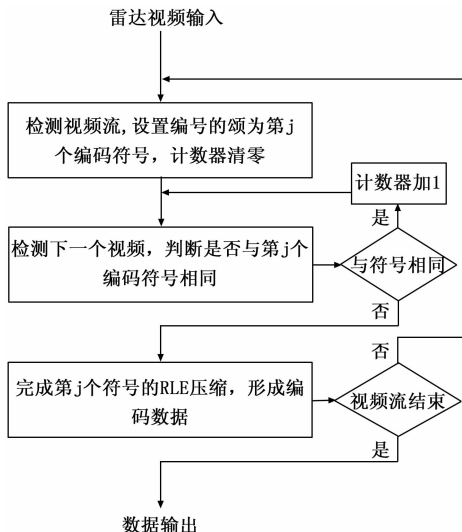


图 9 雷达视频压缩编码

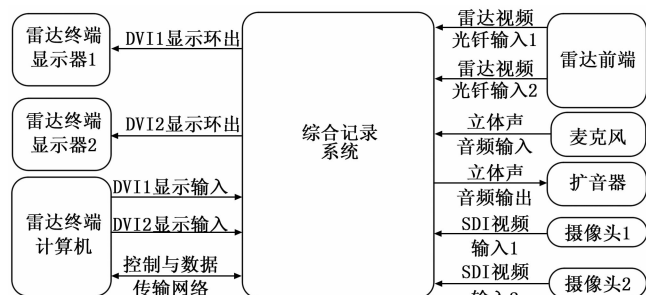


图 10 综合记录系统测试

出设置为上、下双屏输出, 分辨率设置为 1 920×1 200@60 Hz, 24 位真彩色, 数据率为 414.72 MB/s; 将两路摄像头设置为 SDI 高清输出, 分辨率设置为 1 920×1 080@25 Hz, 24 位真彩色, 数据率为 155.52 MB/s; 雷达前端提供两路雷达视频, 每一路的数据率为 6.25 Gbps, 有效带宽为 15 MB/s; 音频信号从麦克风输入, 从扩音器中输出; 雷达的航迹数据和终端操控数据从网络中输入到系统; 综合记录系统的上位机软件运行在雷达终端计算机中, 通过网络实现对综合记录系统进行控制与状态监控、记录文件下载与播放等, 上位机软件界面如图 11 所示。



图 11 上位机软件界面

启动综合记录系统, 对显示画面、监控视频、台位语音、雷达视频、航迹数据、操控数据等信息进行记录, 系统运行 1 小时后将记录数据通过网络导入到雷达终端计算

机中, 并对数据进行统计, 如表 1 所示。

表 1 记录数据统计

序号	类型	格式	容量/(GB)	备注
1	显示画面及语音	MP4	14.4GB	H.264、AAC 编码
2	监控视频及语音	MP4	7.2GB	H.264、AAC 编码
3	雷达视频	DAT	5.4GB	RLE 编码
4	航迹数据	TXT	5.4MB	原始数据
5	操控数据	TXT	1.44MB	原始数据

结合产品应用场景, 由于雷达显示画面和现场监控视频画面固定部分较多, 数据帧与帧之间的变化率较低, 对表项 1、2 采用 H.264 编码获得了较好的压缩效果。1 小时综合记录的数据容量合计约为 27 MB, 24 小时综合记录的数据容量合计约为 648 MB, 小于 1 TB 的设计容量。采用 MP4 播放工具对表项 1、2 的记录数据进行播放, 播放的显示画面完整、无缺色、无失真, 视频与音频同步。经测试, 综合记录系统的功能、性能指标均满足设计要求。

5 结束语

本设计针对航管雷达终端信息记录和分析需求, 通过优化系统架构, 合理划分系统功能, 并结合 SOC 和 FPGA 两类处理器的特点, 实现了一套完整的航管雷达终端综合记录系统。该系统具备记录信息丰富、不间断记录时间长、控制与访问灵活、高集成度小型化等特点。某型航管雷达产品试用表明, 基于 SOC+FPGA 的航管雷达终端综合记录系统完全满足产品需求, 具备良好的可行性, 并可推广应用到地面情报、测控、舰载等雷达终端领域。

参考文献:

- [1] 张家勇, 徐鹏, 任翔. 机动多功能航管雷达系统研究[J]. 现代电子技术, 2014, 37(9): 4-7.
- [2] 李伟刚, 杨小昇. 航管雷达和天气雷达综合显示系统的实现[J]. 中国科技投资, 2012(24): 85-86.
- [3] 高伟亮, 李淑华, 王守权, 等. 某型飞机数字视频记录系统设计[J]. 国外电子测量技术, 2014, 33(1): 54-57, 68.
- [4] 深圳市海思半导体有限公司. Hi3531A H.264 编解码处理器用户指南[Z].
- [5] ALTERA Corporation. Stratix IV Device Handbook [Z].
- [6] 田方. 浅谈高清视频编码封装格式[J]. 大科技, 2016(24): 122-124.
- [7] 武丽芳, 陈星, 王福明. 色度空间转换在视频采集系统中的应用[J]. 山西电子技术, 2013(3): 51-52, 85.
- [8] 国际电信联盟. 高清晰度电视演播室信号数字接口 ITU-R BT. 1120-8 建议书[Z].
- [9] Shan Yanhu, Ren Yongfeng, Zhen Guoyong, et al. An Enhanced Run-length Encoding Compression Method for Telemetry Data[J]. Metrol. Meas. Syst, 2017, 24(3): 551-562.
- [10] 杨东华. 基于 PCI-E Hard IP 的雷达数据采集系统的设计与开发[J]. 现代雷达, 2013: 86-89.