

基于 FPGA 和 EMIFA 的 SPI 控制器系统设计

杨宇科^{1,2}, 王保成¹

(1. 中国科学院 光电研究院, 北京 100094; 2. 中国科学院大学, 北京 100049)

摘要: 为了可以灵活地在现有 C6000 系列 DSP 芯片上扩展多路 SPI 外围设备, 提出了一种基于 FPGA 和 EMIFA 接口的多路 SPI 控制器系统方案; 该方案采用 C6000 系列 DSP 上的 EMIFA 接口与 FPGA 进行数据交互, 扩展出多路 SPI 控制器; 在 FPGA 上实现了接口模块、寄存器读写模块以及多路通用 SPI 模块; 在 ModelSim 环境下对所设计的 SPI 控制器进行了仿真实验, 仿真结果表明 SPI 控制器可以与 SPI 接口外设芯片进行全双工通信; 随之, 在 DSP-FPGA 集成计算机上对系统进行了实物测试, 扩展出来的 SPI 控制器外接具有 SPI 接口的 CAN 控制器芯片 MCP2515, 通过扩展的 SPI 控制器控制 MCP2515 的数据收发, 测试结果显示 DSP 可以通过 MCP2515 与其它 CAN 设备进行通信, 表明扩展的 SPI 控制器工作正常。

关键词: SPI 控制器; FPGA; DSP; EMIFA 接口

Design of a SPI controller system based on FPGA and EMIFA

Yang Yuke^{1,2}, Wang Baocheng¹

(1. Academy of Opto-Electronics, Chinese Academy of Sciences, Beijing 100094, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to extend multiple SPI peripheral devices based on current C6000 series DSP chips, this article presents a multi-channel SPI controller system solution based on FPGA and EMIFA interface. By utilizing the EMIFA interface in C6000 series DSP chips, an interface through which DSP can communicate with FPGA, multiple SPI controllers can be extended on FPGA. Interface module, register module and multiple generic SPI modules are implemented on FPGA. Simulation experiments are done under ModelSim environment, the result shows SPI controller can communicate with the SPI interface peripheral chips in full-duplex mode. Finally, real tests are conducted on a DSP-FPGA embedded computer. A CAN controller chip with SPI interface, MCP2515, is connected to an extended SPI controller, using which to control MCP2515. The result shows DSP can communicate with other CAN device through MCP2515, which means the extended SPI controller works normally.

Keywords: SPI controller; DSP; FPGA; EMIFA interface

0 引言

SPI (Serial Peripheral Interface) 是由摩托罗拉公司在 20 世纪 80 年代中期针对短距离通信提出的一种同步串行通讯接口, 被广泛地应用于嵌入式系统中。嵌入式处理器可以通过 SPI 接口与许多外设芯片如 FLASH、气压传感器、EEPROM、高速 ADC 等^[1-4]进行通信。

目前, 大部分嵌入式处理器片内都自带了 SPI 控制器。在有些情况下, SPI 控制器的一些片选引脚可能会被其它片内外设所使用, 此时如果系统需要控制多路 SPI 接口外设芯片, 可以采用 FPGA 来扩展多路 SPI 控制器, 通过 FPGA 扩展出来的 SPI 控制器与 SPI 接口外设芯片进行通信^[5]。

本文设计了一个具有多路 SPI 控制器的系统, 该系统采用 TMS320C6748 作为主控制器, 采用 FPGA 作为协处理器。在 FPGA 上实现了接口模块、寄存器读写模块以及多路 SPI 模块。DSP 芯片通过其异步存储器访问接口 EMIFA (External Memory Interface A) 可以访问 FPGA 内的寄存器, 与 FPGA 进行通信^[6], 从而实现与多路 SPI 接口外设

芯片的通信。采用 DSP 的 EMIFA 接口, 结合硬件可重置的 FPGA, 极大地增强了系统的接口扩展能力, 系统不仅能扩展多路 SPI 接口, 还能扩展其它通信接口, 如 UART、CAN^[7-8]等。

针对所设计的系统, 在 ModelSim 环境下进行了仿真实验, 对 SPI 控制器进行了简单的收发测试, 验证了其逻辑正确。最后, 在 DSP-FPGA 集成计算机上展开实物测试, 利用所设计 SPI 控制器对 SPI 接口 CAN 控制器芯片进行控制, 实现了 CAN 通信, 验证了该系统的可行性。

1 系统设计

系统的硬件拓扑如图 1 所示, DSP 与 FP-GA 通过 EMIFA 接口通信, FPGA 的一个引脚作为中断信号引脚连接到 DSP 的一个 GPIO 引脚上, FPGA 外接多路 SPI 接口芯片。

当 FPGA 接收到任意一路 SPI 接口芯片的数据时, 会在其中断信号引脚 int_o 上产生中断信号, 通知 DSP 读取 FPGA 接收到的数据。int_o 引脚此时由低电平变为高电平, 产生了上升沿跳变。若在软件中已经使能了 DSP 的 GPIO BANK 中断, 且 GPIO 中断触发类型被设置为上升沿触发, 则 DSP 将产生 GPIO BANK 中断。DSP 在中断子程序中读取了 FPGA 所接收到的数据后, FPGA 将把中断信

收稿日期: 2018-10-30; 修回日期: 2018-12-19。

作者简介: 杨宇科(1994-), 男, 广东湛江人, 硕士研究生, 主要从事飞控计算机硬件设计方向的研究。

号引脚 `int_o` 的电平清零, 此时 DSP 的 GPIO 引脚又将恢复为低电平。

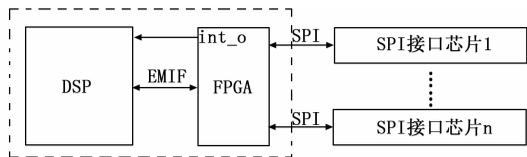


图 1 系统硬件拓扑图

FPGA 实现了接口模块、寄存器读写模块、SPI 模块以及中断管理组合逻辑, 各模块连接关系如图 2 所示。

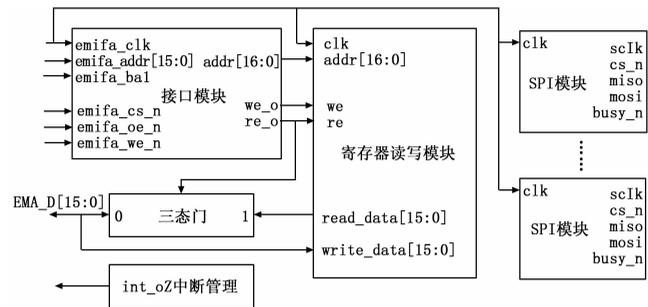


图 2 FPGA 片内模块连接图

接口模块与 DSP 的 EMIFA 接口相连, 对 EMIFA 接口时序解析, 产生读控制信号 `re_o` 和写控制信号 `we_o` 给寄存器读写模块。读控制信号 `re_o` 同时还控制三态门的开闭, `re_o` 有效时, 三态门将会打开, FPGA 输出数据到 DSP, 否则, 三态门关闭, DSP 输出数据到 FPGA。寄存器读写模块包括各个 SPI 模块的寄存器, 配置 SPI 模块的工作模式, 保存 SPI 模块接收的数据。SPI 模块与外设芯片相连, 将接收到的数据存到寄存器读写模块的寄存器中, 同时将寄存器读写模块内要发送的数据发送出去。中断管理组合逻辑对各个 SPI 模块进行中断管理, 并产生中断信号输出至 DSP。各个 SPI 模块功能一致, 但是相互独立, 使 SPI 接口扩展更为灵活。

为了让模块连接图更为简洁, 图 2 中省略寄存器读写模块与 SPI 模块间的连接关系, 文中后续再给出细节。

2 主要模块设计

2.1 接口模块设计

接口模块的作用是对 EMIFA 接口时序解析, 产生地址信号 `addr`、读控制信号 `re_o`、写控制信号 `we_o`。

对 EMIFA 接口而言, 只要按照 EMIFA 接口的读写时序定义好接口模块, 将 FPGA 片内寄存器的地址统一映射到 EMIFA 的访问空间, 访问 FPGA 的片内寄存器和访问其它异步存储器并无二致。

TMS32C6748 的 EMIFA 接口一共有 4 个片选引脚, 标号为 `EMA_CS [5: 2]`, 系统使用片选引脚 `EMA_CS [2]` 作为 FPGA 的片选, 则 FPGA 片上寄存器在 TMS32C6748 地址空间里的基址为 `0x60000000`。FPGA 对外数据总线接口 `D [15: 0]` 为 16 位, 根据数据手册, TMS32C6748 访

问 16 位异步存储器时, 其地址线连接关系如图 3 所示。

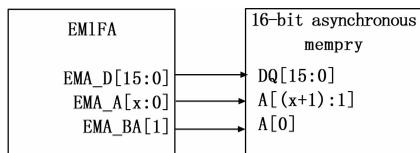


图 3 EMIFA 至 16 位异步存储器连接图

由图可见接口模块输入端 EMIFA 地址信号 `EMA_A [15: 0]` 应连接至输出端地址信号的高 16 位, 接口模块输入端 EMIFA 的 BANK 地址信号 `EMA_BA [1]` 应连接至输出端地址信号的最低位。接口模块地址转换 Verilog 代码如下:

```
assign addr[16:1] = emifa_addr[15:0];
assign addr[0] = emifa_bal;
```

EMIFA 的读写时序如图 4、图 5 所示^[10]。

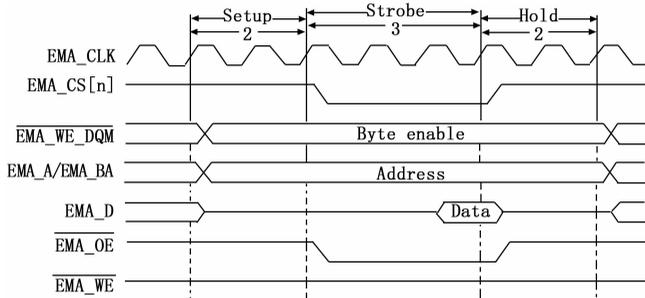


图 4 EMIFA 读时序图

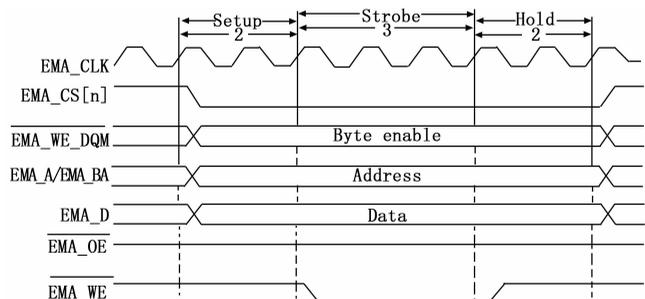


图 5 EMIFA 写时序图

当 DSP 访问 `0x6000 0000~0x61FF FFFF` 地址空间时, `EMA_CS [2]` 信号将会有效^[9]。读数据时, `OE` 信号有效, 输出低电平; 写数据时, `WE` 信号有效, 输出低电平。据此, FPGA 接口模块可以结合 `EMA_CS [2]`、`OE`、`WE3` 个信号的电平高低来判断 DSP 进行的是读操作还是写操作, 分别在读信号引脚 `re_o` 和写信号引脚 `we_o` 上产生有效电平, 并输出至寄存器读写模块。由以上分析可得, 接口模块输出的读写信号与输入的 EMIFA 接口读写信号逻辑关系为:

```
assign we_o = ~cs_n & (we_n == 1'b0);
assign re_o = ~cs_n & (oe_n == 1'b0);
```

2.2 寄存器读写模块设计

寄存器读写模块保存各个 SPI 模块的寄存器数据, 每

一路 SPI 模块对应寄存器读写模块中 3 个 32 位寄存器和 1 个 16 位寄存器，各寄存器名称如表 1 所示，表中 n 表示该寄存器对应第 n 路 SPI 模块。

表 1 寄存器读写模块 SPI 寄存器表

寄存器名	长度	定义
SPIFMT $_n$	32	SPI 格式寄存器 n
SPIBUF $_n$	32	SPI 接收寄存器 n
SPIDAT $_n$	32	SPI 发送寄存器 n
SPIDEL $_n$	16	SPI 延时寄存器 n

SPI 格式寄存器存储 SPI 模块数据传输的格式信息，其字段描述如表 2 所示。

表 2 SPIFMT 寄存器字段描述表

位	名称	描述
0~4	charlen	字长
5~7	reserved	保留位
8~15	prescale	分频系数
16	phase	相位
17	polarity	极性
18~19	reserved	保留位
20	shiftdir	移位方向
21~23	reserved	保留位
24~29	wdelay	传输延时
30~31	reserved	保留位

SPI 接收数据寄存器存储 SPI 模块接收到的数据，SPI 发送数据寄存器存储 SPI 模块要发送的数据，SPI 延时寄存器存储 SPI 数据传输的延时信息。

EMIFA 数据总线只有 16 位，因此，每次读写 32 位寄存器只能读写高 16 位或低 16 位。

寄存器读写模块与 SPI 模块的接口关系如图 6 所示。

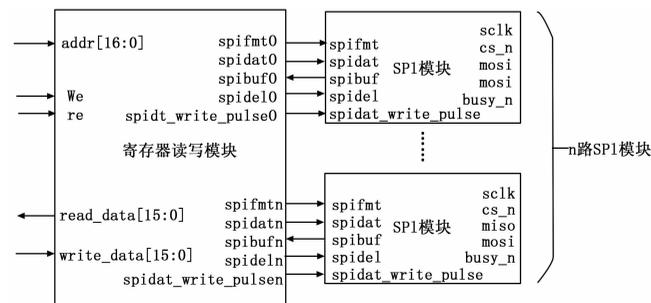


图 6 寄存器读写模块接口图

在时钟的上升沿，寄存器读写模块分别判断写控制信号 we 或读控制信号 re 是否有效。若读写控制信号有效，寄存器读写模块根据输入的偏移地址信号 addr 确定所要读写的 SPI 寄存器的地址，对该偏移地址处的 SPI 寄存器进行读写。

当 SPIDAT 寄存器低 16 位数据更新时，寄存器读写模块的 spidat_write_pulse 信号有效，并保持 1 个时钟周期。SPI 模块检测到 spidat_write_pulse 信号有效后，将启动

数据传输。

寄存器读写模块不仅能保存多路 SPI 模块的寄存器，还能保存其它通信模块的寄存器。当系统需要扩展其它通信接口，如串口、CAN 时，在寄存器读写模块中对每一路通信接口定义一组该接口专用的寄存器即可。通过寄存器读写模块对各个通信接口的寄存器统一管理，简化了通信接口模块的实现。通信接口模块只需关注通信协议的实现，而无需考虑 DSP 对其相关寄存器的读写操作。

2.3 SPI 模块设计

SPI 模块对外提供 SPI 接口，与外设芯片相连。SPI 模块实现 SPI 通信协议，具有以下功能：

- 1) 支持 8 位、16 位、24 位、32 位 4 种字长数据传输；
- 2) 支持 4 种时钟传输模式；

图 7 为 SPI 模块的原理框图。MOSI、MISO、CS、SCLK 为标准 SPI 协议引脚，连接外设芯片。BUSY 引脚接 DSP 的 GPIO，DSP 可以查询该引脚，判断 SPI 模块是否正在发送数据。SPIDAT、SPIBUF、SPIDAT、SPIDEL 端口与寄存器读写模块相连。

SPI 模块读取寄存器读写模块 SPIDAT 寄存器的值输出到外设芯片，从外设芯片接收到的数据则保存到 SPIBUF 寄存器中。SPIDEL 寄存器表示 SPI 数据连续传输时相邻数据传输时间间隔大小。SPIFMT 寄存器控制 SPI 模块数据传输的格式，包括字长、分频系数、相位极性、移位方向、传输延时。

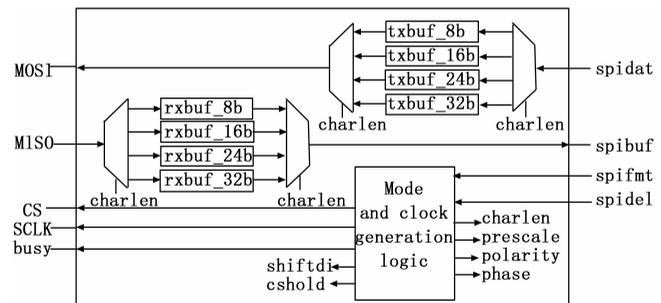


图 7 SPI 模块框图

SPI 模块分为三部分实现：数据发送、数据接收、模式与时钟发生。txbuf_8b、txbuf_16b、txbuf_24b、txbuf_32b 为用于发送数据的缓冲寄存器，对应 4 种字长的数据发送。SPI 模块将 SPIDAT 寄存器读取到其中一个数据发送缓冲寄存器中，再将其移位输出至 MOSI 引脚。

在 SPI 传输的每个时钟周期内，SPI 模块同时会读取 MISO 引脚接收的数据。根据字长，将 MISO 引脚接收的数据移位输入到 4 个接收缓冲数据寄存器中的一个。rxbuf_8b、rxbuf_16b、rxbuf_24b、rxbuf_32b 4 个接收缓冲数据寄存器分别用于 8 位、16 位、24 位、32 位 4 种字长数据传输的数据接收。移位接收完成后，SPI 模块再把接收缓冲寄存器的值输出到 SPIBUF 寄存器。

模式与时钟发生部分从 SPIFMT 寄存器读取控制 SPI 传输的格式信息，包括字长、分频系数、极性、相位、数

据移位方向、传输延时等,同时对 SPI 模块输入时钟分频,输出 SPI 时钟 SCLK。其中,字长表示每次 SPI 数据收发的位数;分频系数用于调整 SCLK 大小;SCLK 与 SPI 模块输入时钟的频率关系如式 (1) 所示:

$$f_{sclk} = \frac{f_{clk}}{prescale + 1} \quad (1)$$

极性与相位共同决定 SPI 传输的时钟模式,根据其不同组合, SPI 模块可工作在 4 种时钟模式下;数据移位方向确定 SPI 传输是从最高位至最低位还是从最低位至最高位;传输延时表示 SPI 连续传输时相邻两次传输的最小时间间隔。

SPI 模块工作在有限状态机,其状态可分为空闲态、延时态和传输态 3 种。图 8 为 4 种 SPI 时钟模式下各延时态示意图。

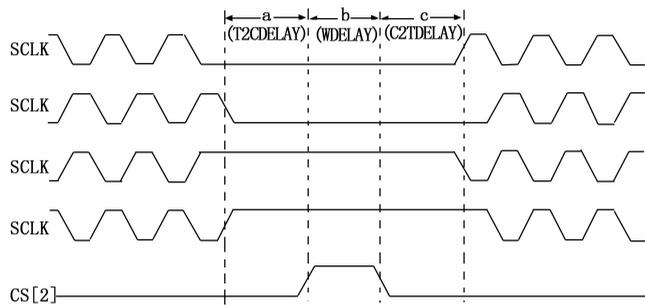


图 8 SPI 模块传输延时图

其中,延时态 C2TDELAY、T2CDELAY、WDELAY 分别表示片选有效到第一个 SCLK 之间的延时阶段、最后一个 SCLK 到片选无效之间的延时阶段、片选无效到空闲态延时阶段。

传输态有 4 种模态,每种模态对应一种时钟模式。状态机状态转移图如图 9 所示。

SPI 模块初始时处于空闲状态,当 DSP 往寄存器读写模块的 SPIDAT 寄存器低 16 位写入新的数据后, spidat_write_pulse 为 1, SPI 模块将进入 C2TDELAY 延时态,片选信号 EMA_CS [2] 被拉低,延时时间由式 (2) 计算可得:

$$T_{C2T} = T_{clk} * (c2tdelay + 1) \quad (2)$$

延时结束后, SPI 状态机根据极性和相位的组合,切换至 4 种传输模态之一。在传输模态, SPI 模块发送数据到 MOSI 引脚,同时从 MISO 引脚读取数据。发送完成后,状态机依次切换至 T2CDELAY 延时态和 WDELAY 延时态,两个延时态的延时时间由式 (3) 和式 (4) 可计算得到:

$$T_{C2T} = T_{clk} * (t2cdelay + 1) \quad (3)$$

$$T_w = T_{clk} * (wdelay + 1) \quad (4)$$

最后,状态机回到空闲状态,等待 DSP 启动下一轮的数据传输。

2.4 中断管理

FPGA 接收到 SPI 外设芯片的数据后,通过中断方式通知 DSP 读取所接收到的数据。一种简单的中断管理方式是 FPGA 为每一路 SPI 外设芯片都配置一个中断信号引脚,每

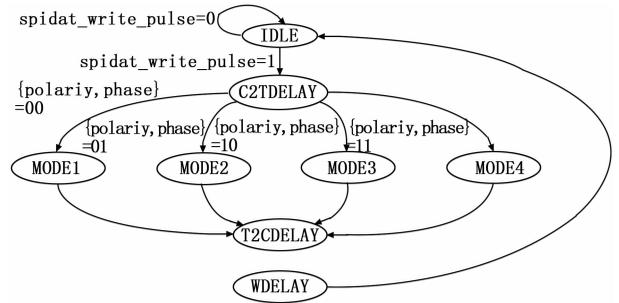


图 9 SPI 模块状态转移图

一个中断信号引脚分别连接到 DSP 的不同 GPIO 引脚上。当 FPGA 接收到来自不同的 SPI 外设芯片发送过来的数据时,就在其所对应的中断信号引脚上产生中断信号。在 SPI 外设芯片较少的时候,这种方法简单实用,但是在 SPI 外设芯片较多时,该方法将占用较多 GPIO。

系统采用了一种常用的中断管理方法,所有 SPI 外设芯片共用一个中断信号引脚,通过中断标志寄存器来判断中断源是谁。每一路 SPI 外设芯片都是一个中断源,对应中断标志寄存器中的一个标志位,当 FPGA 接收到 SPI 外设芯片数据时,会将中断标志寄存器中相应的标志位置 1,并在中断信号引脚上产生中断。DSP 在 GPIO BANK 中断处理子程序中读取 FPGA 的中断标志寄存器即可判断中断源是哪一路 SPI 外设芯片,在读取中断标志寄存器后,所有中断标志位将自动清除。

3 系统仿真与测试

在 ModelSim 环境下对系统进行仿真,在激励模块中,先对寄存器读写模块中的相关寄存器进行设置。为了便于观察,在仿真程序中设置分频系数为 7, SCLK 频率为输入时钟的 8 分频。c2tdelay 和 t2cdelay 均设为 7,则 C2TDELAY 和 T2CDELAY 延时态均为延时 8 个 SPI 模块输入时钟周期。字长设置为 8 位,移位输出方向设为从最高位到最低位,相位和极性均设置为 0,主机在 SCLK 上升沿输出数据到 MOSI 引脚,在 SCLK 下降沿锁存 MISO 引脚输入的数据。

测试过程如下,激励模块通过 EMIFA 接口往 SPIDAT 寄存器低 16 位写入 0x00AA,启动 SPI 数据发送。因为字长为 8,每次 SPI 模块只发送 SPIDAT 的低 8 位,所以 SPI 模块应发送 0xAA 到激励模块。为了观测 SPI 模块是否能进行全双工通信,在 SPI 模块发送 0xAA 到激励模块的同时,激励模块也发送 0x55 至 SPI 模块。然后读取寄存器读写模块的 SPIBUF 寄存器的低 16 位,如果 SPIBUF 寄存器低 8 位为 0x55,说明接收逻辑正确。仿真波形如图 10 所示。

由图 10 可见, FPGA 输出到 MOSI 上的数据为 10101010,故发送给激励模块的数据为 0xAA,与激励模块写入 SPIDAT 寄存器低 8 位的数据一致; MISO 上接收的数据为 01010101,故 FPGA 读取到的数据为 0x55,与激励模块发送给 SPI 模块的数据一致。可见收发逻辑均无误,所

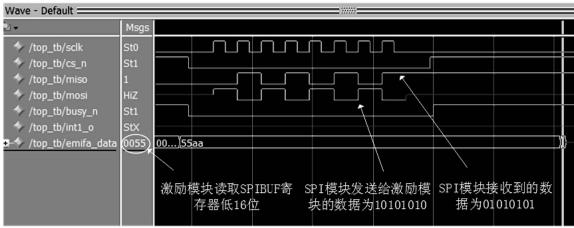


图 10 仿真波形图

设计的系统在仿真实验中可以进行正常的全双工通信。

为了验证设计的 SPI 控制器能否正常工作，将具有 SPI 接口的 CAN 控制器芯片 MCP2515 连接到 FPGA 扩展出的 SPI 控制器引脚上进行测试。

DSP 先发送一帧数据到上位机，帧 ID 为 0x7ff，数据为 0x7f、0x04。然后上位机再发送一帧数据到 DSP，帧 ID 为 0x7ff，数据为 0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07。测试结果如图 11 和图 12 所示。由图 11 可以看出，上位机接收到一帧数据，帧 ID 为 0x7ff，数据为 0x7f、0x04，与 DSP 发送的数据一致。然后上位机返回一帧数据给 DSP，帧 ID 为 0x7ff，数据为 0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07，DSP 接收到的数据如图 12



图 11 上位机收发图

寄存器	数据类型	值	地址
rxbuf	int[8]	0xc00046d0	0xc00046d0
[0]	int	0	0xc00046d0
[1]	int	1	0xc00046d4
[2]	int	2	0xc00046d8
[3]	int	3	0xc00046dc
[4]	int	4	0xc00046e0
[5]	int	5	0xc00046e4
[6]	int	6	0xc00046e8
[7]	int	7	0xc00046ec

图 12 DSP 接收数据图

所示。可以看到，与上位机发送的数据一致，说明 MCP2515 可以实现正常的 CAN 数据收发，所设计的 SPI 控制器系统可以正常地与 SPI 外设芯片通信。

4 结语

本文实现了基于 FPGA 和 EMIFA 的 SPI 控制器。在 FPGA 上扩展了多路 SPI 控制器，TMS320C6748 通过 EMIFA 接口访问通过 FPGA 扩展的 SPI 控制器，实现了与多路 SPI 接口外设同时通信的需求。采用模块化设计的方法，系统具有良好的可扩展性。经过仿真测试与实际硬件测试，证明了该系统工作正常。

参考文献:

- [1] 赵海婷, 贺占庄. 面向 EEPROM 应用的 SPI 主控制器设计与实现 [J]. 计算机系统应用, 2012, 21 (4): 64-67.
- [2] 王 耿, 王金明. SPI 接口控制器设计与实现 [J]. 测试测量技术, 2010 (1): 4-13.
- [3] 崔 璨, 邓 圣, 代航阳, 等. 适用于 MS5611 的 SPI 接口设计 [J]. 科技创新导报, 2017, 01 (31): 31-35.
- [4] 郭声彦. 高速 ADC 中 SPI 接口电路的研究与设计 [D]. 合肥: 合肥工业大学, 2017.
- [5] Zhang J L, Wu C Y, Zhang W J, et al. The design and realization of a comprehensive SPI interface controller. [A]. 2nd IEEE International conference on mechanic automation and control engineering [C]. Hohhot, China, 2011: 4529-4532.
- [6] 杨 龙, 李范鸣, 刘士建. DSP EMIF 与 FPGA 双口 RAM 高速通信实现 [J]. 现代电子技术, 2014 (13): 10-12.
- [7] 陈标龙, 王保成, 周江华. 基于 FPGA 和 FIFO 技术的多串口系统设计与实现 [J]. 计算机测量与控制, 2013, 21 (10): 2835-2837.
- [8] 吴从中, 潘玉静, 田中华. 基于 FPGA 的 CAN 控制器软核的设计与实现 [J]. 电路与系统学报, 2011, 16 (3): 118-122.
- [9] Texas Instruments, TMS320C6748 Fixed and Floating-Point DSP (Rev. E). TMS320C6748 Datasheet [EB/OL]. Jun, 2009 [Revised Aug, 2013].
- [10] Texas Instruments, TMS320C6748 DSP Technical Reference Manual. TMS320C6748 Data-sheet [EB/OL]. Apr, 2013 [Revised Jul. 2016].

(上接第 70 页)

参考文献:

- [1] 黎刚果, 汪 洋, 朱晓峰. 一种无人机统一测控系统 [J]. 无线电工程, 2014, 44 (9): 74-77.
- [2] 林回祥, 朱 弘. 大型系留气球测控系统软件设计 [J]. 信息与电子工程, 2010, 8 (3): 360-363.
- [3] 王英玲. 空基测控中继设备的相控阵天线设计 [J]. 电讯技术, 2018, 58 (6): 639-643.
- [4] 李 宁, 马顺南. 多用途无人机电靶场中的应用 [J]. 中国科技纵横, 2016 (1): 246-247.

- [5] 刘嘉兴. 相控阵测控系统概论 [J]. 电讯技术, 2005, 45 (3): 1-6.
- [6] 张国旺, 尚丽楠, 王 瑾. 遥测中继技术在飞行试验中的应用 [J]. 中国科技信息, 2015, (13): 64-65.
- [7] 姜汉泉, 李 铁. 海上靶场测控系统技术特点及应用 [J]. 飞行器测控学报, 2010, 29 (5): 6-10.
- [8] 张祖稷. 雷达天线技术 [M]. 北京: 电子工业出版社, 2005.
- [9] 陈矿达, 孙 竹, 张继浩. 箭载宽角扫描圆极化共型相控阵天线 [J]. 无线电工程, 2015, 45 (7): 71-74.
- [10] 汪 洋, 黎刚果, 陈 潇. 基于无人中继的靶标远程测控系统 [J]. 无线电工程, 2013, 43 (6): 40-43.