

# 基于 FPGA 的高帧频图像跟踪系统设计

马帅旗

(陕西理工大学 电气工程学院, 陕西 汉中 723000)

**摘要:** 针对高速运动的导弹末端制导、弹道实验或机载武器姿态跟踪中目标图像模糊及跟踪精度较低的问题, 给出了一套基于 FPGA 和 CMOS 高帧频图像传感器的高速图像跟踪系统; 在 FPGA 中采用流水线方式, 设计了图像采集模块、乒乓高速缓存模块、图像处理及跟踪控制模块, 采用动态阈值分割法获取目标, 计算出目标形心偏移图像视场中央的偏移量, 依据二维视场的偏移量控制云台跟踪目标; 实验结果表明, 该系统能够有效获得高帧频图像传感器数据, 数据读出速率可达 80 Mb/s, 提高了系统跟踪精度。

**关键词:** CMOS 图像传感器; 高帧频; FPGA; 图像跟踪

## Design of High Frame Rate Image Tracking System Based on FPGA

Ma Shuaiqi

(School of Electrical Engineering, Shaanxi University of technology, Hanzhong 723000, China)

**Abstract:** As to the problem of target image blurring and low tracking accuracy in high-speed missile terminal missile guidance, ballistic experiment and airborne weapon attitude tracking system, a high-speed image tracking system based on high frame rate CMOS image sensor and FPGA is introduced. Image acquisition module, ping-pong high speed cache module, image processing and tracking control module are designed in FPGA by using pipeline technique. Target image is acquired by using adaptive threshold image segmentation algorithm, and the target offset between the centroid and the center of the view field is calculated, pan-tilt is controlled to tracking target according to the offset of two-dimensional view field. Experiments results show that the system can effectively obtain high frame rate image and can read data rate at 80 Mb/s, which improves the system tracking accuracy.

**Keywords:** CMOS image sensor; high frame rate; FPGA; image tracking

## 0 引言

在高速运动的导弹末端制导、弹道实验或机载武器姿态跟踪系统中, 需要快速地捕获目标与实时定位, 完整记录高速实验数据, 为目标高速运动规律研究和性能分析提供数据支撑<sup>[1-2]</sup>。高帧频图像跟踪系统的效果容易受到众多因素干扰, 这对高帧频 CMOS 图像传感器、图像接口模块、图像处理器和跟踪机构等提出了更高的要求<sup>[3-4]</sup>。

现有高帧频图像处理系统多采用并行工作方式的 FPGA 器件, 实现与图像传感器接口及内部算法并行处理功能。文献[5]通过 Camera Link 接口, 利用 FPGA 对分辨率为 2048×1088 像素、帧频为 280fps 的图像进行采集、存储、目标粗定位等处理, 利用 DSP 完成目标准确定位和实时跟踪, 系统处理数据量大, 相对较为复杂。文献[6]对分辨率为 300×300 像素、帧频 1 000 Hz 信标光斑图像的捕获、预处理、阈值分割和形心定位, 实现了高帧频激光光斑跟踪与瞄准功能, 系统结构简单, 但图像采集与处理不能同步进行。文献[7]对分辨率为 1280×1024、帧频为 500fps 的图像进行图像捕获、高速缓存、千兆网传输、外部控制功能, 系统采用一片 SDRAM 完成图像采集和处理

的缓冲功能, 处理效率相对较低。文献[8]将 DRAM 分割成两个乒乓块 Bank0-1 和 Bank2-3, 采用乒乓切换方式读写 DRAM 中 Bank0-1 和 Bank2-3 区域, 这种工作方式一定程度上提高系统处理速度, 但图像保存和图像处理分开, 系统工作效率仍旧不高。

为了提高高帧频图像系统的实时采集、处理需求, 本文利用 CMOS 图像传感器 LUPA-300、CycloneIV EP4CE115 和 2 片 DDR2 等设计了一种高帧频图像目标跟踪系统, 该系统能够对分辨率为 640×480 像素、帧频 250 Hz 的图像进行捕获、阈值分割、形心定位等处理, 实现对高速运动目标进行精确跟踪。

## 1 系统总体方案设计

图像跟踪系统是利用 FPGA 对高帧频 CMOS 图像传感器图像进行捕获、预处理、目标识别、形心跟踪和云台驱动控制。系统结构如图 1 所示, 主要包括 FPGA 模块、高帧频 CMOS 图像传感器模块、外设时钟模块、2 片 DDR2 模块、二维云台控制模块和 RS232、USB2.0、以太网等外设接口模块等。

FPGA 是图像跟踪系统的核心芯片, 实现与图像传感器、DDR2、VGA、上位机接口和目标识别与跟踪控制等功能, 因而 FPGA 的内部资源及工作频率决定了整个系统的性能。高帧频图像传感器选用 Cypress 公司 CMOS 图像传感器 LUPA-300, 该芯片内置 10 位 ADC, 输出的图像数据长度为 10 位, 数据输出最大速率为 80 Mb/s。输出图像

收稿日期: 2018-10-23; 修回日期: 2018-12-06。

基金项目: 陕西省教育厅科研计划资助项目(18JK0146)。

作者简介: 马帅旗(1977-), 男, 硕士, 副教授, 主要从事机器视觉和图像处理方向的研究。

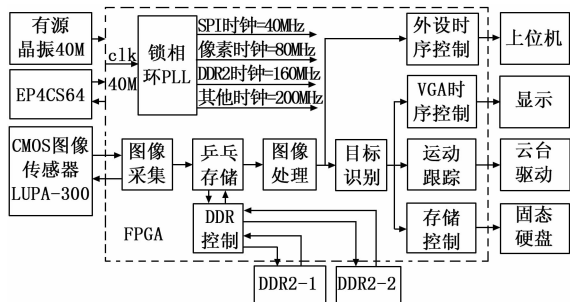


图 1 系统结构框图

具有开窗功能，窗口分辨率为  $640 \times 480$  时的帧频数可达 250fps；窗口分辨率为  $256 \times 256$  时的帧频数可达 929fps。图像缓存单元采用美光 DDR2 芯片 MT47H64M16HR，该芯片容量为 1 Gbit，数据总线宽度为 16 位，与 FPGA 之间数据频率最高可达 333 MHz。FPGA 选用 CYCLONE IV 系列 EP4CE115F29C7N，该芯片拥有 114480 个逻辑单元、3888Kb 嵌入式存储器，266 个  $18 \times 18$  乘法器、4 个 PLL、528 个 I/O，可以满足图像乒乓存储、外设接口需求；FPGA 芯片的速度等级为 C7，内核时最高工作频率为 437.5 MHz，锁相环输出时钟最高为 450 MHz，能够满足高帧频图像传感器数据传输和 DDR2 存储需求。

## 2 系统功能模块设计

FPGA 中设计的功能模块如图 1 所示，主要包括锁相环 PLL、图像采集、DDR2 乒乓读写、图像处理和运动跟踪等几个模块。通过 SPI 总线配置 LUPA-300 芯片内部寄存器、实时采集高帧频图像；DDR2 乒乓读写模块用于缓存采集与处理图像帧，避免高帧频图像处理不及时的问题；图像处理模块用于目标动态阈值分割及形心计算；运动跟踪模块用于控制云台跟踪目标。

### 2.1 锁相环模块设计

根据各功能模块时钟的需求配置 PLL，CMOS 图像传感器 LUPA-300 配置总线 SPI 的时钟为 20 MHz，像素输出的主时钟为 80 MHz；DDR2 存储器 MT47H64M16HR 的时钟频率最高 166.7 MHz，目标识别模块的时钟为 200 MHz。因而锁相环模块设计时，选择输入时钟信号为 40 MHz 的有源晶振，锁相环内部经过分频和倍频配置后，输出四路时钟信号分别为 20 MHz、80 MHz、160 MHz 和 200 MHz。PLL 输出的 20 MHz 时钟信号用于 CMOS 图像传感器 LUPA-300 的 SPI 总线时钟，PLL 输出的 80 MHz 用于读取 LUPA-300 像素时钟信号，PLL 输出的 160 MHz 用于读写 DDR2 模块时钟信号，PLL 输出的 200 MHz 其他模块时钟驱动信号。

### 2.2 高帧频图像采集模块设计

#### 2.2.1 SPI 总线时序驱动

LUPA-300 的工作模式由内部 16 个寄存器决定，因而系统上电后，需要通过 SPI 总线接口 (SPI\_ENABLE、SPI\_CLK 和 SPI\_IN) 对 CMOS 图像传感器 LUPA-300

的内部寄存器进行配置。依据 LUPA-300 寄存器参数设置主从工作模式、曝光时间、开窗大小和亚采样等参数。通过配置 X 方向、Y 方向的起始地址，设置图像读入 X 方向、Y 方向的像素开始位置，也可配置图像开窗的宽度和高度。外部 40 MHz 晶振信号经锁相环后产生 80 MHz 时钟，再经 4 分频后产生的 20 MHz 为 SPI 时钟。SPI\_IN 为 SPI 串行数据输入线，有效数据为 16 位，其中前 4 位 [15:12] 为地址，后 12 位 [11:0] 为数据。SPI 允许线 SPI\_ENABLE 为低电平时，每个 SPI\_CLK 的上升沿将 SPI\_IN 的串行数据送入 LUPA-300 内部寄存器，具体配置时序如图 2 所示。

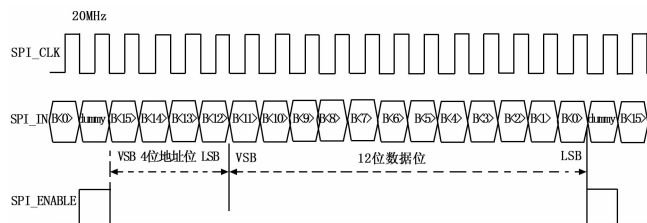


图 2 SPI 寄存器配置时序

#### 2.2.2 图像数据采集模块设计

若 LUPA-300 的 16 个寄存器配置完毕，依据 LUPA-300 的帧有效 FRAME\_VALID 和行有效 LINE\_VALID 进行图像采集。如图 3 所示，帧有效 FRAME\_VALID 上升沿表示一帧图像开始输出，在 FRAME\_VALID 为高电平期间，行有效 LINE\_VALID 上升沿表示一行图像开始输出；在 LINE\_VALID 为高电平期间，每个时钟 CLK (80 MHz) 信号上升沿输出一个像素数据。当一行像素输出完毕，LINE\_VALID 变低电平，间隔一个 ROT 时间后 LINE\_VALID 再次变高电平，开始下一行的输出；当行有效 LINE\_VALID 为低电平，输出无效的像素数据；当一帧图像输出完成后，帧有效 FRAME\_VALID 输出低电平，间隔一个 FOT 时间后，FRAME\_VALID 再次有效，开始下一帧图像输出。因而，一帧图像的输出周期可以表示为： $T_{frame} = FOT + N_{line} \cdot (ROT + N_{pixels} \cdot T_{clk}) = 7.8 \mu s + 480 \cdot (400 \text{ ns} + 640 \cdot 12.5 \text{ ns}) = 4.039 \text{ ms}$ 。

其中，FOT 和 ROT 分别表示帧开销时间和行开销时间， $N_{line}$  和  $N_{pixels}$  分别为图像帧的行和列数， $T_{clk}$  为时钟周期。

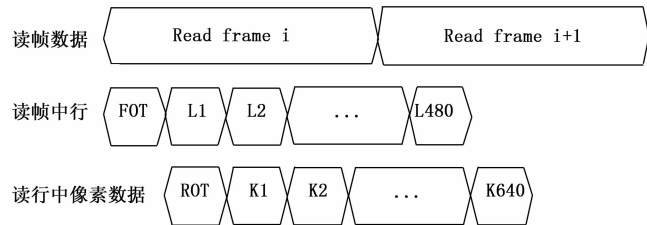


图 3 图像帧读取时序

如图 4 所示，LUPA300 的状态转换图主要分为空闲、读 FOT、读 ROT 和读像素四个状态。每一帧图像从帧开销

时间 FOT 开始，然后逐行读取各行像素数据，则读取第  $i$  帧  $480 \times 640$  图像的时间等于间隔帧开销时间 FOT 与读取 480 行的时间之和；每一行图像从开销时间 ROT 开始，然后依次读取行中各像素数据，则读取帧中一行的时间等于行开销时间 ROT 与读取 640 个像素时间之和。

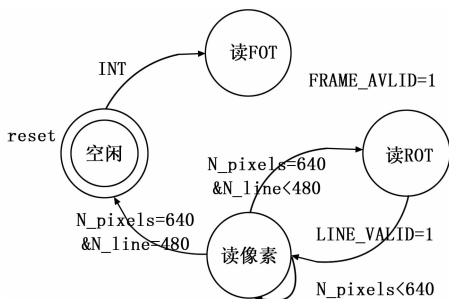


图 4 LUPA 300 读图像状态转移图

### 2.3 DDR2 乒乓存储模块设计

LUPA-300 图像传感器内部集成 4 路 10 位 ADC，因而分辨率为  $640 \times 480$  的一帧图像存储大小为  $640 \times 480 \times 10 \text{ bit} = 3.072 \text{ Mb}$ 。FPGA 要进行程序存储和图像数据缓冲，内部容量相对较小，不能满足高速图像存储需求，故选用两片 DDR2 作为图像缓存。为了保证图像采集与处理能并行执行，系统使用两片 DDR2 实现乒乓读写操作<sup>[9]</sup>，采集到的图像交替存入 DDR2-1 和 DDR2-2 存储器。乒乓方式交替读写 DDR2 的流程<sup>[10]</sup>如图 5 所示，将采集到的图像数据写入 DDR2-1 的同时读取 DDR2-2 中图像数据，进行目标识别、跟踪和云台驱动控制等处理；同理，在将采集到的图像数据写入 DDR2-2 的同时读取 DDR2-1 中图像数据，进行目标识别、跟踪和云台驱动控制等处理，如此交替乒乓方式读写 DDR2。另外，DDR2 内部的两个块区域也采用乒乓读写模式，避免同时对一幅图像进行读写操作，保证能够读出完整的一幅图像。

### 2.4 DDR2 读写控制模块设计

DDR2 控制模块主要包括读写两部分控制功能，由于数据读写速率高，要求数据捕获的精度也高，因而保证 DDR2 控制模块的信号稳定性和完整性相对较为复杂。利用 Quartus 软件的 MegaWizard 管理器产生 DDR2 SDRAM 控制器 IP 核。设定该 DDR 控制模块的参考输入时钟为 40 Mhz，DDR2 存储器的驱动时钟为 160 Mhz，采用全速数据模式读写 DDR2 器件 MT47H64M16。DDR2 控制模块设计主要包括 PLL、ALTMEMPHY 和 Memory Controller 三个部分，PLL 模块用于 DDR2 时钟管理，根据输入外设输入的 40 MHz 时钟产生 160 MHz 读写时钟信号；ALTMEMPHY 模块用于 DDR2 自动校正和实现 DDR2 所需物理接口；Memory Controller 模块用于产生读写 DDR2 芯片所需数据和地址时序信号。在 DDR2 初始化阶段，ALTMEMPHY 模块断开用户编写的逻辑控制块，所有读写操作都处于非活动状态，由 ALTMEMPHY 完成 DDR2 器件的自动校正。初始化完成后，才能依据控制要求对 SDRAM 执行读写操作<sup>[11]</sup>。

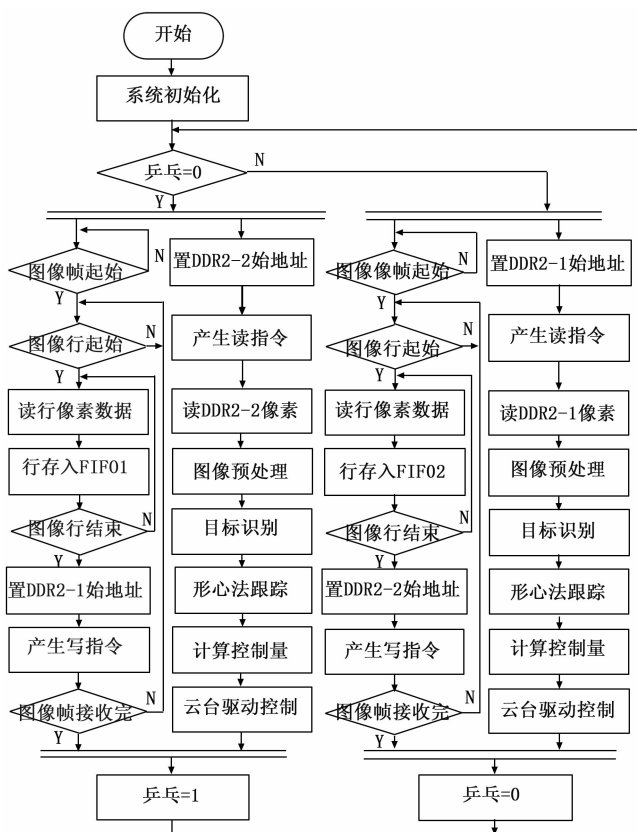


图 5 乒乓方式读写 DDR 流程

SDRAM 控制模块的读、写模式都采用突发连续读取模式，只要指定起始列地址与突发长度，就会自动进行寻址与数据的读取。根据 SDRAM 的读、写工作状态，SDRAM 控制模块产生 SDRAM 读、写需要的地址和控制信号，并对 SDRAM 的数据进行读、写操作。在将  $640 \times 480$  图像写入 SDRAM 时，输出一行图像数据的长度为  $640 \times 10 \text{ bit}$ ；设置 SDRAM 读写的突发长度 (Burst Length) 为  $640 \times 16 \text{ bit}$ ，SDRAM 每写完一行  $640 \times 16 \text{ bit}$  后，发送 Burst Stop 命令终止当前的突发操作；随后执行刷新操作，再继续读写下一行数据。SDRAM 存储器中电容的数据有效保存期上限是 64 ms，因而通过不断刷新来保持数据。读写  $640 \times 480$  图像数据时以一行图像为单位进行刷新，设定自动刷新时间间隔为  $64 \text{ ms} / 480 = 133.3 \mu\text{s}$  (微秒)，这样不会造成数据失效。另外，LUPA 300 输出数据速率与 SDRAM 存取时间不匹配，因而 SDRAM 前端加入 FIFO 模块进行图像数据缓冲。

### 2.5 目标识别模块设计

#### 2.5.1 目标分割

要准确跟踪目标，首先需要将目标从背景图像中分割出来。不同的应用场景下的背景图像复杂多样，而对于空域目标跟踪，背景图像随天气的影响也较大，不能采用固定的阈值分割目标，而应根据输入图像直方图的灰度值选择动态阈值分割目标。

首先 FPGA 从 DDR2 中读取图像数据，计算灰度直方图上目标与背景两峰值之间的谷底灰度值，并将该值作为

目标提取的阈值  $T$ ；然后利用阈值  $T$  采集的图像进行二值化处理，例如  $f(x,y)$  表示  $(x,y)$  像素点的灰度值，则图像分割后对应的二值化图像可表示为： $g(x,y) = \begin{cases} 1, & f(x,y) > T \\ 0, & f(x,y) \leq T \end{cases}$ ；最后，用阈值分割方法检测、分割目标。计算分割阈值  $T$  时，至少需要接收一幅完整图像，这种方式影响了系统实时性。在云台跟踪远方目标时，相邻两帧图像信息差别不大，用上一帧图像计算的阈值分割当前图像，然后用当前帧图像计算的阈值分割下一帧图像，这样能实时求取目标二值化图像，避免缓存当前图像帧信息，有效提高系统实时性。

### 2.5.2 目标形心坐标计算

利用形心法计算目标边界尺寸及中心坐标，具体的目标中心计算方法如下：

$$x_c = \frac{\sum_{x=0}^{N-1} \sum_{y=0}^{M-1} xI(x,y)}{\sum_{x=0}^{N-1} \sum_{y=0}^{M-1} I(x,y)}, y_c = \frac{\sum_{x=0}^{N-1} \sum_{y=0}^{M-1} yI(x,y)}{\sum_{x=0}^{N-1} \sum_{y=0}^{M-1} I(x,y)}$$

$$I(x,y) = \begin{cases} 1 & (x,y) \in \text{目标} \\ 0 & (x,y) \notin \text{目标} \end{cases}$$

### 2.5.3 目标滤波

将目标从背景之中分割出后，需要对分割的目标进一步数据清洗，滤除空域中云块等干扰信号。由于高帧频相机的相邻两帧图像之间时间差异非常小，空域中稳定飞行目标的姿态和距离摄像头距离不可能产生较大变化，因而相邻两帧图像中分割的目标形心位置和目标区域面积变化也不会太大。分割出目标后，计算当前目标的形心坐标及统计目标区域面积内像素数量，并与上一帧图像中目标的形心坐标及像素数量进行比较。若形心坐标之间距离及目标图像之间像素差异在允许阈值范围内时，则认为是正确的跟踪目标。形心坐标之间距离及目标图像之间像素差异的阈值设置要合理，阈值设定与跟踪目标大小、距离远近有关，阈值过小会导致跟踪不及时，阈值过大会导致跟踪范围广，容易丢失目标。

## 2.6 目标跟踪模块设计

目标跟踪目的是目标形心坐标位于图像视场中央 (320, 240) 附近，分别依据横向和纵向偏移量，利用增量式 PID 计算二维云台控制量，加入带死区和抗积分饱和控制，再根据控制量驱动云台俯仰和偏航舵机跟踪目标。在目标跟踪系统设计中，常常出现部分或全部被遮挡，引起跟踪目标丢失，这需要考虑云朵或其它障碍物遮挡时目标跟踪问题。在帧序列图像跟踪中，用 FIFO 存储 500 组（约 2 秒）跟踪目标的特征参数。当分割出目标图像时，释放最早存入 FIFO 的目标特征参数，存入当前分割目标的特征参数。若跟踪目标部分或全部丢失时，利用前期存储的目标特征参数预测当前目标特征参数，并依据预测值驱动云台跟踪；若长时间仍未捕获目标时，则认为目标丢失，控制云台重新进行全局扫描。

为了平滑跟踪目标，当目标形心在图像中心的四边形区域时，认为目标处于图像中央，控制量不变；否则按照偏移量计算控制量。二维云台控制主要分为偏航和俯仰两个方向控制，具体控制量计算过程如下：

### 2.6.1 云台偏航方向的控制量可表示为：

$$H\_data = \begin{cases} H\_data, & s.t. \quad |x - 320| \leq \Delta x \\ H\_data + (x - 320) \times K_x, & s.t. \quad |x - 320| \geq \Delta x \end{cases}$$

### 2.6.2 云台俯仰方向控制量可表示为：

$$V\_data = \begin{cases} V\_data, & s.t. \quad |y - 240| \leq \Delta y \\ V\_data + (y - 240) \times K_y, & s.t. \quad |y - 240| \geq \Delta y \end{cases}$$

## 3 实验测试及结果分析

将 LUPA-300 图像传感器配置成分辨率为  $640 \times 480$ ，帧频为 250 fps。系统采用流水线方式并行执行图像读取、图像分割、形心跟踪及二维云台驱动控制功能。由于图像帧频为 250 fps，云台的偏航和俯仰方向跟踪舵机选用工作频率在 50~300 Hz 的 DS3120MG，舵机模块的时钟选用 1 MHz，周期为 4 ms。通过控制两路 PWM 波的脉冲宽度，从而实现云台偏航和俯仰角度。偏转角度从  $0^\circ \sim 180^\circ$  变化对应的脉冲宽度为  $500 \sim 2\,500 \mu s$ ，偏航舵机的控制量范围为  $1\,000 \sim 2\,000$ （对应偏航转角  $45^\circ \sim 135^\circ$ ），俯仰舵机的控制量为  $800 \sim 1\,000$ （对应俯仰角  $37^\circ \sim 45^\circ$ ）。

图 6 为图像采集时序图，利用 Quartus 软件内部 SignalTapII 捕获一帧图像，捕获的图像分辨率  $640 \times 480$ ，line\_cnt 的计数范围为  $0 \sim 479$ ，每行图像包括 640 个像素，line\_pixel\_cnt 计数范围为  $0 \sim 639$ 。

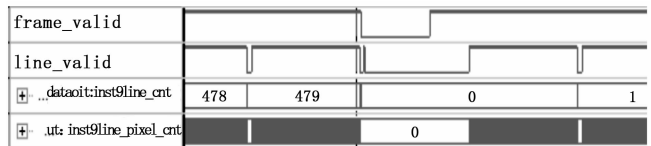


图 6 图像像素读取时序图

对比采用 25fps 和 250fps 的图像跟踪目标光斑实验，采用 25fps 图像传感器跟踪慢速目标时，跟踪效果差异不明显；跟踪快速目标时，采用 25fps 图像跟踪目标时，相邻两帧图像之间形心水平方向相差 9 像素，输出的舵机控制量变化率较大，容易引起不能及时响应，从而使目标脱离图像视场范围。而采用 250fps 图像传感器跟踪目标时，获得的形心水平方向相差 2 像素，形心轨迹点较多，曲线相对光滑，控制量曲线平滑，跟踪效果相对较好。

## 4 结论

本文给出一种基于高帧频图像传感器、FPGA 及高速舵机的目标跟踪系统，通过 SPI 总线对图像传感器的寄存器进行配置，使 CMOS 图像传感器在像素分辨率为  $640 \times 480$  时帧频可达 250 fps。采用流水线方式进行图像采集、动