

一种零值测试基带信号源设计

徐 茜, 宫海波

(中国飞行试验研究院, 西安 710089)

摘要: 北斗是我国自主研发并独立运行的全球卫星导航系统, 为了解决北斗导航系统的基带信号调试处理难题, 提出了一种零值测试基带信号源设计方案; 针对导航系统信号通道多、信号传输速率高且时钟信号精度要求高的特点, 单板上集成高性能 FPGA 和 DSP 处理器, 系统采用模块化设计, 采用直接数字射频信号发射技术及高速时钟系统设计, 信号源可模拟并输出多制式多路调制基带信号, 可完成 4 通道射频信号采集以及 4 通道直接射频信号的产生, 可灵活配置工作参数及设备工作状态的实时监测; 该信号源在北斗导航系统的研发过程中获得成功应用, 实验结果表明, 该信号源兼备收发两大信号处理链路功能, 系统具有通用性强、配置灵活、稳定性好等特点, 解决了导航系统领域基带信号调试处理难题。

关键词: 导航; 处理器; 零值测试; 基带; 信号源

Design of a Zero Value Test Baseband Signal Source

Xu Qian, Gong Haibo

(Chinese Flight Test Establishment, Xi'an 710089, China)

Abstract: In order to solve the problem of debugging the baseband signal of Beidou navigation system, a zero value test baseband signal source design is proposed. In view of the characteristics of multi signal channel, high signal transmission rate and high precision of clock signal, the high performance FPGA and DSP processor are integrated on the single board. The system adopts modular design, and uses direct digital radio frequency signal transmitting technology and high speed clock system design. The signal source can simulate and output multi-channel multi-mode modulation baseband signal, which can flexibly configure the working parameters and the real-time monitoring of the working state of the device. The experimental results show that the signal source also receives and transmits two large signal processing links. The system has the characteristics of strong generality, flexible configuration and good stability, and solves the problem of debugging and processing of the baseband signal in the navigation system.

Keywords: navigation; processor; zero value test; baseband; signal source

0 引言

目前全球卫星导航系统正处于快速发展时期^[1-4], 北斗是我国自主研发并独立运行的全球卫星导航系统, 在导航系统设计过程中, 基带信号源可在试验条件下对导航系统性能进行有效测试和评估, 基带信号处理的调试工作显得尤其重要^[5-7]。

国外在导航信号源领域起步较早, 形成了技术成熟且应用广泛的信号源。受技术封锁等原因, 国内使用的导航信号源多为国外产品, 价格昂贵且基带信号模式单一, 通用性差^[8-11]。国内该领域的研究主要集中在部分高校、科研院所等机构, 研究重点是软件信号源及采集回放信号源, 相应产品的实时性和灵活性差^[12-14]。

本文设计了一种硬件架构零值测试基带信号源, 结合上位机软件, 信号源可模拟并输出多制式多路调制基带信号, 可以完成 4 通道射频信号的采集, 也可以完成 4 通道直接射频信号的产生, 可灵活配置工作参数及设备工作状态

的实时监测, 便于导航系统的零值自测。该信号源设计依托实际需求, 解决了导航系统研制过程中基带信号调试的难题。

1 系统组成及功能概述

零值测试基带信号源一方面模拟并输出 6~10 路 QPSK、BOC、TMBOC、TDDM-BOC、AltBOC、TD-AltBOC、TD-BPSK(5) 调制的基带信号, 与频率综合器产生的信号进行混频, 模拟下行 B1、B2、B3 的信号以便系统进行零值自测; 另一方面, 能够直接生成并输出 L 波段射频信号, 能够对 L 波段射频信号进行直接采样。信号源可完成发射和接收两个链路功能的处理, 零值基带信号处理板采用标准 CPCI 式板卡设计, 可完成 4 通道射频信号的采集, 也可完成 4 通道直接射频信号的产生, 板卡支持内时钟和外时钟两种工作模式。通过网口与上位机进行通信, 从而实现上位机对零值基带信号处理板的配置和控制。零值测试基带信号源系统组成原理如图 1 所示。

在 CPCI 机箱中还集成一个滤波处理板, 板上主要集成了 B1/B2/B3 频点的无源 LC 滤波器, 用来对零值基带信号处理板输出的 4 路射频信号进行滤波。通过上位机软件完成设备的工作参数配置、设备状态监测、数据显示记录等处理。

收稿日期: 2018-10-15; 修回日期: 2018-11-20。

基金项目: 国防基础科研项目(JCKY2016205B006)。

作者简介: 徐茜(1984-), 女, 陕西西安人, 硕士, 工程师, 主要从事遥测数据处理方向的研究。

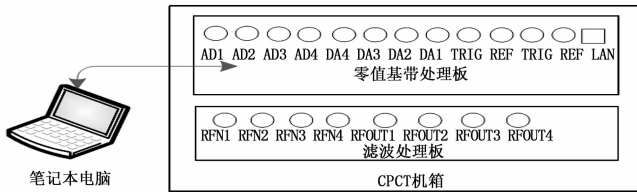


图 1 信号源系统示意图

2 系统设计

2.1 零值基带信号处理板设计

零值基带信号处理板的发射链路主要功能是完成 B1/B2/B3 频点导航信号的基带调制处理，并通过 DAC 完成直接数字射频信号的产生和输出；接收链路的主要功能是完成 B1/B2/B3/BS4 个频点导航信号的射频信号采样、捕获、跟踪、解调、测距处理，并最终将不同频点的每个分量的测距结果实时上传上位机软件，完成对发射板产生的导航信号零值标定和评估处理。

零值板主要由 4 片 DAC、1 片 ADC、1 片 FPGA、1 片 DSP 构成，其中 DSP 的片外集成了 8GB-DDR3 缓存，FPGA 片外集成了 16GB-DDR3 缓存，以满足大容量高速率数据的处理要求，对外接口包括网口、高速接口，同时预留丰富的自定义接口，方便单板与其它 CPCI 设备进行互联互通，零值板硬件原理如图 2 所示。

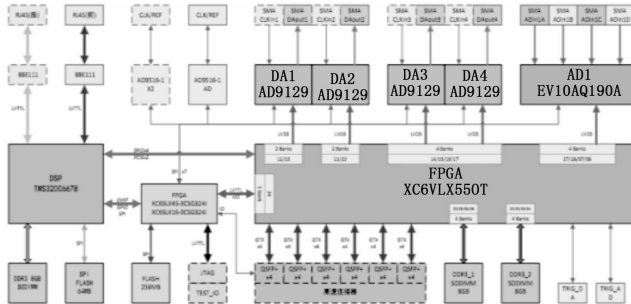


图 2 硬件原理框图

信号源可实现高带宽直接数字射频合成的输出要求，可直接输出 1.57 GHz、1.26 GHz、1.19 GHz 的射频信号，根据采样定理，DAC 的最小重构速率是输出频率的 2 倍，即最小重构速率为 3.14 GHz、2.52 GHz、2.38 GHz，因此要求 DAC 的重构速率最低为 3.14 GHz。DAC 模块设计基于 ADI 公司的 AD9129 芯片，利用每片 AD9129 实现一路 DA 通道，因此采用四片 AD9129 实现对外输出四路射频信号，该模块最高转换速率设计可达 5.7 Gsp/s，内部同时集成混频器电路，能够完成 1.4 GHz~4.2 GHz 频段范围内信号的混频输出，模块外部设计滤波器完成镜频和杂散等寄生分量的抑制，DC~1.4 GHz 以下频段信号可以直接在基带模式下输出。

ADC 模块设计基于 EV10AQ190A 芯片，可实现最高到 S 频段射频信号的直接采样处理，这样可兼容现有全部导航频点信号的接收处理，可避免二次增加射频处理环节。

ADC 模块每个通道独立采集的四通道模式的采样频率最高 1.25 GHz，4 个通道合并一路完成 4 相采集的单通道模式的采样频率最高 5 GHz，这样使得接收板可以完成高速数据采集，从而完成一定的信号质量分析功能。另外，ADC 模块分辨率可达 10 bit，可保证采集信号的动态范围和幅度分辨精度。模块内部继承了 4 个采集通道，这样利用一片 ADC 就可以完成 B1/B2/B3/BS4 个频点射频信号的采集处理工作，而不需要额外再考虑 ADC 器件间的同步等复杂问题，从而保证了零值标定精度。

零值板上的 FPGA 选用了 XILINX 公司 V6 系列的 XC6VLX550T，选用 V6 系列器件基于两点：第一 V6 系列功耗较低，IO 电压均为 2.5V，相较于其它系列 FPGA (IO 电压为 3.3V)，整体功耗节省约 25%；第二，V6 系列 FPGA 支持的外设接口更为丰富、接口带宽和速率更高，它支持 DDR3 和 PCIE 接口，使得它在更适用于高速信号交互应用场合。LX550T，内部逻辑资源高达 5500 万门，有效 IO 高达 600 个，片内集成了 864 个 DSP48E 硬核乘法器，完全满足导航信号基带处理的各种需求。此外单板上利用 FPGA 对外扩展了 4 组总带宽为 20 Gb/s 的光纤接口，便于单板与外部进行高速数据的交互需求。

零值板上的 DSP 则选用了 TI 公司现阶段推出的最高端处理器 TMS320C6678。该 DSP 内部集成了 8 个独立的 CPU 核，每个核最高工作时钟频率可达到 1.25 GHz。该 DSP 的强大之处还体现在它对众多高速接口的支持上，包括 DDR3、PCIE 等众多高速数据总线都集成在内，同时还集成了众多的协处理器以满足图像、语音、超宽带通信等众多领域的使用要求。在我们的单板上，C6678 主要用于与上位机之间的网口通信，同时它与 FPGA 之间互联了 EMIF 总线和 SRIO 接口，可以与 FPGA 配合共同完成高运算量、高吞吐量的算法应用。

2.2 时钟网络设计

系统时钟设计的原则是兼顾使用方便、能够灵活改变单板工作时钟频率，且同时能够支持外源参考工作模式，从而满足同源工作的要求，单板时钟处理方案如图 3 所示。

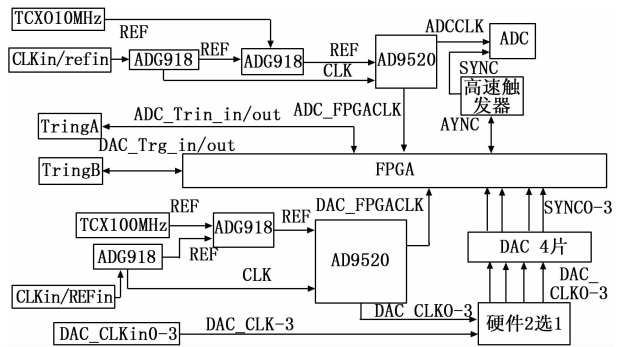


图 3 时钟产生及分配原理框图

由于 AD9129 的时钟最大为 2.85 GHz，且零值板上有 4 片 AD9129，这就要求时钟芯片最大输出时钟大于或等于

2.85 GHz 且具有输出路数大于 4 路的多路输出功能。因此, 时钟模块设计基于 ADI 的 AD9520 时钟芯片, AD9520 内部集成了 PLL+VCO, VCO 的工作频段为 2.53 GHz~2.95 GHz, 满足最高工作时钟的要求, 模块可满足高速信号处理场合对时钟性能要求。

时钟模块支持内外时钟两种模式, 在内时钟模式下, 只需提供一个参考时钟, 然后板上的 AD9520 则可以完成对参考时钟的锁相倍频, 然后综合产生各种板上同步器件所需的工作时钟。在外时钟模式下, 可以直接向单板提供所需的外部工作时钟, 此时时钟模块就不能再启用内部的 PLL 和 VCO, 只能对外部输入的时钟进行分频和多路分配处理。对于发射链路时钟设计时还预留一种供钟模式, 可以直接向单板中的 DAC 提供所需的外部工作时钟。在同步触发设计环节, 充分考虑板内不同同步器件间、板间等各种涉及同步处理的地方, 同时满足主动同步和被动同步两种方式。

AD9520 包含了 PLL 电路并集成了一个 2.53 GHz~2.95 GHz 的片上 VCO、1 个参考时钟倍频器、1 个参考时钟 R 分频器、1 个整数 N 分频器、可调延迟线和均分为 4 组的 12 个 LVPECL 输出, 这些配置是通过加载已预设值的寄存器来实现控制的。AD9520 可选择内部 VCO 或者 CLK 作为要分配的时钟信号源进入信道分配器, 所允许的进入信道分配的最大频率是 1600MHz, 所以较大频率的信号在进入信道分配之前必须设置信道分频器进行分频。参考时钟输入通过一个 VCO 分频器连接至时钟分配模块, VCO 的分频值可设为 2 到 6 之间的任意整数; AD9520 也可选择内部 VCO 或者 CLK 直接输出。

2.3 多片 DAC 模块同步设计

因为 DAC 模块会给系统带来流水线延迟差异, 进而导致不同 DAC 的输出不对齐, 并且每次上电的偏斜不一致, 多片 DAC 同步是指多个 DAC 具有相同的时延, 因此利用固定延迟可以实现多个 DAC 的同步。

首先, 通过零值板上的时钟拓扑设计以保证 4 片 AD9129 在具有相同的时钟条件, 零值板 DAC 的时钟拓扑结构如图 4 所示。在外时钟模式下, 由外部提供一个 1.4 G-2.5 G 时钟接到 AD9520 的 CLK 输入端口上, 通过 AD9520 扇出 4 路一样时钟分别供给 4 片 AD9129 作为工作时钟; 再由 AD9520 输出一路时钟作为 FPGA 输入时钟, 该时钟为 AD9129 工作时钟 4 分频; 4 片 AD9129 的随路时钟 (DCI) 及 FRAME 是由 FPGA 产生的。

其次, 消除由 DAC 芯片所带来延迟差异。引起延迟差异的原因有两方面: FIFO 与内部时钟初始化相位不固定; 首先, 由 DAC 时钟衍生 (分频) 的内部时钟, 这些时钟每次上电的偏斜不一致, 即这些时钟的相位关系不固定, 导致 DAC 每次上电后从 FIFO 输出到模拟输出的时间延迟不是固定的。其次, AD9129 中的 FIFO 是一个多数据槽缓冲器, 有助于将 DCI 时钟域的数据转交到 DAC 时钟域,

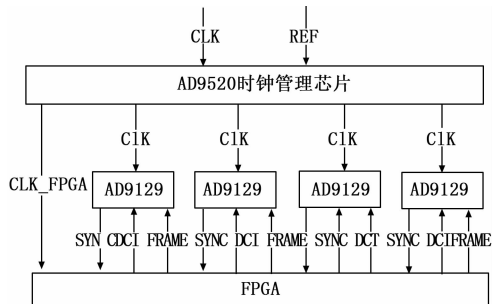


图 4 DAC 的时钟拓扑结构

FIFO 写指针由 DCI 时钟衍生的内部时钟控制, FIFO 读指针由 DAC 时钟衍生 (分频) 的内部时钟控制, FIFO 复位操作将这两个指针分开, 二者之间的偏移由 FIFO 相位偏移决定, FIFO 相位偏移不固定, 导致数字路径延时不一样。

模块同步设计中, 利用各 DAC 的 SYNC 输出 (通过设置寄存器 0x1A 的位 4=1 使能), 通过调整内部延迟 (每次写入寄存器 0x1A 的位 7 或位 6, 便递增或递减一个 DAC-CLK 周期), 使 SYNC 信号相互对齐, 可以将多个 DAC 内的 DACCLK 对齐到 ±1DACCLK 周期范围内; 然后复位各 DAC 的 FIFO, 确保实现正确同步。

2.4 直接数字射频信号发射设计

FPGA 与 DAC 的高速并行数据交互是发射链路的重点, 因为在并行 I/O 总线中, 接口的数据对齐问题影响着与外部设备的有效通信, 在数据速率超过 1 Gb/s 而且不再能够为保持信号同步提供可靠方法时, 并行 I/O 电路达到了其物理极限。

采用基于 AD9129 的 RF 数模转换器模块设计来解决 FPGA 与 DAC 并行数据交互问题, AD9129 的数据接口采用一个源同步、双通道数据接口, 因此总线接口速度降至数据速率的 1/2, DCI 时钟工作速率为 DCK 时钟的 1/4, 这样每个通道数据的采样时钟频率可以降低为 DAC 芯片时钟的 1/4; 其次, 是 FPGA 内部逻辑无法正确工作在这么高的时钟下, 但是它的接口交互速率完全可以达到高速交互的要求, 而且它与 DAC 之间的接口都是 LVDS 电气特性, 因此可以直接相连, 在 FPGA 内部采用多通道合成的并串转换技术来解决。FPGA 与 DAC 并行数据交互具体实现方式如图 5 所示。

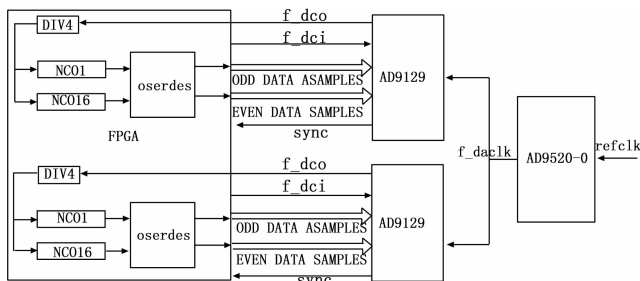


图 5 FPGA 与 DAC 接口交互图

由于 DAC 需要输出 1.57 GHz、1.26 GHz、1.19 GHz、2.492 GHz 的射频信号，同时还需满足多路基带伪码相位相对一致性。这就需要选择一个统一的时钟作为 4 片 DAC 的工作时钟，同时 DAC 工作模式只能选择混频模式。

时钟频率的选择受限于 DAC 与时钟芯片的工作时钟范围：AD9129 DACCLK_x 时钟输入范围：1.42 G~2.85 G；AD9520-0 片内 VCO 的频率范围为：2.53 G~2.95 G，CLK 输入范围为：0~2.4G，LVPECL 时钟输出最大频率为 2.4 G。为了保证时钟的性能，综合时钟芯片的时钟工作范围与 DAC 时钟工作范围，时钟频率范围设定为 1.4 G~2.4 G。在混频模式下，产生各数据样本的互补样本并插入其后，使得它也能以相似方式更新 DAC。使用混频模式时，器件以 DAC 采样速率对输出进行有效削波，其作用是降低基频信号的功率，同时提高以 DAC 采样速率为中心的镜像的功率，从而提高这些镜像的动态范围。

3 实验结果及分析

信号源主要功能是通过直接数字射频信号发射技术来产生下行 B1、B2、B3 的信号，以下行 B1 信号生成方式为例，其它频点信号类似，首先，配置合适的工作时钟，由 AD9520 分别给 AD9129 提供 1718.64 MHz 的工作时钟，给 FPGA 提供 143.22 MHz 的工作时钟；其次，使用多相技术在 FPGA 里产生中心频率为 143.22 MHz 的调制信号，输出给 AD9129；最后，使用 AD9129 的混频模式，对 143.22 MHz 的调制信号与 AD9129 工作时钟进行混频，对 AD9129 输出信号进行滤波，只留下中心频率为 1575.42 MHz 的调制信号，信号生成如图 6 所示。

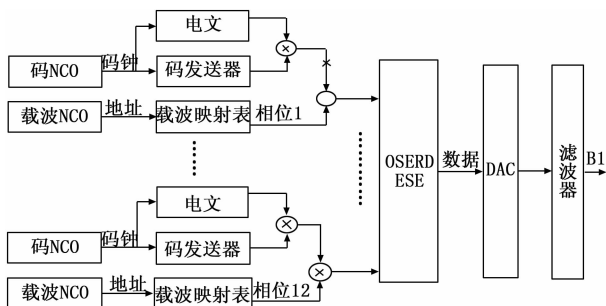


图 6 B1 信号生成框图

下行 B2 信号生成方式如下：首先，配置合适的工作时钟，由 AD9520 分别给 AD9129 提供 1718.64 MHz 的工作时钟，给 FPGA 提供 143.22 MHz 的工作时钟；其次，使用多相技术在 FPGA 里产生中心频率为 526.845 MHz 的调制信号，输出给 AD9129；最后，使用 AD9129 的混频模式，对 526.845 MHz 的调制信号与 AD9129 工作时钟进行混频，对 AD9129 输出信号进行滤波，只留下中心频率为 1191.795 MHz 的调制信号。下行 B3 信号生成方式与 B2 基本相同，只是 FPGA 里产生中心频率不同，为 450.12 MHz 的调制信号，滤波器的频点不同。

以 DAC 输出 1.57 GHz 为例，时钟为 2265.48 M，

DAC 工作模式设置为混频模式，输出 1575.42 M 单载波，频谱如图 7 所示。

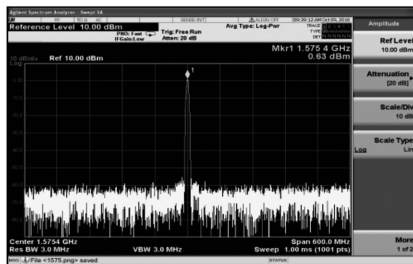


图 7 1575.42 M 单载波频谱

高性能的 RF 数模转换器与多相技术相结合，设置合理的时钟频率及 RF 数模转换器工作模式，可完成直接数字射频信号发射技术，输出所需频率。在混频模式下输出频率在 $F_s \times 0.75$ 时幅频特性最佳，在混频模式下输出频率在 $F_s \times 0.45$ 至 $F_s \times 1.1$ 时，相对于满量程幅度有 5db 的衰减，满足信号的功率要求。通过上述对采样时钟的计算，满足 DAC 输出 1.57 GHz、1.26 GHz、1.19 GHz、2.492 GHz 射频信号的统一时钟范围为 2265.48~2383.59 M。因此，信号源高性能的 RF 数模转换器与多相技术相结合，通过设置合理的时钟频率及 RF 数模转换器工作模式，可以完成直接数字射频信号发射技术，最终实现所需频率的信号输出。

4 结束语

本文基于 FPGA 和 DSP 处理器架构，设计了一种零值测试基带信号源。系统各模块充分考虑高速数据处理能力及宽温范围内的工作时延稳定性和一致性，系统可模拟并输出多路多制式的基带信号，兼备收发信号处理能力，可模拟下行 B1、B2、B3 信号以便系统进行零值自测，能够直接生成并输出 L 波段射频信号。该信号源已成功应用于北斗导航系统的研发过程中，系统的模块化设计及配置灵活等通用化设计，对导航领域信号源设计具有一定的借鉴意义。

参考文献：

[1] 侯博, 谢杰, 刘光斌. 卫星信号模拟器的发展现状与趋势[J]. 电讯技术, 2011, 51(5): 127-132.

[2] Petrovski I, Ebinuma T. Everything you wanted to know about GNSS simulators but were afraid to ask [J]. GNSS, 2010, (4): 48-58.

[3] Ma H, Li Y. Research on the production of the carrier moving trajectory of high dynamic GPS signal simulator [A]. Engineering and Technology (S-CET), 2012 Spring Congress on IEEE [C]. 2012: 1-4

[4] Ghanem N, Berjass H. A method to simulate realistic kinematic trajectories on GNSS signal generators [A]. Proceedings of the ION 2015 Pacific PNT Meeting [C]. Hawaii, 2015: 872-885.