

高可靠性小型固体动力运载火箭 时序控制器设计

张拓, 党小鹏, 韩连刚, 桂苏嘉

(中国航天科技集团有限公司 第四研究院第四十一研究所固体火箭发动机燃烧、
热结构与内流场国防科技重点实验室, 西安 710025)

摘要: 阐述了时序控制器电路原理, 采用 Microsemi 公司的 A3P250 系列 FPGA 作为控制器, 设计了一款高可靠性的时序控制器; 围绕可靠性, 从结构、硬件及软件设计等方面, 介绍了设计方案, 该时序控制器在硬件电路设计中采用了安全性设计措施, 在时序测试中, 能够将火工品点火回路短接, 在火工品阻值测试中, 能够断开点火回路确保火工品的绝对安全; 在软件设计中, 采用了 FPGA 仲裁机制, 只有按照预定的测试流程, 按照特定的逻辑顺序, 才能完成相应的功能; 在设计定时器时, 采用格雷码计数器, 有效地避免了计数器累加时寄存器翻转产生的亚稳态现象; 该时序控制器参加了火箭的多次飞行试验, 具有相当的稳定性和可靠性。

关键词: 运载火箭; 时序控制器; 可靠性; FPGA

Design of Time Series Controller for Highly Reliable Small Solid Dynamic Launch Vehicle

Zhang Tuo, Dang Xiaopeng, Han Liangang, Gui Sujia

(The 41st Institute of the Fourth Academy of China Aerospace Science and Technology Corporation, Science and Technology on Combustion, Internal Flow and Thermo-Structure Laboratory of Solid Rocket Propulsor, Xi'an 710025, China)

Abstract: The design of time series controller circuit is described in detail in this paper. A3P250 series FPGA of Microsemi company is adopted as the controller, time series controller with high reliability is designed. Based on reliability, the design scheme is introduced from the aspects of structure, hardware and software design. The time series controller adopts the safety design measures in the hardware circuit design, in time series test, the ignition circuit of the plant can be short connect and in the resistance test of initiating explosive devices, the ignition circuit can be disconnected to ensure the absolute safety of the initiating explosive devices. In the software design, the FPGA arbitration mechanism is adopted, and the corresponding functions can be completed only according to the predetermined test process and the specific logical order. Gray code counter is used in the design of timer, which can effectively avoid the metastability phenomenon caused by register overturning of counter. The time series controller has participated in many flight test of the rocket and has considerable stability and reliability.

Keywords: launch vehicle; time series controller; reliability; FPGA

0 引言

小型固体动力运载火箭, 主要用于将特定的有效载荷投送到大气层一定高度的空间并释放, 完成一系列的科学试验或者空间探测, 其具有体积小, 成本低, 发射灵活, 便于运输, 维护使用方便, 任务周期快等诸多优点, 是临近空间 (20~100 km) 试验^[1]的首选运载平台。时序控制器^[2-3]作为火箭上的控制单元, 在火箭发射前需要完成点火回路供电控制、时序测试以及火工品阻值测试等工作, 在火箭发射后发出时序控制信号控制火箭上各种执行机构完成相应时序的动作。因此, 时序控制器的可靠性设计具有非常现实的意义。

结合临近空间科学探测试验的特点, 火箭搭载的有效载荷往往具有极高的科学价值, 在设计时序控制器时, 综合考虑体积、成本、重量、测试性、使用环境、功耗等条件, 着重从结构防护、硬件和软件三方面, 介绍该时序控制器的可靠性设计。

1 时序控制器组成及原理

时序控制器组成如图 1 所示, 时序控制器上电后, 与地面发控系统之间通过 RS422 接口通讯, 时序控制器实时响应发控系统的各种指令, 完成电压查询、时序装定、系统转电、发射准备好、解除火工品短路保护等功能, 并反馈执行该功能后的状态信号。FPGA 控制 AD 实时采样系统电压, 收到电压查询指令后, 将当前电压的采样值反馈给地面发控系统; 收到时序装定指令后, 将对应的时间节点的数字信息写入到非易失性存储器 EEPROM, 并反馈存储器当前存储的时序; 收到系统转电指令, 时序控制器将完

收稿日期: 2018-09-16; 修回日期: 2018-10-22。

作者简介: 张拓 (1987-), 男, 陕西西安人, 工程师, 主要从事导弹火箭遥测遥控系统系统设计方向的研究。

成地面供电与箭上电池供电的并网，并网成功后，通知地面发控设备切断地面供电；在发射未准备好及解除火工品短路保护状态下可以进行火工品阻值测试；在发射准备好及火工品短路保护状态，可以进行时序测试，由地面发控系统实时测量当前装定时序的正确性及时间精度；在发射准备好及解除火工品短路保护状态下可以进行飞行试验，此时，FPGA 将以脱落插头的计时零点信号为触发信号，按照装定的时序，输出脉冲控制信号，点爆相应火工品，完成执行机构的动作。

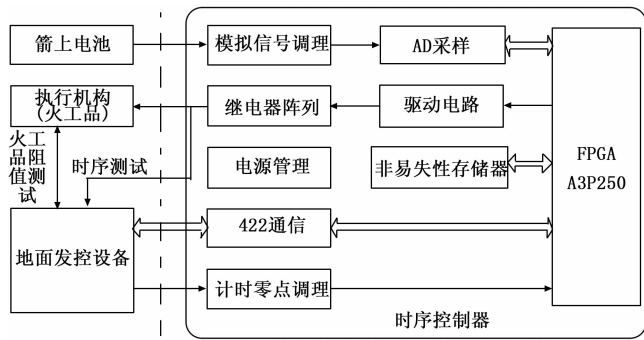


图 1 时序控制器组成图

2 结构防护设计

时序控制器工作在距离地表 20~100 km 的空间，工作时间 1~6 min，临近空间环境如表 1 所示：

表 1 临近空间环境

大气环境 高度	密度/ (kg/m ³)	温度/°C	压力/pa
20km	8.8×10^{-2}	-57	5066
40km	4.0×10^{-3}	-39	300
60km	3.1×10^{-4}	-27	22
80km	2.0×10^{-5} 接近真空	-72	1

从表 1 可以看出，在火箭飞行过程中，时序控制器需要经受低温及低气压的影响，因此，在选取元器件时，至少应选取普军级以上，所有元器件应通过筛选。PCB 版焊接测试完成后，表面应进行“三防”处理。将 PCB 板固定到时序控制器结构件后，在结构件内部的空腔灌封上硅橡胶等填充物，一方面起到隔温减震的作用，另一方面，起到密封的作用，防止元器件在低压下发生爆裂。

3 硬件设计

时序控制器设计具有如下功能：

1) 供电功能。设计有地面供电和箭上电池供电的切换电路，根据测试和使用环境选择电源，能够实时监测当前电源母线电压；设计有紧急断电功能，异常情况下能够迅速切断箭上电池的供电电源。

2) 时序装订和输出功能。时序控制器能够根据弹道仿真计算的结果，装订合适的时序参数，并能够输出具有一

定能量的点火脉冲信号，完成火工品起爆。

3) 火工品阻值测试功能。在测量火工品阻值时，电路能够确保火工品的绝对安全，不会误动作，不会误触发。

时序控制器硬件电路原理如图 2 所示，主要包括 FPGA 控制器模块，A/D 采集模块，调理电路模块，驱动电路模块，继电器阵列等。

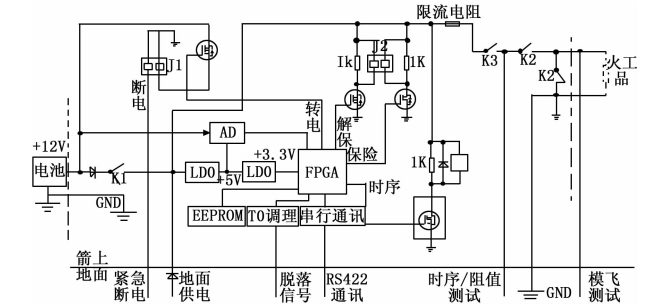


图 2 时序控制器硬件电路原理图

3.1 FPGA 控制器电路

在控制器选型上，考虑到临近空间大气中存在阿尔法射线、重离子等高能量粒子，这些高能量粒子轰击在基于 SRAM 架构的 FPGA 上会产生单粒子翻转效应，导致程序失效。因此控制芯片选用 Microsemi 公司基于 FLASH 架构的 A3P250 系列 FPGA，其内部 CMOS 的 P 端增加了一个“悬浮门”，改变“悬浮门”的状态需要的电荷量非常大，高能粒子的作用不会产生单粒子翻转效应。而且采用 FPGA 内部的 FLASH 程序存储器还能节省空间和成本，减少了 FPGA 外部的配置芯片。

FPGA 控制器主要用于实现 AD 采样控制、响应发控指令、计时零点采集、时序计数、非易失性存储器控制、驱动电路控制、逻辑仲裁等功能。

3.2 驱动电路

FPGA 输出的时序信号为 3.3 V 电平信号，为了驱动继电器阵列，需要通过 N 沟道场效应管 IRL6372 构成的驱动电路，将 3.3 V 电平信号转换为 +12 V 的大功率电压信号，从而驱动继电器动作，将供电母线的电压输出至火工品。驱动电路如图 3 所示。

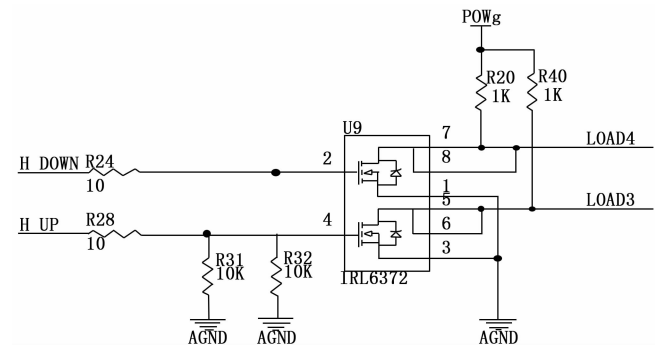


图 3 驱动电路原理图

3.3 继电器阵列

继电器阵列用于实现转电、紧急断电、火工品起爆和火工品短路保护等功能。其电路如图 4 所示。其中, 继电器 K1 用于实现地面供电电源与箭上电池供电切换功能, 继电器 K2 用于短路火工品, 继电器 K3/K4 用于起爆相应时序信号对应的火工品。继电器阵列在 PCB 中固定时, 应充分考虑火箭发射时的过载, 继电器触点的运动方向应与火箭发射过载方向互相垂直。

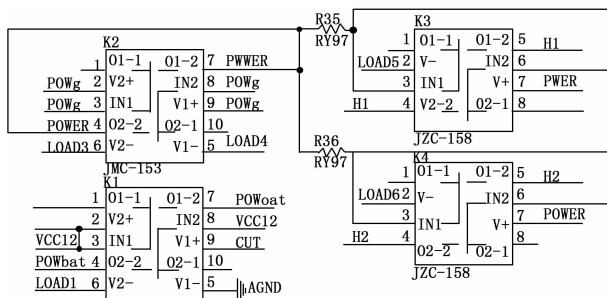


图 4 继电器阵列电路原理图

4 软件设计

时序控制器软件流程如图 5 所示。

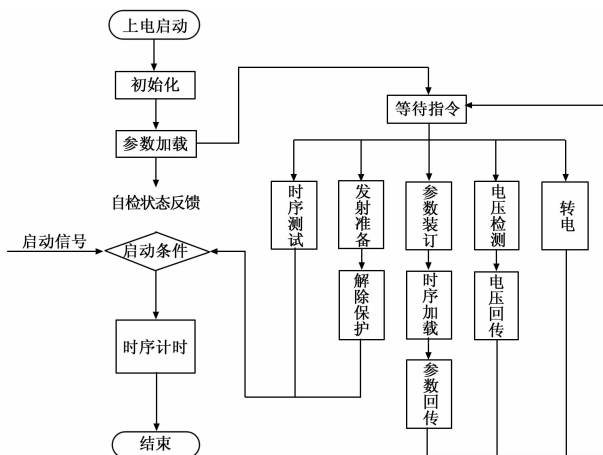


图 5 时序控制器软件流程

FPGA 代码使用 Verilog 硬件描述语言编写, 采用自顶向下, 模块化设计思路。指令状态判断部分采用状态机完成跳转。时序控制器上电后自动加载 EEPROM 中的时序参数, 加载完成后反馈时控器的自检信息, 自检信息包括设备型号、编号、批次、时控器的状态信息及当前加载的时序信息。自检之后进入等待状态, 检测 RS422 串口的指令信息。地面发控指令包括转电、电池电压检测、时序参数装订、时序测试及发射准备。指令的接收采用应答机制, 时序控制器在收到相应的指令, 完成控制动作后再应答状态。当收到参数装订指令, 时序控制器将会更新 EEPROM 存储器内的时序参数, 更新完毕后, 重新加载时序参数到 FPGA 的 RAM 中并反馈时控器的自检信息。一旦接收到发射准备和时序测试指令, 将进入启动信号判断环节, 此时

若收到启动信号将启动格雷码计数器, 由 FPGA 进行仲裁, 当计数值与当前加载的时序参数相等时, 输出时序控制信号至点火电路, 直到所有的时序控制信号输出完毕。

5 可靠性设计措施

5.1 供配电控制

时序控制器设计有供电、转电、紧急断电^[4]等电源控制电路。只要时控器上电, 即可通过电源查询指令查询当前电源母线的电压值。待箭上电池激活且输出电压稳定后, 时序控制器响应发控的 RS422 指令完成转电, 随后由发控切断地面供电电源。当转电完成后, 再次查询并反馈电压状态。

如发射前遇紧急情况需要终止任务, 可通过地面发控设备的“紧急断电”按钮人为切断时控器供电电源。转电和紧急断电均选用双路触点的磁保持继电器^[5]。

5.2 时序测试与火工品测试保护

火工品“保护”电路主要由磁保持继电器 J2 的两组“常开”和“常闭”触点实现。“常闭”触点提供火工品短路保护, “常开”触点用于断开火工品点火回路。火工品“保护”电路由地面发控指令控制, 经 N 沟道场效应管驱动后作用到磁保持继电器 J2。火工品“点火”电路主要由电磁继电器 J3 的两组“常开”触点实现, FPGA 发出的时序控制信号经 N 沟道场效应管驱动后作用到磁保持继电器 J3, 触点 K3 闭合, 接通火工品点火回路, 引爆火工品。采用上述“保护电路”满足火箭发射前的火工品阻值测试及时序测试^[6]要求, 且在测试过程中确保了火工品的绝对安全。

5.3 软件流程逻辑保护

时序控制器软件设计采用事件触发机制, 即硬件上每完成一次动作, 均有相应的状态反馈信号, FPGA 控制流程时检测相应的状态反馈信号, 确定该动作已执行后才进行下一步动作。软件流程的执行过程中加入仲裁判断, 比如, 在地面供电状态或保险未解除状态下, 就无法进入发射准备状态; 在保险解除的情况下就无法进行时序测试。需要进行火工品阻值测试时, 只需要进入发射准备状态。紧急状态切断时控器供电电源, 待时控器重新上电的初始化过程将火工品重新短路保护。

5.4 采用格雷码计数器

定时器不可避免的要用到计数环节, 时序参数采用 4 个字节的无符号整形数表示, 每个位表示 0.01 ms。FPGA 定时器设计时使用了编码技术, 使用格雷码 (Graycode) 作为计数器输出值。格雷码的所有相邻整数在它们的二进制数值表示中只有一个数字位不同, 即它在任意两个相邻的数之间转换时, 只有一个数位发生变化。它大大地减少了由一个状态到下一个状态时逻辑的混淆。采用格雷编码可以避免在时钟边沿的比较环节中进入亚稳态^[7], 极大地减小时序误发的可能性。

使用 Multism 仿真软件对定时器部分仿真的时序如图 6

所示。由图 6 可以看出计数器每次加一后立刻转换为格雷码，每个时钟的上升沿到来都会将其与装定的时序（0x86 格雷码）进行比较判断，一旦判定两个时序数据相等，立即输出时序控制信号 comp_out。

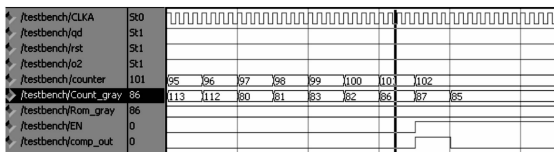


图 6 定时器部分程序的 Multism 仿真时序

5.5 装定参数 CRC 校验设计

时序参数在装定前按照 CRC-CCITT 标准进行校验，装定时连同 CRC 校验码一起装定到 EPROM，FPGA 读取时序参数后，对时序参数再次进行 CRC 校验，FPGA 将该校验码与装定的校验码比较，判定相等后时序信号才能与定时器输出的时序编码进行比较。通过校验设计，确保了时序的装定值与读取值保持完全一致。

5.6 采用灌封工艺

目前，电子元器件灌封主要采用以下三种材料：聚氨酯、硅橡胶和环氧树脂，三种材料各有优缺点。结合时序控制器的使用环境条件，设计采用硅橡胶作为灌封材料。硅橡胶具有以下优点：

- 1) 抗老化腐蚀、耐高低温、抗冲击能力强。选取合适硬度和弹性的硅橡胶材料，填充到 PCB，可以显著增强元器件的抗冲击性能。
- 2) 密封、绝缘和电气性能优异，灌封后能够有效提高内部元器件与线路之间的绝缘特性，使元器件处于相对密封的环境中，提高元器件低气压条件下的耐受性。
- 3) 固化时收缩力小，不吸热、不放热，有效减小了固化过程中元器件承受的应力，不会影响元器件的强度。
- 4) 易清除，便于返修和维护。

6 测试结果与分析

6.1 可靠性测试

时序控制器属于火箭上的关键部件，时序控制信号关系到飞行试验的成败，务必确保万无一失，因此，产品出厂前均需要完成可靠性试验。在可靠性试验中，使用专用的自动化地面测试设备，模拟火箭发射的流程，反复给时序控制器上电并输出时序控制信号。通过采集记录设备存储数据，并对每次的测试结果进行自动判别。经过对产品的上百次测试，结果表明：时序控制器功能可靠，每次测试都能够在装定的时序节点输出控制信号。

6.2 时序精度测试与分析

时序控制器工作在火箭飞行的全段，从火箭开始点火飞行到达 100 km 的高度并落地，所用的时间大约在 360 s 左右。要求时序控制器在 400 s 的范围内时序可装定，且输出时序节点的精度能够满足 ±20 ms 的要求。本设计选用高

精度的温补晶振，输出振荡频率为 20 MHz，在 -40 ~ +85℃ 的温度范围内频率稳定度为 0.05 ppm@20 MHz，经过 FPGA 内部 PLL 分频后输出 100 kHz 的时钟用于定时，定时精度为 0.01 ms。在工作温度分别为 -45℃，+25℃ 和 +80℃，装定时序分别为 8.3 s、44.67 s、138.24 s、360 s 的条件下，使用 NI 的 PXI-6255 高速 M 系列多功能数据采集板卡进行采集测试，时序精度测试结果如表 2 所示。

表 2 时序精度测试结果

温度条件 装定值/s	-45/℃	+25/℃	+80/℃
8.3	8.297	8.298	8.295
44.67	44.657	44.656	44.652
138.24	138.236	138.235	138.231
360	359.993	359.990	359.986

从表 2 测试数据可以看出：采用温补晶振后，时序节点精度有一定的时间漂移，随着时间增加，误差逐渐增大，最高可达 14 ms，但该误差能够满足使用要求，不需要采用补偿算法来修正。

7 结束语

采用基于 FLASH 架构的 FPGA 作为控制器，设计了一款具有高可靠性的小型固体动力运载火箭时序控制器，该时序控制器集供电功能、时序测试功能、火工品短路保护功能于一体，具有工作稳定、简单可靠、功耗低、体积小等优点，极大地节省了火箭的安装空间，并降低了消极质量。在完成原理样机设计后，经过了上百次测试最终形成产品，并运用到某型号空间探测运载火箭中，经过十余次飞行试验的考核，均圆满完成任务。最终结果表明，时序控制器设计合理，性能稳定，运行可靠，具有一定的通用性。

参考文献：

- [1] 冯超, 邵胜利, 王芳栋, 等. 探空火箭在临近空间气象保障中的应用研究 [J]. 测控技术, 2018, 37 (5): 16-19.
- [2] 周恒保, 辛高波, 丁秀峰, 等. 新一代运载火箭时序控制系统设计 [J]. 上海航天, 2016, 33: 107-111.
- [3] 宋征宇. 运载火箭时序控制系统“标准型”的研究 [J]. 航天控制, 1998, 17 (2): 28-33.
- [4] 党琳, 王晓晖, 刘琨. 火箭配电器测试系统设计 [J]. 计算机测量与控制, 2017, 25 (5): 10-13.
- [5] 陈丹, 王丹, 王国军. 航天器多继电器线圈并联电路的可靠性研究 [J]. 航天器环境工程, 2014, 31 (3): 313-315.
- [6] 武杰, 陈灿辉, 朱红, 等. 高精度火工品控制电路测试方案的设计与实现 [J]. 计算机测量与控制, 2015, 23 (10): 3427-3429.
- [7] 汪路元. FPGA 设计中的亚稳态及其缓解措施 [J]. 电子技术应用, 2012, 38 (8): 13-19.