

基于 FPGA+COM Express 的基带数字信号处理平台设计

齐志强

(中国空空导弹研究院, 河南 洛阳 471009)

摘要: 针对卫星信号分离系统运算量大, 实时性要求高的特点, 设计了一种基于 FPGA+COM Express 的基带数字处理平台通过对系统需求的分析, 构建系统的硬件架构, 将系统分为运算模块、网络接口模块、A/D 电路、D/A 电路、电源变换电路和时钟管理电路等部分, 然后根据各部分的具体需求确定主要芯片的选择和电路的具体设计; 根据系统特点, 将系统运算分为两类, 将数据运算量大, 实时性要求高但结构简单的部分用 FPGA 实现, 将数据量少但控制结构复杂、实时性要求低的部分用 COM Express 实现; 经测试, 该平台能够满足卫星信号分离系统的运算需求和实时性要求; 该方案可作为通用数字基带处理平台, 能够灵活实现常用的基带数字信号处理系统所需的信号采集、运算、控制和输出, 具有设计灵活多样, 开发简单易行, 研发周期短等优点。

关键词: 信号处理; 基带; 模块化处理器; FPGA; 以太网

Design of FPGA+COM Express-based on Baseband Signal Processing Platform

Qi Zhiqiang

(China Air to Air Missile Academy, Luoyang 471009, China)

Abstract: In view of the large computational complexity and high real-time requirement of the satellite signal split system, a baseband signal processing platform was designed based on FPGA+COM Express architecture. Through the analysis of system requirements, build the hardware architecture of the system, divides the system into operation module, network interface module, A/D circuit, D/A circuit, power conversion circuit and clock management circuit part, and then determine the main chip according to the specific needs of each part of the circuit selection and specific design. According to the characteristics of the system, the system operation will be divided into two categories, the data of computation and high real-time requirements but simple structure parts using FPGA, the amount of data but less control of complex structure, low real-time requirements by COM Express. Tests were performed on the platform, and results showed that, the platform met operation and real-time requirements for the satellite signal split system. This design scheme can realize all of the signal process flexibility such as signal quantization and operation and control and output for the baseband signal processing platform. This design scheme can be used as a general baseband signal processing platform, which has a short period to design and has advantages on flexibility and easy to design.

Keywords: signal processing, baseband, modularization, FPGA, Internet

0 引言

随着数字信号处理技术和大规模集成电路的广泛应用, 基带数字信号处理平台正朝着高度集成化、模块化、通用化的方向发展^[1]。传统的基带数字信号处理平台多采用 FPGA+DSP 的结构, 数据量大但运算结构简单的部分用 FPGA 实现, 数据量少但控制结构复杂的算法用 DSP 实现^[2]。但 DSP 存在人机交互差, 通信接口不够丰富, 设计开发周期长等问题, 为了缩短产品研发周期, 便于产品提早抢占市场, 我们设计开发的卫星信号分离系统采用了 FPGA+嵌入式计算机模块 (COM, Computer On Module) 的硬件架构。

嵌入式计算机模块是高度集成化的计算机模块, 可以大幅度减轻设计者的开发和维护工作, 缩短开发周期。COM 有多种标准, 使用最广泛的为 COM Express, 该标准规定了

4 种引脚分配类型和三种模块尺寸^[3]。COM Express 是目前市场上最小、性能最高、最为先进的嵌入式模块之一, 应用于高端嵌入式领域^[4]。COM Express 的设计过程简单, 功能强大, 灵活性高, 可以大幅度提高工作效率^[5]。本文主要阐述基于 FPGA+COM Express 的基带数字信号处理平台的设计, 该平台不但可以满足卫星信号分离系统的需求, 而且运算能力强大, 接口丰富, 具有很强的通用性, 可广泛应用于基带信号处理系统, 实现产品的快速开发。

1 系统总体设计

结合卫星信号分离系统的需求和产品开发周期等因素, 选择合适的硬件系统架构。卫星信号分离系统采用 20 振元的天线阵接收卫星信号, 同时接收多颗卫星信号, 然后根据各颗卫星信号来向不同, 用自适应信号处理算法, 将阵列天线波束分别对准感兴趣的卫星, 同时在其它卫星信号来向形成零陷, 从而将各颗卫星信号分离输出。需要将 20 路天线接收到的信号分别进行采样、下变频、滤波、信号分离处理、分离出 12 路信号后分别上变频输出, 进行信号

收稿日期: 2018-09-09; 修回日期: 2018-10-18。

作者简介: 齐志强 (1982-), 男, 河南南阳人, 高级工程师, 硕士, 主要从事卫星定位及抗干扰技术方向的研究。

分离处理时需要知道自身平台的姿态信息和卫星信号的来向,从而自适应的计算出需要分离的卫星信号的权值,系统时钟为 62 MHz,采样位宽为 14 bit。20 路信号并行实时处理,每个时钟节拍完成一次运算,运算量很大,但数字上下变频、滤波等功能相对固定,比较适合用 FPGA 实现^[6]。而接收平台的姿态信息和卫星信号来向以及生成权值的数据处理速度相对较低,几十毫秒完成一次运算,我们用嵌入式计算机模块来实现该部分功能。

图 1 所示为本基带数字信号处理平台的硬件架构,主要由 A/D、FPGA、COM Express、网络接口模块、D/A、电源变换电路和时钟管理电路等部分组成。20 路 A/D 分别将 20 个天线阵元接收下来的已下变频的模拟中频信号量化为数字信号,FPGA 分别对 20 路信号进行下变频、滤波,然后将相关参量送给嵌入式计算机模块 SOM-7565,SOM-7565 根据接收到的惯导信息和卫星信号来向,计算出需要分离的各颗卫星信号的加权值并将权值送给 FPGA,FPGA 完成对各路信号的加权,并分别上变频后送给 D/A 输出。FPGA 与 SOM-7565 之间用网口通信,FPGA 通过以太网模块实现网络接口协议,通过以太网交换控制芯片实现信息交互。

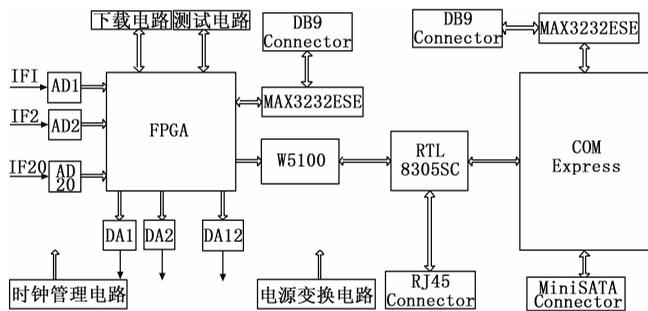


图 1 基带数字信号处理平台的硬件架构

2 系统硬件平台设计

由上文可知,开发平台主要包括 FPGA、COM Express、网络接口模块、A/D、D/A、电源变换电路和时钟管理电路,下面对硬件各部分平台设计进行简要介绍。

2.1 FPGA 芯片

FPGA 芯片需要分别对 20 路信号进行下变频、滤波,加权,并分别完成 12 路信号上变频,需要进行大量的逻辑运算和乘法运算,因此对逻辑资源和乘法器的需求比较大;FPGA 需要与 20 路 A/D 和 12 路 D/A 互联,A/D 和 D/A 均为 14 bit 位宽,因此对 I/O 资源的需求也很高。根据资源需求情况,我们选择了 Altera 公司的 Stratix V 系列 FPGA 芯片 5SGSMD8K2F40C3N。该芯片有等效逻辑资源 695K,存储器 58Mbits,18×18 乘法器 3926 个,可用 IO 数量为 696 个^[7],可以满足系统设计需要。内部可生成嵌入式内核(NIOS),方便对接程序进行调试。可以利用 Signal TapII,实时得到输入输出以及内部信号时序关系,便于进行程序调试。FPGA 外围电路主要有下载电路和测试电路,对外信息输出可以通过网口输出,也可以通过串口输出。

2.2 嵌入式计算机模块

根据对处理器计算能力和体积、功耗等方面的综合考虑,我们选择 SOM-7565 作为嵌入式计算机模块。SOM-7565 是一种符合 COM Express 标准的超小型计算机模块,尺寸大小为 84 mm×55 mm,采用 x86 架构,可在其上运行 Windows XP 操作系统。该模块为研华科技生产的 COM Express 模块,其主要性能如下^[8]:

- CPU 型号: Intel Atom Process N2600;
- 主频: 1.6 GHz;
- 芯片组: NM10;
- 内存: DDR3 2 GB;
- 板上硬盘: 4 GB;
- 功耗: 6.96 W。

COM Express 模块 SOM-7565 的标准化和通用化做的很好,方便人机交互以及和标准接口设备通信,具有丰富的外部接口,1 个 SATA 端口,8 个 USB 2.0 端口,3 个 PCIe 总线端口,以及 I²C 总线、GPIO 口、音频接口、以太网口等,可满足各种设计需求。本设计采用以太网口与 FPGA 和外部计算机通信,用 RS232 总线接收惯导信息和卫星信号来向等信息,并通过 SATA 口外挂一块 128 GB 的固态硬盘。

2.3 网络接口模块

网络接口模块主要包括 W5100 以太网芯片和 RTL8305SC 以太网交换控制芯片。FPGA 与 SOM-7565 之间用网口通信,W5100 是一款集成了 TCP/IP 协议的以太网接口芯片,内部集成有 10/100 Mbps 的以太网控制器,可以实现没有操作系统的 Internet 连接,用来完成 FPGA 的网络接口协议,FPGA 只需要进行简单的端口编程,即可实现 Internet 连接。W5100 提供了 3 种接口^[9]:直接并行总线、间接并行总线和 SPI 总线,我们采用间接并行总线的方式与 FPGA 连接,连接关系如图 2 所示。

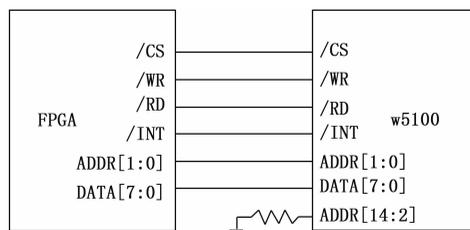


图 2 间接总线接口模式

RTL8305SC 是一种 5 口以太网交换控制芯片,可提供 10/100 Mbps 传输速率的自动协商和识别功能,用于协调 FPGA,SOM-7565 和上位机间的通信,SOM-7565 可通过网口连接上位机,在上位机上用远程终端控制,待程序调试成功后再脱离上位机独立运行。

2.4 A/D 电路

模数转换电路由 20 路高速、高精度 A/D 及其外围电路组成。需要采样的中频信号主频为 46.5 MHz,带宽为 20 MHz,采用带通采样,根据带通采样定理,采样频率应不

低于信号带宽的两倍, 即采样频率不能低于 40 MHz, 考虑到 A/D 采样后的下变频处理利用免乘 NCO 来实现, 我们选取的采样时钟为 62 MHz, A/D 采样后信号主频变为 $62 - 46.5 = 15.5$ MHz, 与频率为 $62/4 = 15.5$ MHz 的免乘 NCO 混频后恰好可以变频到基带信号, 这就要求 A/D 转换器采样速率不低于 62MSPS。导航信号采样数据有效位数不应低于 4 bit, 否则会造成信噪比损失, 考虑到信号幅度变化, 电路板底噪以及 A/D 转换器的线性工作范围等因素, 应留取适当裕量, 选取的 A/D 转换器有效数据位数应不少于 6 bit。本系统由于是样机研制, 考虑到平台还可以应用于其它科研项目, 避免平台资源浪费, 可对 A/D 指标进行适当拔高。因此综合考虑体积、功耗、价格等因素, 我们选用的 A/D 转换器是 AD 公司的 AD9245。该芯片是采用 CMOS 技术的高速、高性能、单片集成的 14 位模数转换器, 其最高采样频率可以达到 80MSPS, 典型信噪比约 70 dB, 数据有效位数 11.5 bit, 可以满足系统需求。为改善输入信号质量, 提高对共模噪声的抑制度, 信号输入 A/D 前经过调理电路, 将单端信号转换为差分信号, 并进行低通滤波。单端转差分电路采用变压器实现, 中频滤波电路根据输入的模拟中频信号频率, 选择合适的 RC 滤波网络。A/D 前端调理电路如图 3 所示。

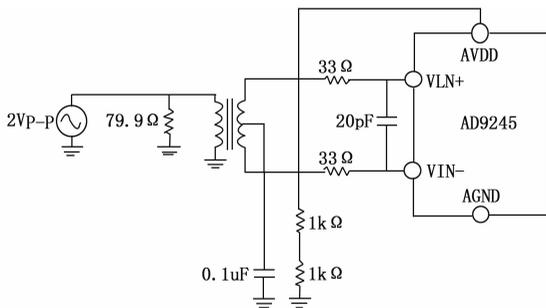


图 3 A/D 前端调理电路

2.5 D/A 电路

FPGA 实现卫星信号分离后, 需要将各颗卫星信号分别输出, 因此需要选择与之相适应的 D/A 转换器, 系统设计能够输出 12 颗卫星信号, 因此需要 12 路 D/A 转换器。D/A 转换器的分辨率越高, 输出信号的精度越高。实际输出信号由于底噪、温度等外界影响因素, 而无法达到 D/A 芯片手册所描述的精度^[10], 因此设计时应留足裕量。为保证信号精度, D/A 转换器的性能应优于 A/D 转换器的性能^[11]。系统输出的中频信号频率为 46.5 MHz, 为保证信号质量, 采用的输出信号频率为系统主时钟的 2 倍, 即 $62 \times 2 = 124$ MHz, 选用 D/A 的数据率应不低于 124 MHz。经过对多种 D/A 器件的综合比较, 我们选用的 D/A 芯片为 AD 公司的 DAC2904, 该芯片具有以下主要特点:

- (1) 125MSPS 数据率;
- (2) 单电源供电是 5 V 或 3.3 V;
- (3) 高无杂散动态范围典型值为 78 dB, 低干扰;
- (4) 低功耗;

(5) 内嵌参考电路。

DAC2904 是双通道输出的 D/A 转换芯片, 由独立的两路 14 bit 的并行端口组成, 因此只需要 6 片芯片即可满足系统需要。芯片的数据输入接口接收标准的二进制原码, 所有数字接口兼容 CMOS 电平。

在 D/A 的模拟输出端利用 RF 变压器可以很方便的把差分输出信号变成单端输出信号, 同时能够获得较好的动态特性。这种信号输出方式的配置, 可以明显的减弱共模信号, 从而可以在一个较宽的频率范围内改善动态特性。对于 RF 变压器的选择, 要根据输出信号的频谱以及阻抗特性要求, 合理的选择变压器的变压比例, 可以使其能够获得所需要的阻抗匹配的同时, 获得所需要的输出电压。在信号输出前, 我们还设计了中频滤波器, 用于滤除谐波信号。我们设计的基于该 D/A 转换器的数模转换电路, 如图 4 所示。

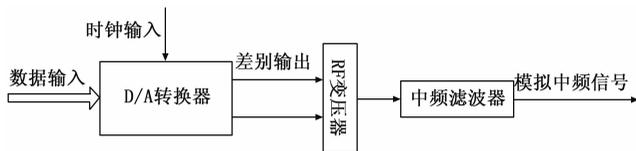


图 4 数模转换电路

2.6 电源变换电路

数字信号处理平台外接 24 V 直流供电, 板上器件供电由电源变换电路从 24 V 转换为所需的各种电平, 电源电路的设计主要遵循以下设计准则:

板上各种电平的工作电流根据芯片数据手册进行预估, 留够余量;

A/D 及 D/A 的模拟部分供电采用线性稳压电源, FPGA 模拟时钟电路采用线性稳压电源;

电流较大的电平通过地平面传输, 地平面的铺设不能有瓶颈;

数字电路与模拟电路的地线分开并分别与电源端地线连接, 尽量加大接地面积^[12], 将地线构成闭合回路;

合理安排电源层、地层及信号层的排布, 通常在电源层旁边安排一个完整的地层;

不同电源层在空间上要避免重叠, 特别是一些电压相差较大的电源之间, 电源平面的重叠问题要设法避免;

电源层进行内缩设计, 以一个 H (电源和地之间的介质厚度) 为单位, 电源层应内缩 20H 以上。

2.7 时钟管理电路

时钟管理电路为板上 A/D、FPGA、COM Express 模块、网络接口模块和 D/A 提供工作时钟, 它包括晶振、时钟驱动芯片等。由于时钟噪声和抖动会引起 A/D 采样动态误差变大, 因此要求时钟信号具有较高的纯度和较低的相噪特性, 以防止 A/D 性能恶化。为保证 20 路信号的相位一致性, 需要 20 路 A/D 采用相同的采样时刻, 这就要求 20 路 A/D 的采样时钟具有相同的走线长度, 并且各路时钟信号间的延时尽可能小。为了保证时钟频率的准确性, 晶振频率应选择与信号处理时钟同频或整数倍分频/倍频频率,

本系统选用的晶振频率与系统主时钟一致,晶振为 62 MHz 的温补晶振,全温范围内频率稳定度不低于 2 ppm。由于板上时钟信号线较多,时钟驱动芯片是必不可少的。根据系统对时钟信号的要求,我们采用多片 CY2305 和 CY2309 作为时钟驱动芯片。这两种时钟驱动芯片具有零延迟输出,60 ps 的典型周期到周期抖动,多个低抖动输出,85 ps 的典型输出至输出扭曲,可以满足系统需求。

3 系统测试

本文所述的基带数字信号处理平台的应用背景是卫星信号分离系统,该系统将分离出的各颗卫星信号处理后再发射出去,以达到欺骗敌方的目的。如果分离出的卫星信号处理延时过大,容易被敌方识别因而达不到欺骗敌方的目的。各颗卫星信号到达地面时的功率不一致,但通常都在 10 dB 范围内波动,系统要求分离出的卫星信号中不应包含其它卫星信号,这就要求分离出的卫星信号与其它卫星信号的功率比足够大。为满足动态载体的需要,权值更新速率不能太低,否则会造成波束指向误差过大,导致系统性能急剧下降。该系统要求信号处理延时不大于 10 us,分离出的卫星信号与其它卫星信号的功率比不小于 20 dB,权值更新速率不小于 10 Hz。

本系统由于主要的信号处理部分用大容量 FPGA 并行实现,实测系统延迟只有 2 us。信号处理采用 20 个天线单元组成的天线阵实现,需要分离的卫星信号理论上可实现 $10 \times \log 20 = 13$ dB 的增益,实测信号增益不小于 10 dB。信号处理算法在其它卫星信号来向形成零陷,仿真得到的零陷深度在 40—50 dB,实际实现时由于角度误差,各通道间幅相误差以及天线互耦等因素导致系统性能下降,实测得到的零陷深度不小于 20 dB,因此分离出的卫星信号与其它卫星信号的功率比不小于 30 dB。FPGA 用来加权的权值计算由 COM Express 模块实现,并通过网口将数据发送给 FPGA,权值更新速率可达到 20 Hz。各项性能指标均达到了系统要求。

4 结束语

本文所述的基带数字信号处理平台,采用 FPGA+

COM Express 的硬件架构,充分利用了 FPGA 和 COM Express 模块各自的优势,构建了一个高性能的基带处理平台,实现了对大量高速复杂信号的接收与实时处理。COM Express 具有丰富的标准接口,在通用性、可升级性上具有明显的优势,设计灵活,易于实现,处理器模块可以根据项目需要方便替换,FPGA 也可以根据系统对资源的需求而选用不同的型号。该设计方案可广泛应用于基带数字信号处理平台的设计中,能够适应不同层次开发对硬件平台的需求。

参考文献:

- [1] 李小文,等. 移动数字信号基带处理平台的设计与实现 [J]. 微电子学, 2014, 44 (1): 64—68.
- [2] 谭左红,田增山. 基于 FPGA+DSP 的高速基带信号处理平台的设计 [J]. 科学技术与工程, 2014, 14 (3): 239—242.
- [3] 李健. 嵌入式计算机模块 (COM Express) 设计 [J]. 电子产品世界, 2012 (11): 65—65.
- [4] 张奇. 基于 MPC8536 的 COM Express 模块研制 [D]. 哈尔滨: 哈尔滨工业大学, 2014.
- [5] 程波. 计算机外存及 PCI、PCIe 总线设备测试装置设计 [D]. 成都: 电子科技大学, 2015.
- [6] 曹健辉. 宽带数字信号处理系统的实现 [D]. 成都: 电子科技大学, 2014.
- [7] Altera Corporation. Stratix V Device Handbook [EB/OL]. <http://www.altera.com>, 2012.
- [8] Advantech Technology Inc. SOM—7565 Intel? Atom? Processor N2000 Series COM Express Mini Module Pin—out Type 10 [EB/OL]. [2012—11]. <http://www.advantech.com/products>.
- [9] WIZnet Co., Inc. W5100 Datasheet [EB/OL]. <http://www.wiznet.co.kr>, 2014.
- [10] 范旭东,张会新,安震. 基于 PCI 和 FPGA 的多路信号源设计 [J]. 计算及测量与控制. 2013, 21 (11): 3148—3152.
- [11] 李小青,刘克刚,王皓. 高精度数据采集与回放系统的设计与实现 [J]. 电子技术. 2004, 31 (7): 11—14.
- [12] 齐志强. 高速 PCB 设计经验与体会 [J]. 电子设计工程. 2011, 19 (16): 141—143.
- [13] 李亚安,李国辉. Applied Mechanics and Materials, 2013, 2635 (391): 246—249.
- [14] 杨宏,李亚安,李国辉. 一种改进扩展卡尔曼滤波新方法 [J]. 计算机工程与应用, 2010, 19: 18—20.
- [15] 张巍. 纯电动汽车电池管理系统的研究 [D]. 北京: 北京交通大学, 2013.
- [16] 蔡信,李波,汪宏华,等. 基于神经网络模型的动力电池 SOC 估计研究 [J]. 机电工程, 2015, 32 (1): 128—132.
- [17] 姚雷,王震坡. 锂离子电池极化电压特性分析 [J]. 北京理工大学学报, 2014, 34 (09), 912—916.
- [18] 谢广. 基于无迹卡尔曼滤波的磷酸铁锂电池 SOC 估算研究 [D]. 合肥: 合肥工业大学, 2015.
- [19] 薛辉. 动力锂离子电池组 SOH 估计方法研究 [D]. 吉林: 吉林大学, 2013.

(上接第 208 页)

- [4] 刘江,史仪凯,袁小庆,等. 基于 RLS 与 EKF 算法的锂电池 SOC 估计 [J]. 测控技术, 2013, 32 (8): 123—125.
- [5] 毕军,康燕琼,邵赛,等. 纯电动汽车动力锂电池 Nernst 模型参数辨识 [J]. 汽车工程, 2015, 37 (6): 725—730.
- [6] Lou TT, Zhang WG, Guo HY. The Internal Resistance Characteristics of Lithium—Ion Battery Based on HPPC Method [J]. Advanced Materials Research, 2012, 1528 (455): 245—251.
- [7] 时玮,姜久春,李索宇,等. 磷酸铁锂电池 SOC 估算方法研究 [J]. 电子测量与仪器学报, 2013, 24 (8): 769—774.
- [8] 于海芳,逯仁贵,朱春波,等. 基于安时法的镍氢电池 SOC 估计误差校正 [J]. 电工技术学报, 2012, 27 (6): 12—18.
- [9] Chen QY, Wei KX. Estimation of Electric Vehicle Battery Ohmic Resistance Using Dual Extend Kalman Filter [J]. Ap-