

基于虚拟仪器与 FPGA 的多类型信号模拟器设计

顾鹏程, 张力川, 王立, 卢建川

(西南电子技术研究所, 成都 610036)

摘要: 随着现有各类信号接收机不断推陈出新, 为满足接收机测试所使用的信号多样性、参数可调等需求, 对信号产生技术进行了研究, 根据现有主流雷达、通信等信号, 设计了一种新颖的基于虚拟仪器与 FPGA 的多类型信号模拟器; 其中多类型信号模拟软件使用 C 语言基于 LabWindows/CVI 开发; 通过模拟软件与 FPGA 控制数据的传输, 使用 PCIE 接口与总线先将信号数据传输至硬件部分的 DDR3 存储器中进行缓存, 而后从 DDR3 存储器读取到 DAC 模块中, 最终经数模转换, 通过两个通道输出模拟信号; 与传统的模拟器相比, 所提出的软硬件体系架构在集成度、通用性、灵活性、可扩展性、系统成本等方面均取得较为显著的提升; 测试结果表明模拟器能正常工作, 性能满足使用需求。

关键词: 信号模拟器; 测试; 虚拟仪器; LabWindows/CVI; 现场可编程门阵列

Design of Multi-Signal Modulator Based on Virtual Instrument and FPGA

Gu Pengcheng, Zhang Lichuan, Wang Li, Lu Jianchuan

(Southwest China Institute of Electronic Technology, Chengdu 610036)

Abstract: With the development of different types of signal receivers, in order to meet the signals' requirement of multiple characteristic and parameter adjustability which is used in receivers' testing, signal production technologies are studied. According to the present radar, communication signal, etc. a new-style multi-signal modulator based on virtual instruments (VI) and field programmable gate arrays (FPGA) is designed. Multi-types signal modulating software was developed using C language based on LabWindows/CVI. The data transfer is controlled by the software and FPGA. Signal data is stored to Double Data Rate 3 Gen (DDR3) Memory via peripheral component interconnect express (PCIE) interface and bus. Then data is read out from DDR3 memory to digital-to-analog converter (DAC) module. Eventually, signals were output using two channels after transferred to analog type. Compared with traditional modulators, great improvements of the proposed software and hardware architecture lie in integration, universality, flexibility, expandability, system cost. The test results proves that modulator can work well, and its performance fulfills the requirement of the design and usage.

Keywords: signal modulator; test; virtual instruments (VI); LabWindows/CVI; field programmable gate arrays (FPGA)

0 引言

信号模拟器在接收机研发、生产、测试过程中均发挥着重要的作用, 一款可靠而优秀的信号模拟器既能准确而全面地对接收机进行测试, 也能客观而真实地评价接收机的理论设计与实际性能。当前雷达回波信号模拟器^[1-3]、塔康地面信标信号发生器^[4]、水下目标回波发生器^[5]等各类专用的信号模拟/发生器层出不穷。然而由于各类信号体制不一、生成方式各异, 同时考虑到灵活性、成本等因素, 难以通过对各类专用信号模拟/发生器进行简单叠加, 从而得到普遍适用于各类接收机测试的多类型信号模拟器。为解决这一问题, 一些学者对信号的软件模拟方法进行了研究^[6-8], 取得了一些成果。然而完成信号在软件中的生成后, 普遍使用信号源、USB+FPGA 或美国国家仪器公司 (National Instruments, NI) 的数据采集卡输出模拟信号。前者提高了系统成本, 且一体化程度不高; 后者采集速率一般为 1~10 MS/s, 速率过低。因此开展兼具灵活性、

低成本和高采集速率等特性的信号模拟器研究具有十分重要的意义。

基于虚拟仪器技术的系统开发平台可采用编程语言对各类信号的产生进行软件实现, 其人机界面简单友好, 参数设置灵活, 具备一定的扩展性, 对设计开发多类型信号模拟器的软件部分具有极大的优势。使用现场可编程门阵列 (Field Programmable Gate Array, FPGA) 平台进行处理, 通过数模转换器 (Digital Analog Converter, DAC) 输出信号, 具有成本较低与系统集成度高的优势。

本文以接收机测试常用的雷达、通信、杂波、干扰、噪声、回波等信号为对象, 以 LabWindows/CVI 与 Vivado 为主要开发平台, 基于虚拟仪器技术与 FPGA 技术, 开展多类型信号模拟器的软硬件设计, 实现多种类型信号的生成与输出。

1 系统总体方案设计

模拟器系统的结构如图 1 所示, 使用单板机中的多类型信号模拟软件, 通过设置各类参数, 生成模拟信号数据, 其中信号数据可导出为数据文件。同样, 满足格式要求的外部数据文件可读取到模拟软件中。软件模拟箔条干扰信号时, 需调用 Matlab 软件以提高计算速度。单板机通过外

收稿日期: 2018-08-29; 修回日期: 2018-10-25。

作者简介: 顾鹏程 (1994-), 男, 四川成都人, 硕士研究生, 主要从事信号处理方向的研究。

部控制器接口传输 (Peripheral Component Interconnect Express, PCIE) 总线与搭载 FPGA 的信号处理板相连, 从而实现从多类型信号模拟软件到模拟器硬件的数据下载。

用户通过软件与 FPGA, 控制信号数据的数据下载、停止传输、断开连接。最终通过 DAC 模块输出低频、高频两路信号。

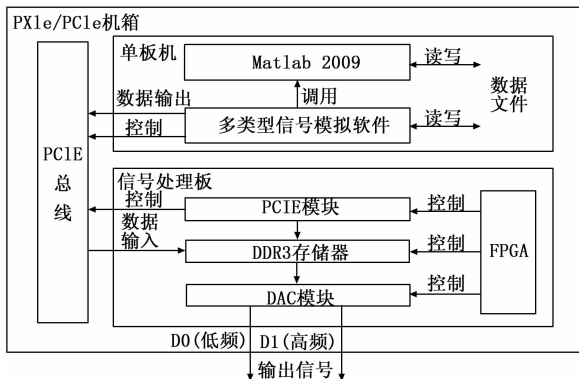


图 1 系统结构框图

2 硬件电路设计

系统硬件集中在两块板卡上, 其中单板机负责运行多类型信号模拟软件和 Matlab 软件。信号处理板负责对收到的信号进行存储与数模转换。两块板卡的载体为 PXIe/PCIE 机箱, 通过背板上的 PCIE 总线实现两板卡之间的高速通信。

单板机系统为 Windows7 专业版, 处理器为 i7-2710QE, 主频为 2.1 GHz。满足 LabWindows/CVI 与 Matlab 对系统的要求。

信号处理板主要由 FPGA、PCIE 模块、DAC 模块和第三代双倍数据速率 (Double Data Rate 3 Gen, DDR3) 存储器组成。

2.1 信号处理板设计

信号处理板的组成如图 2 所示, 主要由 FPGA 单元和管理单元组成。其中管理单元负责板卡内电源管理、FPGA 接口电平转换、时钟电源控制和配置。前面板配置有多路 RS422 和调试接口, 支持外部参考时钟输入。背板连接 8 路吉比特收发器 (Gigabyte Transceiver, GTx) 接口、4 路串行高速输入输出 (Serial RapidIO, SRIO) 接口和多路低压差分信号 (Low Voltage Differential Signaling, LVDS) 接口。

信号处理板选用 Xilinx Virtex-7 系列的高性能 FPGA xc7vx690tffg1761 作为主控处理器, 板卡上挂载了两片 DDR3 同步动态随机存取存储器 (Synchronous Dynamic Random Access Memory, SDRAM)。

2.2 硬件接口设计

硬件接口包括存储接口、FMC 接口、背板接口。

存储接口主要由一片闪存 Flash、两组 DDR3 存储器组成。Flash 容量为 256 MB, 用于加载 FPGA 软件。每组

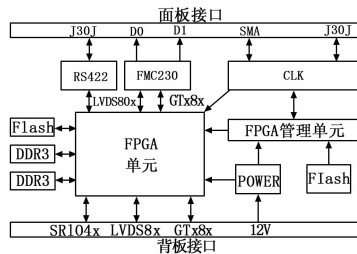


图 2 信号处理板组成框图

DDR3 存储器容量为 2 GB, 用于数据缓冲。

FMC 接口包括 80 组 LVDS 和 8 组 GTx, 其中 GTx 支持 PCIE。

背板接口由 4 组 SRIO (支持 PCIE), 多组 LVDS 和 8 组 GTx 组成。

2.3 DAC 模块设计

DAC 模块为信号处理板上搭载的一片 FMC230 子卡, 采用 4DSP 公司 SD180, 系统结构如图 3 所示。模块内含两枚 AD9129 芯片与一枚 AD9517 芯片, 前者提供双通道数模 (D/A) 转换与输出 (分别为 D0 与 D1), 分辨率可达 14 位, 更新速率最高可达 5.6 GSPS; 后者提供最高可达 12 路的稳定时钟, 集成了锁相环 (Phase Locked Loop, PLL) 和压控振荡器 (Voltage-Controlled Oscillator, VCO)。由于设计输出信号频率最高达到 5 GHz, 故开启一枚 AD9129 芯片的混频模式, 以正确输出高频信号。

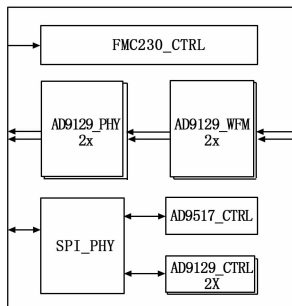


图 3 FMC230 子卡结构图

2.4 PCIE 接口设计

PCIE 接口实现信号处理板和单板机的连接, 自适应 5 Gbps/lane 和 2.5 Gbps/lane 线速率, 最大数据带宽 2 GB/s (5 Gbps/lane 线速率)。支持对 FPGA 用户逻辑的 IO 访问和直接存储器读取 (Direct Memory Access, DMA) 传输。DMA 模式下, 数据从单板机内存传输到 FPGA 速度为 1100 MB/s (5 Gbps/lane)。PCIE 接口信号分布如图 4 所示。

直接使用 Xilinx 公司 Virtex7 系列 FPGA 提供的 PCI-Express 硬核实现 PCIE 接口的数据下发功能。PCIE 硬核集成了 PCIE 的事务层、数据链路层、物理层和配置管理层, 相当于将 PCIE 桥接芯片集成到 FPGA 中。开发者只需要在开发 FPGA 程序时, 在开发平台中调用 IP 核并进行相应设置。

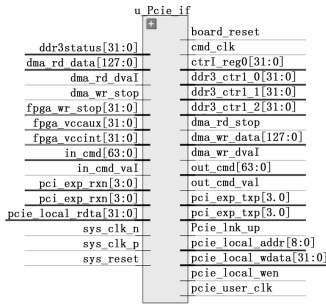


图 4 PCIE 接口信号分布

3 系统软件设计

系统软件设计包括单板机中的软件与片上系统软件设计。单板机软件为多类型信号模拟软件, 片上系统软件为 FPGA 软件。

本章首先介绍信号产生的原理, 再分别对多类型模拟软件与 FPGA 软件的设计进行介绍。

3.1 信号产生原理

多类型信号模拟软件能生成常用的雷达、通信、杂波、干扰、噪声等信号, 还可根据输入的天线参数和目标参数, 产生目标回波与雷达回波信号。

3.1.1 雷达信号

本文以包络为升余弦, 脉内调制为线性调频的信号为例。其信号包络可用式 (1) 表示:

$$y(t) = \begin{cases} \frac{E}{2} \left[1 + \cos\left(\frac{2\pi(t - nT - \tau/2)}{\tau}\right) \right] & (0 \leq t - nT < \tau, n = 1, 2, 3, \dots) \\ 0 & (\tau \leq t - nT < T, n = 1, 2, 3, \dots) \end{cases} \quad (1)$$

线性调频的复数表达式为:

$$s(t) = u(t)e^{j2\pi f_c t} = A \cdot y(t) \exp\left(j2\pi\left(t + \frac{\mu t^2}{2}\right)\right) \quad (2)$$

其中: $u(t)$ 为线性调频信号的复包络, A 为线性调频信号的幅度, $y(t)$ 为包络函数, τ 为线性调频信号的时宽, f_0 为载波频率, $\mu = B/\tau$ 为调频斜率, 线性调频信号的带宽 $B = \frac{\mu\tau}{2\pi}$ 。

3.1.2 通信信号

本文以幅度调制 (Amplitude Modulate, AM) 信号为例。AM 信号可表示为式 (3)。

$$s(t) = Ac(1 + a\cos(2\pi f_0 t + p_0))\cos(2\pi f_c t + p_0) \quad (3)$$

其中: Ac 为载波信号幅度, a 为基带信号幅度, f_0 为基带信号频率, f_c 为载波信号频率, p_0 为初相。

3.1.3 杂波信号

信号模拟软件中的杂波信号通过设定统计特性参数得到, 其幅度及功率谱服从一定分布。本文以幅度服从瑞利分布, 功率谱服从高斯分布的杂波信号为例。

以 x 表示杂波回波的包络振幅, 以 σ^2 表示其功率, 则 x 的概率密度函数为:

$$p(x | H_0) = \begin{cases} \frac{x}{\sigma^2} \exp\left(-\frac{x^2}{2\sigma^2}\right) & x \geq 0 \\ 0 & x < 0 \end{cases} \quad (4)$$

而高斯分布可表示为:

$$P(f) = S_0 \exp\left(-\frac{(f - f_d)^2}{2\sigma_f^2}\right) \quad (5)$$

其中: S_0 是常数, f_d 为杂波的平均多普勒频移, σ_f 为杂波的频谱标准差, 代表频谱展宽的程度。

3.1.4 干扰信号

干扰信号可按干扰源的存在与否, 分为无源干扰与有源干扰。

根据文献 [9], 在不考虑时延因素的前提下, 基于简化雷达入射波模型的箔条干扰信号可用下式表示:

$$s_l(t) = \sum_{i=1}^m \text{Re}(\exp(j2\pi(f_0 + (f_{dr} + f_{di}))t)) \quad (6)$$

其中: m 表示箔条总根数, Re 表示对括号内的复数取实部, f_0 表示雷达入射波的中心频率, f_{dr} 为箔条云平动引起的多普勒频移, f_{di} 表示第 i 根箔条, 其速度起伏引起的多普勒频移, 可通过 $f_{di} = 2v_{ci}/\lambda$ 求得, 其中 v_{ci} 为第 i 根箔条的速度, 箔条速度 v_c 是服从正态分布的随机变量, 其均值为 0, 方差为 σ_c , λ 为入射波长。

有源干扰可分为压制干扰与欺骗干扰, 限于篇幅不作赘述。

3.1.5 噪声信号

本文以通过噪声系数得到的噪声信号为例, 其噪声功率可表示为:

$$N = kT_0 B_n F_n \quad (7)$$

其中: $k = 1.37 \times 10^{-23} \text{ J/K}$ 为波尔兹曼常数 T_0 为开尔文温度, B_n 为接收机带宽, $F_n = 1 + T_c/T_0$ 是噪声系数, 其中 T_c 为等效噪声温度。噪声信号数据服从正态分布, 均值为 0, 方差为 1.0。

3.1.6 回波信号

目标回波信号参数根据雷达信号、天线和目标参数求出。天线主要涉及扫描方式与方向图的设置, 目标主要涉及运动模型与起伏模型的设置。雷达回波则是在目标回波信号的基础上, 额外考虑干扰、杂波以及噪声等影响因素, 进行信号叠加所得。

由于雷达与目标之间存在一定距离, 所以接收到的目标回波相对于发射信号具有一定延迟, 其数值为 $\Delta t = 2R(t)/c$, $R(t)$ 为目标距雷达之间的距离。入射波由于目标相对于辐射源的运动而产生中心频率的移动, 因此目标回波相对发射信号, 会产生一定的多普勒频移。频移取决于目标的运动方向, 可正可负, 频移的大小取决于目标速度在雷达方向上的径向分量, 即径向速度。计算如式 (8) 所示:

$$V_r = V_x \cos\alpha_r(t) \cos\beta_r(t) + V_y \sin\alpha_r(t) \cos\beta_r(t) + V_z \sin\beta_r(t) \quad (8)$$

由目标相对于雷达的径向速度 V_r , 可计算目标相对于雷达的多普勒频移 $f_d = 2V_r/\lambda$ 。回波幅度根据距离方程和

目标散射截面 (Radar Cross-Section, RCS) 的变化计算产生, RCS 依据 5 种起伏类型计算得到。

综上所述可以得到目标回波模型:

$$u(t) = \sqrt{\frac{P_r \sigma \lambda^2 G_r(t) G_t(t)}{(4\pi)^3 R(t)^4}} s(t - \Delta t) \cdot e^{j2\pi f_c t} \quad (9)$$

式中, P_r 为雷达的发射功率; $G_r(t)$, $G_t(t)$ 分别为 t 时刻天线的发射增益和接收增益; λ 表示雷达的工作波长, $\lambda = c/f_c$, c 为光速, f_c 表示雷达的工作频率; σ 为目标的 RCS, 与目标的起伏特性有关。

由上文, 雷达回波可表示为式 (10)。

$$echo(t) = u(t) + n(t) + jam(t) + clutter(t) \quad (10)$$

其中: $u(t)$ 表示目标回波信号, $n(t)$ 表示噪声, $jam(t)$ 表示干扰信号, $clutter(t)$ 表示杂波信号。

3.2 多类型信号模拟软件设计

多类型信号模拟软件使用美国国家仪器公司推出的 LabWindows/CVI 开发, 可实现多种类型信号的生成、波形显示、文件读取/导出以及数据下发功能。用户使用 AN-SI C 语言通过交互式方法进行软件开发, 可调用软件内置的丰富功能面板与函数库, 还可使用众多厂商的仪器驱动程序。

根据相关教程, 使用 LabWindows/CVI 进行软件开发的一般步骤为^[10]:

- (1) 根据测试任务的需求确定程序的基本框架、仪器面板与程序中需要的函数。
- (2) 根据制定的方案, 创建新的工程, 根据步骤 (1) 中提出的需求, 设计软件用户界面 (.uir 文件), 包括: 面板、窗口、菜单、控件等, 编写相应的函数, 设置控件属性, 关联回调函数。
- (3) 在程序中添加完成各种所需功能的源代码 (.c 文件与 .h 文件)。
- (4) 先对各模块进行独立调试, 再对工程进行联合调试, 完善功能, 并消除可能引发软件崩溃的 bug。
- (5) 生成可执行文件 (.exe), 打包并发布安装文件 (.exe)。

多类型信号模拟软件的组成如图 5 所示, 软件采用模块化结构, 方便维护、后续升级与扩展。

由图 5 可知, 软件可主要分为信号发生控制、显示控制、文件读写控制、数据下发控制四个模块。其中信号发生控制模块可再分为多个子模块, 以分别控制各类信号所需的参数。下面对模块的功能进行简要介绍。

信号发生控制模块是软件核心的功能模块, 共分为九个子模块。其中载波设置模块可设置采样率和载波频率; 雷达信号发生模块实现不同包络、不同脉内调制方式的雷达信号发生功能; 通信信号发生模块可生成调幅、调频、调相等多种类型类型的通信信号; 杂波信号发生模块可生成基于统计特性的杂波信号, 总计 12 种; 干扰信号发生模块可生成箔条、压制、欺骗等主流干扰信号; 噪声信号发生模块可根据信噪比与噪声系数两种设置模式, 实现满足

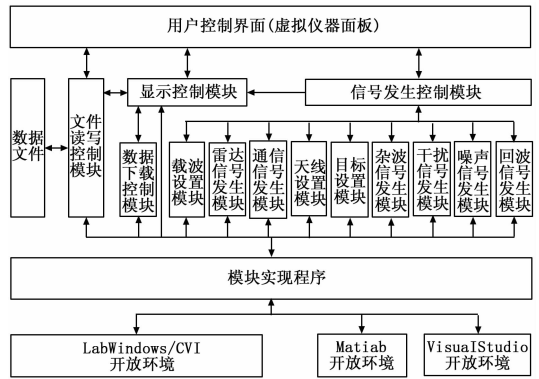


图 5 多类型信号模拟软件结构框图

特定参数要求的噪声信号。另外, 完成天线参数与目标参数进行设置后, 还可对目标回波以及雷达回波进行模拟。每个子模块分别对应一个子面板, 通过增删面板和对应代码, 可便捷地对子模块进行添加与删除, 利于维护。

显示控制模块可在正确读入外部数据文件, 或软件生成信号数据后, 对指定类型的信号, 通过表格与波形示意图进行显示, 并对其进行数据整形与归一化处理, 传输给公共变量, 用于文件导出或数据下发。

文件读写控制模块可读取特定格式的外部文件, 也可经显示控制模块处理, 将公共变量导出并保存为文件。

数据下发模块实现将公共变量数据通过 PCIE 传输给 FPGA 的功能。

软件主要基于 LabWindows/CVI 开发。在箔条干扰部分, 由于涉及复数及向量运算。编写 M 脚本文件, 调用 Matlab2009, 使用 ActiveX 服务实现混合编程, 提高计算速度^[11]。经测试, 同样对 50 根箔条进行计算, 使用自建函数运算耗时高达 100 s, 而使用混合编程方法仅耗时 2 s。体现了混合编程在面对复杂运算量的优越性。

直接将经过以往多次验证的数据下发 C++ 程序在 Visual Studio 中编译为动态链接库 (Dynamic Link Library, DLL) 文件, 编写源文件 (.c.h 文件) 在 LabWindows/CVI 中调用 DLL 文件。从而实现数据下发功能。

软件使用流程如图 6 所示。

进入软件后, 可选择是否从外部读入文件。若选择读入, 则可通过“文件”菜单栏的“打开”选项选择目标文件, 然后对其类型进行选择, 然后在数据与波形显示界面进行保存操作, 将信号数据存入公共变量, 若选择导出文件, 则可输出外部文件, 否则, 点击“数据下载”按钮, 则可将数据下发至 DAC 模块中, 实现信号的输出。

若不从外部读入数据, 则可选择是否设置载波参数, 若不设置, 则使用默认参数, 然后即可对雷达信号、通信信号等进行设置。需注意, 完成雷达信号设置后, 方可设置杂波、干扰、噪声、回波等信号。得到信号后, 与上文相同, 通过数据域波形显示界面进行导出文件或数据下发操作。

软件开发完毕后, 系统性地对所有模块进行功能测试,

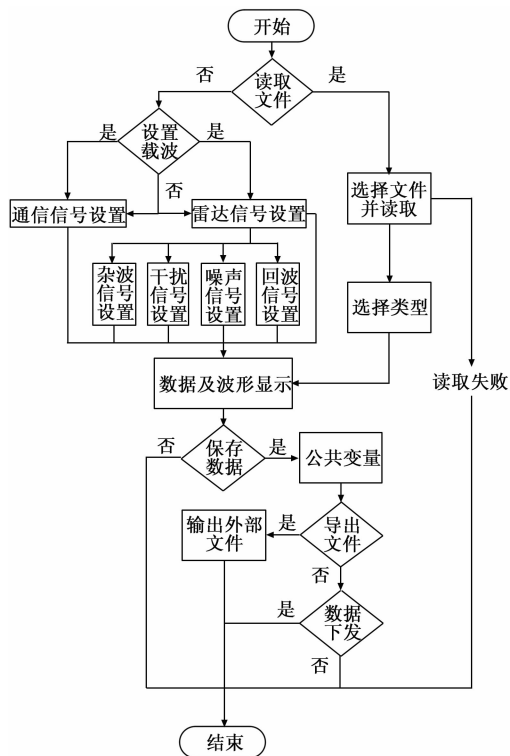


图 6 软件使用流程图



图 7 测试环境

仪与示波器测出的输出信号参数, 并记录输出信号的功率, 以验证系统的基本功能与性能。根据硬件参数, 信号的采样率统一设置为 2.457 6 GHz。

信号 1: 雷达信号。包络类型为矩形, 脉内调制为线性调频, 载频为 320 MHz, 带宽为 40 MHz。脉冲宽度为 10 μ s, 脉冲重复间隔 (Pulse Repetition Interval, PRI) 为 50 μ s。

该信号在示波器上的显示结果如图 8, 在频谱仪上的显示结果如图 9。

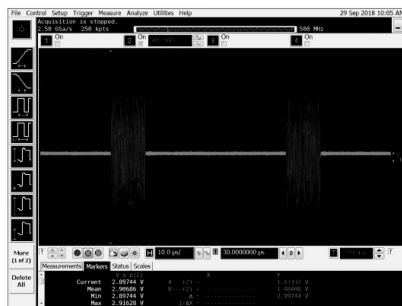


图 8 信号 1 的波形图

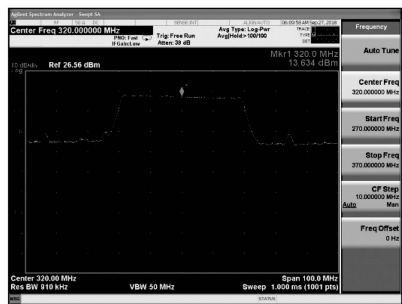


图 9 信号 1 的频谱图

并使用 Matlab 对软件生成的信号进行波形及频谱验证, 测试与验证结果均满足要求。

3.3 FPGA 软件设计

FPGA 软件实现 DAC 中的数模转换, DDR 的读写, 以及通过 PCIE 传输数据功能。FPGA 软件的开发平台为 Vivado 2015.4, 该平台可实现设计输入、代码编写、库管理、HDL 综合、仿真、下载, 从而完成 FPGA 全流程开发。本次开发所用的编程语言为 VHDL 与 Verilog HDL, 其中 DAC 模块使用 VHDL, PCIE 模块使用 Verilog HDL, 顶层使用 VHDL 编写。

在 FPGA 开发过程中, 使用模块化思想对各子模块进行划分。先分别编写 DAC 模块与 PCIE 模块的 FPGA 代码, 经过仿真验证后, 使用相关仪器进行独立测试, 而后编写顶层代码将两个模块进行融合, 将两模块与 DDR3 进行连接。融合后的系统经仿真验证后, 再进行联合测试, 结果满足使用要求。

4 实验结果与分析

在实验室环境下对模拟器进行测试验证。器材使用 Agilent N9030A 频谱仪与 Agilent DSO9054 示波器。使用线缆分别将 DAC 模块的 D1 口 (高频) 与 D0 口 (低频) 与频谱仪、示波器进行连接, 形成测试通道, 从而分别对高频和低频输出信号进行测试。

测试环境实物图如图 7 所示。

限于文章篇幅, 下文仅列出雷达信号、通信信号的测试结果。以软件面板上显示的参数为基准, 对比使用频谱

由示波器可知, 输出信号的脉冲宽度和脉冲重复间隔分别为 10 μ s 和 50 μ s, 与软件设置一致。由频谱仪可知, 信号中心频率为 320 MHz, LFM 的带宽为 40 MHz, 与面板参数偏差均为 0%, 输出功率为 13.634 dBm。测试结果满足要求。

信号 2: AM 通信信号。软件界面中, 载波信号频率设置为 1.8 GHz, 基带信号频率设置为 50 MHz, 调制深度为 50%。

该信号在示波器上的显示结果如图 10, 在频谱仪上的显示结果如图 11。

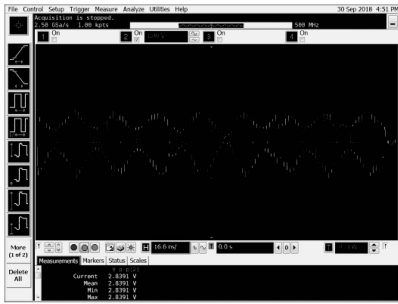


图 10 信号 2 的波形图

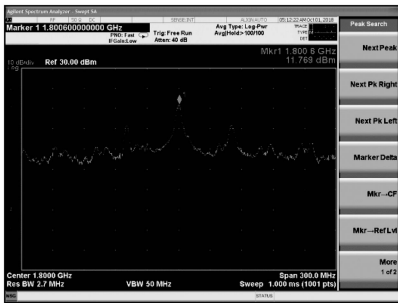


图 11 信号 2 的频谱图

由示波器可知信号满足 AM 信号的包络特征，由频谱仪可知载波信号频率为 1 800.6 MHz，载波与两侧的频率差为 50 MHz，与面板上参数的差距分别为 0.03% 与 0%，输出功率为 11.769 dBm。测试结果满足要求。

综上，测试结果表明输出信号参数与面板显示的参数之间的偏差较小，输出功率亦满足指标。信号模拟器满足使用要求。

5 结论

基于虚拟仪器与 FPGA 的多类型信号模拟器与传统的信号模拟器相比，采用软件生成信号数据，相比传统的硬

件模拟器，极大丰富了信号类型；采用 PCIE 进行数据传输，使用 FPGA 处理并输出数据，相比传统的信号源、USB+FPGA 或数据采集卡方案，降低了系统成本，提升了传输速度，具有扩展性强、成本低的优势。后续作者还将继续深入研究使用 LabWindows/CVI 与 C++、Matlab 进行混合编程的方法，并对部分运算量较大的模块进行改写，提升软件运行速度，从而优化用户体验，并使系统具有良好的应用前景。

参考文献:

- [1] 刘 夷, 宿绍莹, 陈曾平. 一种宽带雷达回波信号模拟器设计 [J]. 雷达科学与技术, 2010, 8 (2): 125-128.
- [2] 张 辉, 刘 峥. 基于 CPCI 总线的通用雷达回波信号模拟器 [J]. 太赫兹科学与电子信息学报, 2007, 5 (6): 418-423.
- [3] 齐 天, 赵 宇, 李燕青. 船用雷达回波信号模拟器软件的研究与开发 [J]. 电子测量技术, 2011 (12): 24-27.
- [4] 李朝阳, 张天伟, 郑志聪. 软件化塔康信标模拟系统的设计 [J]. 计算机测量与控制, 2017, 25 (7): 159-164, 177.
- [5] 谭 勇. 基于虚拟仪器的水下目标回波信号发生器设计 [J]. 计算机测量与控制, 2018 (6): 273-276.
- [6] 雷 宇. 基于虚拟仪器的雷达信号模拟软件的设计与实现 [D]. 西安: 西安电子科技大学, 2014.
- [7] 邹钦文, 王 英. 激励信号源软件控制发生方法研究 [J]. 机电工程, 2018, 35 (2): 207-212.
- [8] 高训兵. 具有天线扫描特性的雷达信号算法设计与实现 [J]. 国外电子测量技术, 2017, 36 (7): 68-70.
- [9] 刘士敏. 箔条干扰的特征及其实测数据分析 [D]. 西安: 西安电子科技大学, 2009.
- [10] 王建新, 隋美丽. LabWindows/CVI 虚拟仪器测试技术及工程应用 [M]. 北京: 化学工业出版社, 2015.
- [11] 禹 倩, 白 雪. 雷达信号分析虚拟仪器的设计与实现 [J]. 现代雷达, 2006, 28 (10): 49-52.
- [12] J. A. Issa. Performance Evaluation and Estimation Model Using Regression Method for Hadoop WordCount [J]. IEEE, 2015, 3: 2784-2794.
- [13] Dean J, Ghemawat S. MapReduce: Simplified Data Processing on Large Clusters [J]. In Proceedings of Operating Systems Design and Implementation, 2004, 51 (1): 107-113.
- [14] Li Y C, Chen P. A Parallel SVR Model for Short Term Load Forecasting Based on Windows Azure Platform [A]. Power and Energy Engineering Conference [C]. ShangHai: IEEE, 2012: 1-4.
- [15] Li Y C, Chen P. A Parallel SVR Model for Short Term Load Forecasting Based on Windows Azure Platform [A]. Power and Energy Engineering Conference [C]. ShangHai: IEEE, 2012: 1-4.
- [16] Jiang Bochuan, Ai Mingyao. Construction of uniform designs without replications [J]. Journal of Complexity, 2014, 30 (1): 98-110.
- [17] 李 皎. 大数据时代到来对电力行业发展提出新要求 [J]. 华北电业, 2012 (4): 82-83.

(上接第 176 页)

- [4] Jorge L. Reyes-Ortiz, Luca Oneto, Davide Anguita. Big Data Analytics in the Cloud: Spark on Hadoop vs MPI/OpenMP on Beowulf [J]. Procedia Computer Science. 2015, 53: 121-130.
- [5] 崔 杰, 李陶深, 兰红星. 基于 Hadoop 的海量数据存储平台设计与开发 [J]. 计算机研究与发展, 2012, 49: 12-18.
- [6] Niels K. Focke, Mahinda Yogarajah, Mark R. Symms, et al. Automated MR image classification in temporal lobe epilepsy [J]. NeuroImage, 2012, 59 (1): 356-362.
- [7] 方开泰. 均匀设计与均匀设计表 [M]. 北京: 科学出版社, 1994.
- [8] Fan G F, Peng L L, Hong W C, et al. Electric load forecasting by the SVR model with differential empirical mode decomposition and auto regression [J]. Neurocomputing, 2015, 173: 958-970.
- [9] Graf H, Cosatto E, Bottou L. Parallel Support Vector Machines: The Cascade SVM [J]. Neural Information Processing Systems, 2005.
- [10] J. A. Issa. Performance Evaluation and Estimation Model U-