

# 航天器通用 SpaceWire 总线路由单元的研究与实现

冯国平, 周东, 牛跃华

(北京空间飞行器总体设计部, 北京 100094)

**摘要:** 为满足日益增长的航天器各系统间高速数据多路传输的需求, 对 SpaceWire 高速数据总线特点进行了研究, 提出了一种航天器通用 SpaceWire 总线路由单元的设计方法, 采取了标准化 SpaceWire 总线接口, 支持多个 SpaceWire 接口的自适应路由功能, 可实现组网设备的即插即用; 同时采用中央控制器进行高级协议算法处理, 支持网络分布式中断管理功能, 实现网络节点的事件触发式交互控制功能, 总线数据包能够按照配置参数能够在任意 SpaceWire 端口间的一对一路由传输、一对多组播传输; 经试验测试路由单元可以支持路由端口数最多达 18 个, 每路接口工作速率最大可达到 200Mbps, 其提供的通用功能能够满足大部分航天器 SpaceWire 网络的需求。

**关键词:** 航天器; SpaceWire; 高速总线; 路由单元

## Research and Implementation of Universal SpaceWire Router for Spacecraft

Feng Guoping, Zhou Dong, Niu Yuehua

(Beijing Institute of Spacecraft System Engineering, Beijing 100094, China)

**Abstract:** To meet the growing demand of high-speed data transmission between different systems in the spacecraft, the characteristics of SpaceWire bus are studied. A design method of universal SpaceWire bus router for spacecraft is proposed. A standardized SpaceWire bus interface is adopted to support the adaptive routing of multiple SpaceWire interface, realized the "plug and play". The central controller is used to deal with the advanced protocol algorithm, to support the distributed interrupt management of network. The bus packet can achieve the routing by one to one or one to many multicast transmission according to the configuration parameters. The experimental result shows that the router can support up to 18 ports, and each interface can reach 200Mbps. It can meet the needs of most spacecraft SpaceWire networks.

**Keywords:** spacecraft; SpaceWire; high-speed bus; router

## 0 引言

随着航天技术的发展及高分辨率对地观测、深空探测等卫星的牵引, 为满足航天器各系统之间高速数据多路传输的需求, ESA 基于 IEEE1355-1995 和 IEEE1596.3 提出了专用于航天器的 SpaceWire 高速数据总线标准<sup>[1]</sup>, SpaceWire 总线的工作速率是 2~400 Mb/s, 支持点到点、全双工的连接和基于路由开关的交换式网络拓扑。该标准具有通信速率高、容错性强、实现简单、可靠性高等特点, 并且宇航器件支持的码速率已达到 200Mbps 以上, 符合空间抗辐照环境应用要求。

目前, 从公开的文献中还未有专门针对航天器上通用的 SpaceWire 总线路由设备的设计方案。本文设计一种航天器通用 SpaceWire 总线路由设备, 对外提供多路标准 SpaceWire 接口, 实现 SpaceWire 数据包按照配置参数在任意 SpaceWire 端口间的一对一路由传输、一对多组播传输, 路由单元提供的通用功能能够满足大部分航天器 SpaceWire 网络的需求。

## 1 数据链路协议

SpaceWire 网络数据链路接口协议遵循 ECSS-E-ST

收稿日期: 2018-07-10; 修回日期: 2018-08-15。

作者简介: 冯国平(1984-), 男, 山东荣成人, 工程师, 主要从事航天器电子技术研究方向的研究。

-50-12C 标准: 《SpaceWire - Links, nodes, routers and networks》的规定。各结点设备的 SpaceWire 链路接口特性应符合此标准的各项要求。

SpaceWire 数据链路协议包括物理层、信号层、字符层、交换层、数据包层和网络层共 6 层规范, 其中信号层、字符层、交换层由 SpaceWire 链路接口芯片实现, 而物理层、数据包层和网络层与 SpaceWire 网络系统的软硬件设计相关, 以下对系统应用相关的主要内容进行说明。

### 1.1 电缆与连接器

SpaceWire 电缆选用须满足 ESCC 3902/003 规范或国内兼容规范, 电缆结构如图 1 所示, 由 4 对带独立屏蔽层的双绞线组成, 同时包含一个整体屏蔽层, 以及绝缘材料和填充物等。电缆中每对双绞线构成一组差分信号线对。

SpaceWire 信号在 PCB 板上传输时, 要求每对差分信号通过差分阻抗为  $(100 \pm 6) \Omega$  的平行紧邻 PCB 线传输, 每对差分信号的正、负信号线之间以及同向两对信号线之间的布线长度差异小于 5% 且不超过 5 mm。

SpaceWire 连接器采用带有焊接触点或压接触点的 9 针微 D 形连接器, 连接器规格满足 ESCC 3401/071 规范或国内兼容规范。整个电缆为对称结构, 电缆内部信号线在两端连接器之间交叉连接, 实现全双工传输。两组输出差分对 (Dout+ 与 Dout-, Sout+ 与 Sout-) 的屏蔽层与连接器的第 3 脚共同连接在一起, 单端接地。

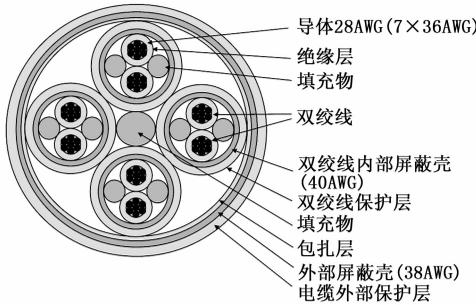


图 1 电缆结构

### 1.2 信号电平与编码

SpaceWire 信号层采用适合高速数据传输的低电压差分信号 (LVDS) 电平标准, 保证数据的长距离、低功耗传输。信号传输方式采用 Data - Strobe 编码, 提高在高速、长距离传输情况下的数据位同步容限。在 DS 编码中, Data 信号的电平变化与要发送的数据比特流保持一致, Strobe 信号在相邻的 2 个 Data 信号比特位保持不变时改变状态, 否则保持不变。DS 编码示意图如图 2 所示。

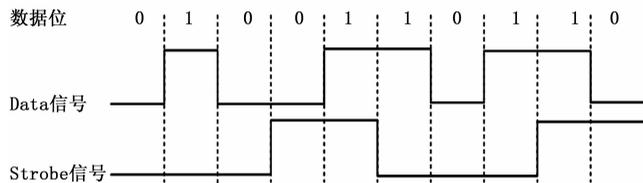


图 2 Data - Strobe 编码

### 1.3 字符与控制码

SpaceWire 数据链路层与物理层间的传输通过两种类型的字符: 数据字符和控制字符。数据字符用于在链路上传输数据信息, 控制字符用于在链路上传输控制信息。

#### 1.3.1 数据字符

数据字符编码为 10bit, 由 1bit 校验位、1bit 字符类型标志和 8bit 数据组成。字符类型标志位为“0”表示为数据字符, 8bit 数据应按最低有效位先输出的方式进行。数据字符的格式如图 3 所示。

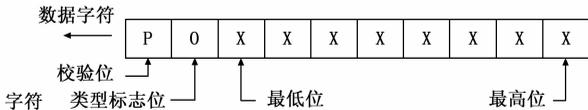


图 3 数据字符格式

#### 1.3.2 控制字符

控制字符编码为 4bit, 其中包括 1bit 校验位、1bit 字符类型标志和 2bit 控制类型信息。字符类型标志位为“1”代表为控制字符, 字符传输时低位在前。控制字符格式如图 4 所示。

FCT 为流控制字符, 即当控制符合中的 2bit 控制类型为 0b00 时; 流控制字符控制链路传输数据过程中的数据流;

当控制符合中的 2bit 控制类型为 0b01 时, 表示正常包



图 4 控制字符格式

结束符 (EOP), 当控制符合中的 2bit 控制类型为 0b10 时, 表示错误包结束符 (EEP); 在数据包正确传输时, 数据包结束符采用 EOP, 在数据包传输过程中发生错误时, 数据包结束标志采用 EEP。

#### 1.3.3 控制码

控制码的第一个字符为 ESC, 即辅助控制字符。

由控制字符和数据字符可以组合为 2 个控制码, 分别为 NULL 控制码和 BC 广播码。在 ESC 字符后连接 FCT 字符构成空码 (NULL), 用于在没有数据发送时, 维持数据链路的连接活动状态。

在 ESC 字符后连接一个数据字符构成广播码 (BC), 可以用于在 SpaceWire 网络中广播系统时间。数据字符的低 6 位包含系统时间信息, 数据字符的高 2 位为保留位。2 个控制码格式如图 5 所示。

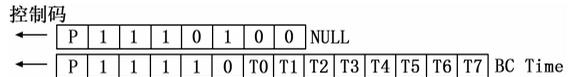


图 5 控制码格式

#### 1.3.4 校验规则

数据或者控制字符中包含 1bit 校验位, 用于传输过程中的错误检验, 每个字符的最低位为校验位, 采用奇校验方式生成。校验位覆盖的范围包括位于前面的已编码数据字符的 8bit 或者控制字符的 2bit、当前校验位以及当前类型标志<sup>[2]</sup>。奇校验方式如图 6 所示。

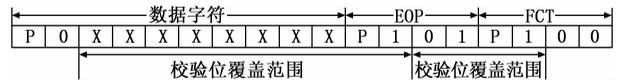


图 6 奇校验方式示意图

## 2 Spacewire 工作原理

### 2.1 SpaceWire 链路

每条全双工、双向、串行的 Spacewire 链路可提供 2Mbps~400Mbps 的数据速率, 链路上的信息以串行比特流方式发送/接收, 每个方向包括数据 (Data) 和选通 (Strobe) 2 个信号。依据标准, Data 和 Strobe 信号均按照 LVDS 电平在链路上传输, 每个信号使用一对差分信号线, 因此一条 Spacewire 电缆中包括 4 组屏蔽双绞线。

Spacewire 链路采用发送串行数据的同时发送时钟信号来实现位同步, 为了降低对时钟与数据之间偏斜的要求, 将时钟信号编码为 Strobe 信号, Data 信号仍采用数据与控制字符原码传输。字符同步仅在链路启动时完成一次, 之

后如果发生同步失效, 则会引起校验错误, 链路检测到后会重启链路。

### 2.2 SpaceWire 包

SpaceWire 链路上采用独立的包传送信息, 包在链路的 2 个方向均可发送, 但发送时需要相应的接收器中提供缓存空间。包起始部分“目的地址”包含目的节点的标识或包通过 SpaceWire 网络传送到目的节点的路径信息。对于 2 个节点之间点对点直接连接的情况, 可不使用目的地址。一个 SpaceWire 包中的内容可传输任意字节长度的数据。包尾部最后一个字符为“包结束符”, 包括正常包结束符 EOP 和异常包结束符 EEP 两种情况。

在包结束符之后传输的第一个数据字符为下一个包的起始字符。SpaceWire 包的大小无限制。

### 2.3 SpaceWire 总线网络

Spacewire 总线网络可将航天器上的科学载荷、大数据存储器、各系统计算单元、天地链路数据处理器等以及其他子系统设备连接成一个统一的网络系统。Spacewire 采用高速、双向、全双工的数据链路传输, 基于包交换技术的路由机理, 能够支持各种航天器应用需求的数据网络架构。

本设计借鉴以太网标准接口的路由器设计方法<sup>[3]</sup>, 提供一种“黑盒”装置, 用户可以实现 SpaceWire 总线接口设备的即插即用<sup>[4]</sup>, 任意两者之间可实现动态链接, 建立数据包的一对一、一对多传输通道。SpaceWire 网络以路由单元为中心, 建立星型拓扑结构, 如图 7 所示。各节点设备 SpaceWire 链路接口特性应符合 ECSS-E-ST-50-12C 标准:《SpaceWire - Links, nodes, routers and networks》的规定。这样的设计可以随时接受外网的 SpaceWire 节点设备的接入或者拔出, 支持 SpaceWire 接口的自适应路由功能, 实现高速 SpaceWire 总线接口组网设备的便利操作。

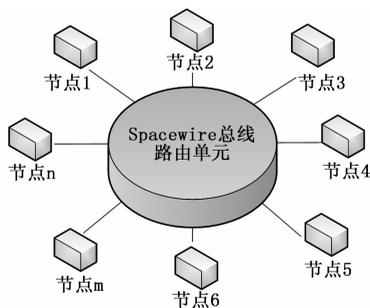


图 7 Spacewire 网络拓扑图

## 3 路由单元设计

### 3.1 功能简介

SpaceWire 总线路由单元是以 Xilinx FPGA 为控制核心的基本系统, 选用 ATMEL 公司的高速 SpaceWire 路由芯片 AT7910E 实现 SpaceWire 路由协议处理, 同时辅以 LVDS 标准收发芯片 SNJ55LVDS32W 和 SNJ55LVDS31W 实现标准的 SpaceWire 总线接口功能<sup>[5]</sup>。主要功能包括:

1) 数据路由功能: 通过各 SpaceWire 总线接口接收 SpaceWire 结点设备发送的数据包, 根据包头路由地址信息

进行传输控制支持路径寻址和逻辑寻址两种方式, 当采用路径寻址方式时, 将数据包导向包头指定的物理端口, 并删除包头地址信息; 当采用逻辑寻址方式时, 根据包头路由地址信息查询内部路由表, 并将完整的数据包导向路由表中指定物理端口;

2) 路由表配置功能: 支持通过 SpaceWire 链路接口配置路由单元内部全部路由表, 配置协议支持远程存储访问协议 (RMAP)。

### 3.2 设计实现

SpaceWire 总线路由单元的逻辑及控制功能都是由中央控制器 FPGA 来完成的, 包括 AT7910E 协议芯片的复位、配置和初始化等, 同时所有 AT7910E 的收发 FIFO 接口 (9, 10) 端口均连接到 FPGA 上, 且 AT7910E 的内部端口组成内部冗余链<sup>[6]</sup>。由图 8 所示, 三片路由芯片的外部端口组成了一个闭合的链路, 内部也构成了一个冗余链路, 因此从一片 AT7910E 外部任意一个端口均可以到达其他两片 AT7910E 的内部端口和外部端口。

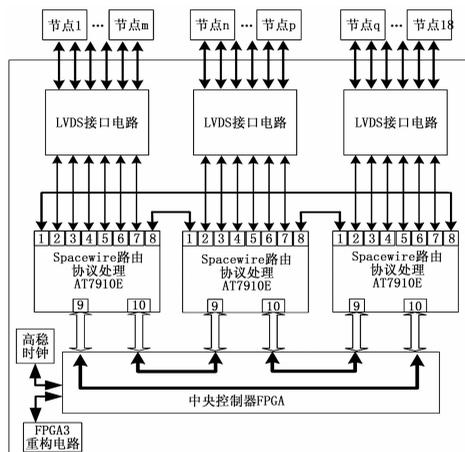


图 8 路由单元原理框图

AT7910E 芯片包含 8 个 SpaceWire 接口和 2 个 FIFO 端口。在设计中 AT7910E 芯片采用级联的连接方式, 各芯片通过链路 1 和 8 端口串联在一起, 3 片 AT7910E 芯片形成一个环形的连接方式。每个芯片对外输出 6 路端口, 分别是端口 2 至端口 7, 共计 18 路端口。芯片通过 2 路 FIFO 端口与 FPGA 相连, FPGA 通过本地 FIFO 端口完成对 AT7910E 的管理和控制。每个 FIFO 的读写都与系统时钟同步。每个端口提供了一个 8bit 的数据口和 1bit 的控制口用于标识包的结束。到达外部端口的数据包根据数据包的目的地址可以被路由到配置寄存器、其他的 SpaceWire 链路或另一个外部端口。如果一个数据包的目的地址是无效的, 该数据包将会被路由器扔掉。

同时, 如图 8 所示, 为了完成在轨可升级的功能, 路由单元专门设计了重构电路, 由一个“可写”的存储器作为 FPGA 的配置存储器, 通过在轨更换配置存储器内的程序数据, 重新对 FPGA 内逻辑进行配置, 实现算法的在轨重构。FPGA 的配置数据存储在外部的存储器内, 通过加

载配置数据来实现所需的逻辑功能。FPGA 的逻辑配置过程就是将配置数据通过专用的配置接口写到 FPGA 内配置寄存器的过程。这一过程包括一系列的控制命令字、特定格式的配置数据写入、配置过程数据校验、芯片管脚电平控制等工作，需要按照 Xilinx FPGA 芯片内部的专用接口时序，设计专门的配置电路和程序来实现。

### 4 软件设计

中央控制器 FPGA 软件一方面实现 AT7910E 芯片的读写操作的接口时序，另一方面实现 AT7910E 协议芯片的寄存器配置和初始化操作，以及 AT7910E 的上电复位和时钟配置。路由单元软件配置流程如图 9 所示。

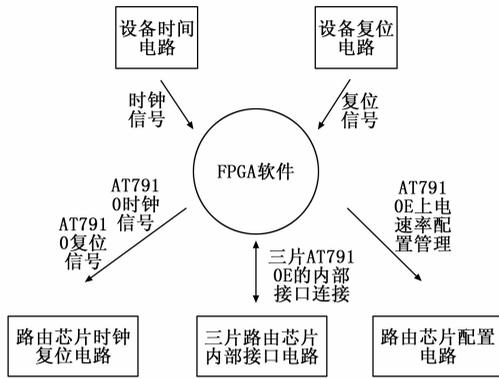


图 9 软件配置流程图

同时 FPGA 软件主要实现各链路节点间的数据包路由逻辑控制，实现分布式网络中断传输控制功能和网络时间同步功能，完成各链路节点的数据流监测以及错误检测和恢复，保证 SpaceWire 链路接口之间能够正常的进行数据通信。中央控制器 FPGA 内部逻辑处理框图如图 10 所示。

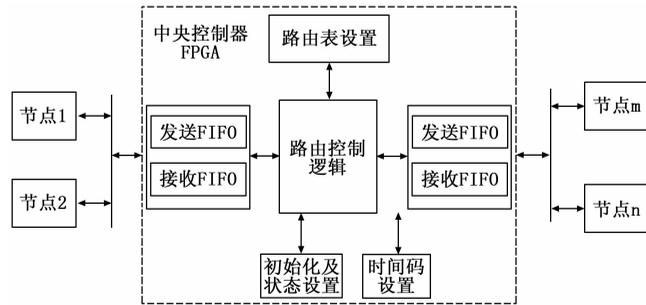


图 10 中央控制器 FPGA 内部处理框图

FPGA 软件将三片路由协议芯片的 FIFO 端口连接，实现各路由芯片的开关和数据交互。各 SpaceWire 节点间路由采用动态方式，结点和结点之间以及结点和路由器之间无固定的数据通道，数据包在网络中传输时，根据包头中包含的路由地址进行动态路由，实时确定传输路径，不同源结点和目的结点之间的通信数据可以通过动态路由方式共用一条链路完成交叉传输，从而通过有限的物理链路建立起大量的节点之间的“虚拟信道”。

通过上文设计方案，路由单元实现的主要功能如下：

### 4.1 状态设置

每个 SpaceWire 链路均有相应的链路寄存器及路由控制逻辑进行控制。到达链路的数据包根据数据包的目的地址可以被路由到配置寄存器、其他的 SpaceWire 链路或外部端口。如果一个数据包的目的地址是无效的，该数据包将会被路由器抛掉。SpaceWire 链路的状态将会被记录在链路寄存器中，错误状态也将一直被保留，直到通过配置命令将其清除。

每个端口提供了一个 8bit 的数据口和 1bit 的控制口用于标识包的结束。到达外部端口的数据包根据数据包的目的地址可以被路由到配置寄存器、其他的 SpaceWire 链路或另一个外部端口。如果一个数据包的目的地址是无效的，该数据包将会被路由器抛掉<sup>[6]</sup>。

### 4.2 路由控制

路由控制逻辑用来控制开关、仲裁以及群适应路由。当有 2 个或更多的端口要访问同一个目的端口时需要根据端口的优先级进行仲裁。无阻塞开关用来连接输入输出端口，使数据从入口传送到出口。多个输入端口可以同时与多个输出端口连接都传输数据而互不影响。2 个或多个输入端口不能与同一个输出端口连接。每一对输入输出的连接与其他一对不会产生影响。

### 4.3 时间码

在路由器中采用了一个内部时间码寄存器。该寄存器可以配置路由器为时间主或时间从模式。在主模式下，时间码接口用来提供“tick\_in”信号到 SpaceWire 路由器，来驱动时间码通过整个网络传递。在主模式操作下支持两种操作模式：自动模式和常规模式。在自动模式下，时间码依据“tick\_in”信号来进行传递；在常规模式下，时间码要依据外部的“time\_in”信号进行传递。在从模式下，接收到一个有效的的时间码后，路由器将会有效“tick\_out”信号并将其发送到 SpaceWire 链路和外部时间码接口<sup>[7]</sup>。

### 4.5 实验结果与分析

某卫星平台采用了该方案 SpaceWire 总线网络路由单元，已成功地实现了平台数据业务与载荷数据业务的路由功能，完成了卫星中高速业务数据和控制数据的路由传输业务，同时支持全网络时间码广播，提供网络同步功能。根据测试结果，每路接口工作速率最大可达到 200Mbps，路由单元提供的通用功能能够满足大部分航天器 SpaceWire 网络的需求。测试结果如表 1 所示，能够满足未来星船高速数据路由需求。

表 1 路由器性能表

序号	测试项目	设计要求	测试结果
1	接口速率	200Mbps	200Mbps
2	端口数	18	18
3	网络协议	ECSS-E-ST-50-12C	符合该标准
4	时间同步	网络时间同步	符合要求