

# 基于 FPGA 的通用可编程雷达接收机控制系统设计

徐海, 余美玲

(南京电子技术研究所, 南京 210039)

**摘要:** 针对不同雷达接收机测试时对不同定时时序及总线控制的需求, 文中提出了一种基于 FPGA 的通用可编程雷达接收机控制系统设计方法, 该方法采用可编程门阵列 (FPGA) 器件实现多路定时时序、总线控制及数据传输的功能, 定时精度可达  $0.01 \mu\text{s}$ , 总线速率可达 100 M; 对接收机接口进行研究, 采用软件柔性配置和适配电缆匹配的方式实现对多型接收机的控制; 实验结果表明, 该系统可以实现多型接收机控制, 达到设计要求; 该系统还可以应用于其他设备的控制, 具有良好的通用性和可扩展性。

**关键词:** 接收机; FPGA; 控制系统

## Design of General Programmable Radar Receiver Control System Based on FPGA

Xu Hai, She Meiling

(Nanjing Research Institute of Electronics Technology, Nanjing 210039, China)

**Abstract:** In view of the needs of the different timing sequence and bus-mastering at the different radar receivers testing, this paper presents a universal design method of radar receiver control system based on FPGA. The method adopts FPGA to realize the function of multi timing signals, bus-mastering and data transmission, the timing accuracy can reach  $0.01 \mu\text{s}$ , the bus speed can reach 100 M. Through the study of the receivers' interface, it also realizes the control of multi type receivers through software flexible configuration and matching with different adaptable cables. Experimental results show this system can implement the control of multi type receivers, reaches the request of design. The control system can also be applied to the control of other devices, and has good versatility and expansibility.

**Keywords:** receiver; FPGA; control system

## 0 引言

雷达接收机是雷达系统的重要组成部分, 主要用于回波信号的放大。雷达接收机调试测试时需要各种外部支撑信号, 如多路定时时序、串行总线控制、射频输入、输出、供电等, 接收机控制系统提供定时信号及总线信号用于状态的控制及转换, 满足接收机的工作需求。目前, 雷达系统大都采用超外差雷达接收机<sup>[1]</sup>, 不同种类接收机工作原理基本相同, 但在各型接收机中定时信号和工作模式编码有所不同, 即使部分接口在传输时采用相同的数据格式, 数据传输速率也固定不变, 但接口协议<sup>[2]</sup>不同, 每个接收机的设计要求不一致, 导致不同的接收机只能采用不同的控制系统实现控制。

本文为解决采用不同控制接口的接收机的控制兼容性问题, 构建了通用型的接收机控制系统, 依据不同的被测接收机的选择, 通过匹配专用的适配电缆、加载相应控制程序的方式, 满足不同接收机工作时支撑信号的需求, 实

现了对不同种类接收机的兼容, 具有良好的通用性。

## 1 系统设计的结构及原理

雷达接收机控制系统主要由触摸显示屏、FPGA 芯片、接口驱动电路、USB 接口芯片、外围配置电路、适配电缆及 Mini-PC 组成。其中 FPGA 为核心功能器件, 内部包括 USB 控制模块、时序控制模块、串行总线模块和 UART (通用异步收发传输器) 模块。系统框图如图 1 所示。

通过触摸显示屏控制由 Mini-PC 机发送控制指令, 包含状态转换、总线数据、重频周期、延时时间等参数, 通过 USB 芯片 (CY7C68103) 传送至 FPGA 芯片中 USB 控制模块, 包含控制参数的 USB 数据包被解析后依据主控模块协议转换成相应的控制字及配置参数, 分别控制各个功能模块。串行总线模块和 UART 模块将接收到的数据按协议要求进行传输; 时序控制模块接收到时序参数后, 可产生最多 8 路的时序控制信号, 其中波形起始位置、脉宽、周期可在一定范围内调整。

## 2 硬件设计

接收机控制系统的主要硬件设计是主控模块和适配电缆的设计。

收稿日期:2018-06-26; 修回日期:2018-07-04。

作者简介:徐海(1980-),男,江苏常熟人,硕士,工程师,主要从事雷达系统集成与工程化设计方向的研究。

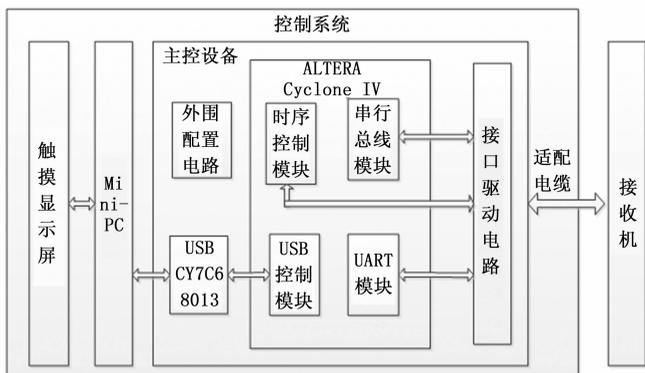


图 1 测试系统组成框图

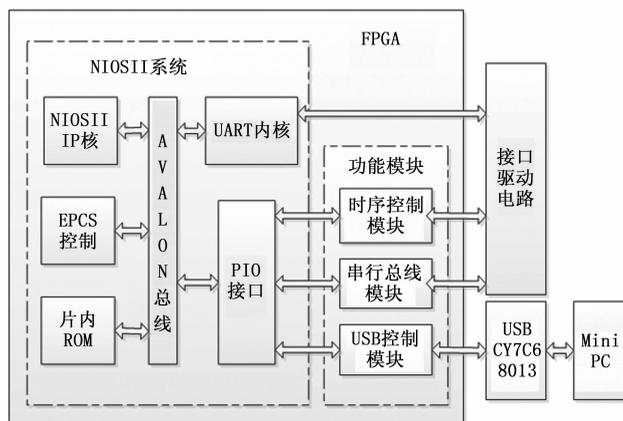


图 2 FPGA 硬件系统框图

### 2.1 主控模块

主控模块是该系统的核心部分, 主要用于与上位机通讯并通过各类总线提供被测接收机所需要的控制模式、工作时序, 完成与被测单元的互交工作。根据被测接收机的控制需求, 总结出主控模块的设计要求:

- 1) 与上位机具备通讯功能;
- 2) 时序波形可产生 8 路, 重频在一定范围内可配置, 各路时序关系可配置, 否则无法满足不同工作模式下要求的各种时序;
- 3) 数据接口协议可定制, 以满足多种接口要求。

基于上述设计要求, 以及设备的通用性, 主控模块设计为 USB 通用接口形式。总线接口芯片采用 Cypress 公司推出的 CY768013 芯片, 通过 USB 2.0 接口数据传输速率高达 480 Mb/s, 支持热插拔, 实现主控模块与 PC 之间的数据交换。逻辑功能、数据处理功能和接口功能通过 Altera 公司的 Cyclone IV 系列 FPGA 芯片实现<sup>[3]</sup>。

#### 2.1.1 FPGA 硬件设计

FPGA 硬件系统采用 Altera 公司的 Cyclone IV 系列 FPGA 芯片来实现, 其具有功耗低、性能高的特点, 可配置 32 位的 NIOSII 系统, 通过 Avalon 总线结构与其他功能模块进行连接。采用 SOPC (可编程片上系统) 技术构建了 NIOSII 系统, 实现各模块的并行工作, 并使用 IP 软核实现 UART 功能; 应用 Verilog HDL 硬件语言设计了串行总线模块、时序控制模块及 USB 控制模块<sup>[4-6]</sup>。

#### 2.1.2 串行总线模块

系统控制命令经过转换后形成控制码字, 位宽为 18 至 30 bit, 经过并串转换模块, 转换成同步串行数据, 输入被测接收机。并串转换模块结构图如图 3 所示, 由位移寄存器、定时电路、延时电路组成。本设计中, 采用定时转换的方式, 由定时电路产生转换速率, 在每个固定延时点上将位移寄存器中数据输出 (DATA), 并在半个延时周期后将同步信号 (CP) 送出, 然后进行计数器的计数, 在完成控制数据转换后, 提供命令更新信号 (UPDATA)。采用 100M 晶振作为计数输入, 可达到 100 M 转换速度。

#### 2.1.3 时序控制模块

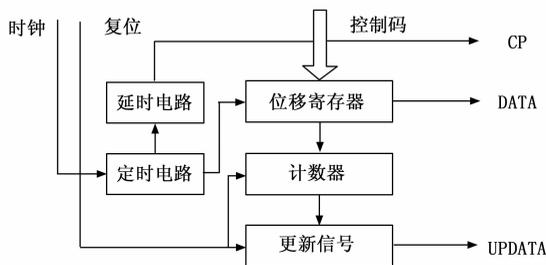


图 3 串行总线模块结构图

该模块采用 100 MHz 的时钟, 主要产生 8 路精度可控、脉宽可控的脉冲信号。在 100 MHz 时钟下, 定时电路通过匹配定时寄存器确定计数频率。起始寄存器、脉宽寄存器、周期寄存器接收命令转换模块传输的参数, 通过与比较器的比较产生触发信号控制脉冲发生器输出相应的脉冲信号。图 4 为一路信号的模块结构图, 本设计中, 共使用 8 个相同模块, 以其中一路为基准输出, 设计出相关联的信号, 定时信号采用 10 分频数据, 其他寄存器采用 18 bits 设计, 设计重频 38 Hz~10 M 可变, 满足系统要求。

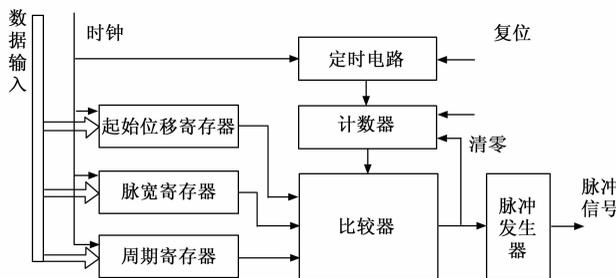


图 4 时序控制模块结构图

#### 2.1.4 USB 控制模块的设计

CYPRESS 公司的 EZ-USB FX2 系列芯片 CY7C68013 是最早符合 USB2.0 协议的微控制器之一。通过将 USB2.0 收发器、串行接口引擎 (SIE)、增强型 8051 微控制器以及

可编程外设接口集成到一个芯片中, 形成了一个极具成本优势的 USB 总线解决方案<sup>[7]</sup>。

本设计中 USB 控制传输模块的设计实现了两种 USB 传输模式, 控制传输模式和批量传输模式。控制传输模式主要用于发送和接收与 USB 设备的配置信息有关的数据, 批量传输实现 USB2.0 接口与上位机的高速通讯, 使用 Slave FIFO 传输方式。Slave FIFO 方式的外部主控器由 FPGA 实现, CY7C68013 与 FPGA 直接连接, CY7C68013 的 CPU 不直接参与 USB 数据处理与分析, 仅把 CY7C68013 作为外部数据处理的 USB 通道, 通过对 CY7C68013 的内部端点 FIFO 的直接传输, 完成数据的传输。对于外部主控器而言, 可以把 CY7C68013 的端点 FIFO 当做一般的 FIFO 缓冲区来使用, 外部主控器对芯片的端点 FIFO 进行控制, 同时为 FIFO 提供所需的时序信号、空满信号以及输出使能等。

状态转换图如图 5 所示。系统初始化后, USB 传输模块处于空闲状态, 在接收到驱动信号 USB\_Start 信号时进入写等待状态, 准备将 FIFO 中数据发送到 CY7C68013 芯片; 一旦端点 FIFO 不满 (USB\_FIFO\_full 为低) 且 FPGA\_FIFO 不为空 (FPGA\_FIFO\_empety 为低), 模块将进入写状态, 产生 FIFO 写信号 sl\_write, 将数据写入芯片内部端点 FIFO, 由 USB2.0 收发器将数据打包传送到上位机; 当端点 FIFO 满 (USB\_FIFO\_full 为高) 或者 FPGA\_FIFO 为空 (FPGA\_FIFO\_empety 为高), 主控器将停止发送数据, sl\_write 无效, 再次进入等待状态, 依次循环。

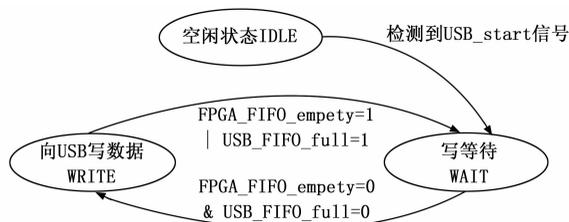


图 5 USB 传输状态转换图

## 2.2 适配电缆

适配电缆主要实现接收机与主控模块的连接, 实现系统资源与被测件之间信号的匹配和转换。实现适配电缆有 2 种方式: 第一种将控制资源信号接入专用控制板, 专用控制板提供对外统一接口, 利用信号转接或者专用测试电缆连接被测件; 第二种是将控制资源引入通用阵列设计专用适配器与通用阵列对接, 通过专用电缆实现物理连接。

本设计采用第一种方式进行设计, 在可控模块中集成接口驱动模块, 可以提供单端信号和差分信号 2 种不同的驱动模式, 系统资源连接至统一对外接口, 不同接口关系的接收机依据各自接口定义关系选择相应的资源, 设计成不同的适配电缆用于实现接收机与主控模块之间数据和控

制信号连接。

## 3 软件设计

控制系统软件主要由软件平台、控制程序集及主控模块程序组成。使用 VISUAL C++ 开发的运行在上位机 Mini-PC 上的软件平台为控制系统提供了形象直观的可视化人机交互界面, 并且能够根据软件配置调用相应的控制程序集构建软件系统, 通过主控模块程序控制硬件设备正常工作, 完成对接收机的控制。

软件平台的设计采用模块化、层次化、可扩展的构建思路<sup>[8]</sup>, 各功能模块相互独立。在上层软件框架下根据不同被测单元的控制要求, 开发对应的控制子程序。控制人员调用不同的子程序, 则可以快速构建对应的软件环境。软件平台主要功能模块包括: 人机界面、自检功能、配置管理、主控驱动和帮助。

系统软件对主控模块的控制进行了封装, 能够轻松实现主控模块参数的配置和控制, 解决了模块功能升级造成的软件升级障碍, 提高了系统升级维护的效率<sup>[9]</sup>, 降低了维护成本。

控制系统软件的功能框图如图 6 所示。

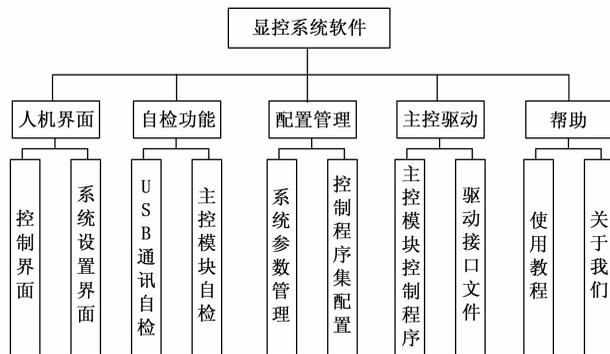


图 6 控制系统软件功能框图

Mini-PC 软件开始工作时, 首先自动进行系统自检, 自检功能包括 USB 通讯自检、主控模块自检, 如若自检失败, 系统会给出提示。自检通过后, 进入系统设置界面, 软件根据被测件的选择通过配置管理程序调用相应的控制程序集配置文件进行初始化配置, 配置完成后系统切换到控制界面, 依据控制界面的选择及控制完成对被测单元的控制, 并返回控制状态。

控制程序集是指被测件的状态转换所需的控制程序集合, 每个不同被测件对应一个控制程序集, 涵盖被测接收机不同状态的控制命令。控制程序集以模块化形式设计, 与软件平台相互独立, 不同的被测件按需选取模块、配置参数形成不同的程序集, 便于程序的移植和升级。控制系统软件使用时, 从系统设置界面选取被测件对应的控制程序集, 根据控制程序配置进行控制软件初始化, 包括软件界面初始化、设备初始化、控制项目及参数的初始化、功

能函数调用, 驱动接口调用等。

主控模块控制程序运行在 Mini-PC 主控计算机上, 负责主控模块与主控计算机之间的通讯处理, 控制主控模块按指令参数进行运行。驱动接口文件为主控模块的驱动程序, 主要由 USB 通讯程序、时序控制模块驱动程序、串行总线模块驱动组成。USB 通讯程序负责主控计算机与主控模块之间的数据通讯功能, 主要功能包括指令的接收、解析、封装和传输; 时序控制模块驱动控制程序负责控制时序模块的初始化、脉冲参数的设置; 串行总线模块驱动程序负责控制总线模块将接收到的数据按协议完成时序的转换。

整个系统软件工作流程如图 7 所示。

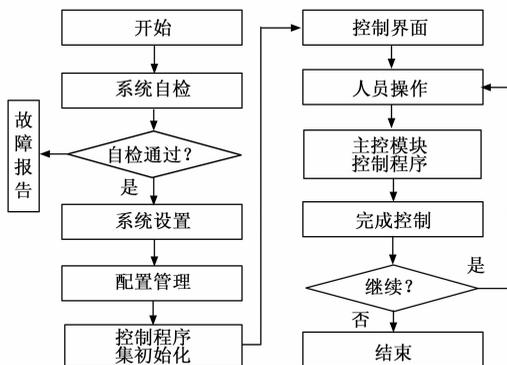


图 7 控制系统软件工作流程图

## 4 仿真与测试

为验证系统设计的正确性, 采用仿真和实际测试相结合的方式对雷达接收机控制系统进行评估。首先通过 Modelsim<sup>[10]</sup>对功能模块进行仿真, 测试功能模块能否满足使用需求, 然后通过控制系统对接收机的进行控制, 验证控制系统能否完成接收机的控制, 达到预定的功能。

### 4.1 功能模块仿真

针对不同的功能模块编写不同的进行测试文件进行功能仿真, 观察时序, 验证功能模块的正确性。对于串行总线模块在测试文件中生成需要转换的 20 位数据, 按通信转换要求, 将数据转换为 20 位的串行数据, 并提供同步 CP 信号及传输结束的更新信号 update。如图 8 所示, 串行总线模块将 20 位数据 0XB31A5 从高位至低位按串行数据发出, 满足使用要求。对于时序控制模块输入不同的时序参数, 产生 8 路相关的时序信号, 如图 9 所示。

### 4.2 接收机控制系统测试

在完成控制系统硬件系统和软件系统的调试后, 重点

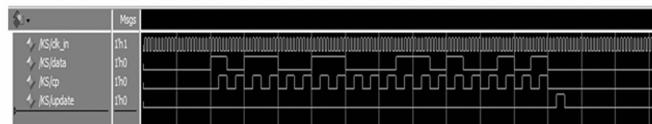


图 8 串行总线时序图

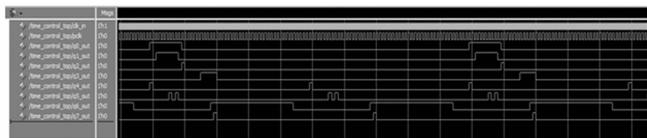


图 9 时序信号图

测试了控制系统对各型接收机的控制功能。不同的被测件使用配套的适配电缆, 控制系统通过软件配置控制程序集初始化主控模块, 完成控制指令包括时序的重频周期、相对位置、频率控制、中频增益控制、消隐、自动增益控制等参数的下发以及返回参数的处理, 能够稳定的实现对接收机的频率、增益及各种状态的控制, 经过多次和长时间的试验, 接收机工作稳定, 验证了接收机控制系统有效性, 达到了良好的使用效果。

## 5 结束语

本文设计并实现了一种基于 FPGA 的雷达接收机控制系统, 利用 VerilogHDL 语言和 SOPC 技术, 采用通用性的设计在 FPGA 上设计了接收机控制系统的硬件系统, 实现不同总线转换功能及不同的定时时序要求; 控制软件采用柔性设计, 通过不同的软件程序集配置, 配合专用的适配电缆能够完成不同接收机的控制, 达到了设计要求。目前, 该系统已投入实际工程应用。

本文构建的控制系统, 除了可以应用于各种接收机的控制, 还可以应用到其他设备的控制中, 具有一定的通用性和可扩展性, 有一定的市场应用前景。

### 参考文献:

- [1] 鲁帆, 刘治甬. 一种超外差接收机的射频前端设计 [J]. 舰船电子对抗, 2013 (4): 110-112.
- [2] 郭晓冉, 崔少辉, 王宝龙, 等. 基于 SOPC 的 GPIB-UART 接口协议转换器设计 [J]. 仪表技术, 2010 (10): 17-20.
- [3] 谭安菊, 龚彬. USB2.0 控制器 CY7C68013 与 FPGA 接口的 Verilog HDL 实现 [J]. 电子工程师, 2007 (7): 52-55.
- [4] Altera Corporation. Nios II processor reference handbook [S]. [S. 1]: Altera Corporation, 2003.
- [5] 邹晨, 高云. FPGA 内嵌处理器的 SOPC 系统设计与分析 [J]. 航空计算技术, 2013 (5): 123-127.
- [6] 胡云峰, 陈虹, 刘明星, 等. 基于 FPGA/SOPC 的预测控制器设计与实现 [J]. 仪器仪表学报, 2010 (6): 1242-1248.
- [7] 周艳鑫. 基于 Verilog 的 FPGA 与 USB2.0 接口电路的设计 [D]. 黑龙江大学, 2012.
- [8] 夏明忠, 夏以轩, 李兵元. 软件模块化设计和模块化管理 [J]. 中国信息界, 2012 (11): 56-59.
- [9] 王燕, 曹子剑, 水道雁. 基于 VPX 总线的高速数字电路测试系统研究及应用 [J]. 计算机测量与控制, 2016 (1): 4-6.
- [10] 郝晓鹏. 基于 SignalTap II 和 Modelsim 的联合仿真技术 [J]. 计算机与网络, 2014 (13): 46-48.