

基于 SoC 的小型集成化视频采集处理系统研究

苏 红

(北京特种机械研究所, 北京 100143)

摘要: 由于传统视频采集和处理系统很难解决小体积、低功耗与高数据带宽和处理速度之间的矛盾, 同时针对智能武器装备、工业自动化生产等领域对视频采集与处理系统小型化、集成化发展需求, 基于 Xilinx 公司高性能 Zynq-7000 系列 SoC 芯片, 搭建了一种小型化、集成化、通用化视频采集处理平台系统; 通过充分发挥 SoC 芯片集成 ARM 处理器软件可编程和 FPGA 硬件可编程优势, 提出了利用 HLS 工具将图像预处理算法快速打包生成 IP 核, 在 FPGA 中实现图像算法硬件加速的设计方法, 不仅保证了视频采集和处理的实时性, 而且实现了视频处理设备小型化、集成化、低功耗设计; 对系统软硬件设计和各组成部分原理进行了介绍, 并以 Sobel 边缘检测算子为实例, 对系统功能和性能与传统处理方法进行了对比测试, 验证了系统的有效性。

关键词: Zynq-7000SoC; 小型集成化; 视频采集处理

Research of Small-integrated Video Acquisition and Processing System Based on SoC

Su Hong

(Beijing Institute of Specialized Machinery, Beijing 100143, China)

Abstract: As it is difficult for the traditional video processing systems to solve the contradiction problems among small size, low power, large data bandwidth and high processing speed, and in order to meet the small-integrated requirements of development in the fields of intelligent weapon equipments and industrial automation productions, a kind of small-integrated video acquisition and processing platform system based on SoC is constructed. Through taking advantages of the software programmable based ARM and the hardware programmable based FPGA, a video preprocessing method using Vivado HLS video libraries is proposed to quickly package IP cores based on which the hardware accelerated algorithms are achieved in FPGA. The platform system not only meets the real-time requirements of video acquisition and processing but also achieves the designs of small-integrated and low power. The hardware and software of system are designed and the composition principles of system are introduced. The contrast analysis of system functions and performances are completed based the example of Sobel algorithm. The effectiveness of system is validated.

Keywords: Zynq-7000 SoC; small-integrated; video acquisition and processing

0 引言

目前实时视频采集与处理系统在智能武器装备、工业自动化生产等领域有着广泛的应用。由于实时视频采集与处理系统要求处理器具有较高的数据带宽和处理速度, 这对于高配置的 PC 机系统能满足要求, 但 PC 机系统一般体积较大, 操作系统规模大, 不稳定性增多, 同时功耗较大, 存在散热问题; 而对于多数 DSP 或单 FPGA 方案存在难以满足高数据带宽和处理速度的要求, 对于 DSP+FPGA 的扩展方案, 系统又变得复杂, 且产品也难以满足小型化、集成化要求。为此, 本文基于 Xilinx 公司高性能 Zynq-7000SoC 芯片, 设计了一种小型集成化通用视频采集与处理平台系统, 利用 HLS 工具将图像预处理算法快速打包生成 IP 核, 在 PL 中实现图像算法硬件加速设计, 提高了视频采集与处理快速性和实时性, 通过实例和性能对比测试验证

了系统的有效性。

1 系统硬件设计

基于 SoC 的实时视频高速采集处理系统原理框图如图 1 所示, 系统主要由高速 CMOS 摄像头传感器, Zynq-7000 SoC 可扩展处理平台、数据存储单元 DDR3 和 VGA 视频显示器等组成。Zynq-7000 SoC 可扩展平台作为整个实时处理系统的核心, 包括 ARM 处理系统 (Processing System, PS) 和 FPGA 可编程逻辑 (Programmable Logic, PL) 两部分, 其中 PS 部分包含了最高可运行在 1 GHz 的双 Cortex-A9 核, 高性能的 DDR3 控制接口和大量的通用外设接口, PL 部分为 Xilinx 最新的 28 nm 工艺 FPGA, 可提供 100 Gb/s 的内部带宽, 内部逻辑资源非常丰富, PS 和 PL 之间通过高速 AXI 总线互联进行通信, 片内带宽足够大, 消除了芯片间互联存在的带宽瓶颈问题。

根据数据流向, 系统读取外界视频数据信息的流程为: PL 部分负责从 CMOS 图像传感器中获取视频信息, 通过数据转换 IP 核将视频数据从 BAYER 格式转化为 RGB 数据格式, 然后传送到图像预处理模块实现对 RGB 像素信息的各种预处理, 如灰度化、滤波、边缘化等, 此模块利用 Xilinx

收稿日期: 2018-05-13; 修回日期: 2018-06-05。

作者简介: 苏红 (1976-), 女, 河北大城人, 工学博士, 高级工程师, 主要从事嵌入式系统软硬件设计, 数字图像处理技术等方向的研究。

的 HLS 工具，通过 C 语言编程实现各种图像预处理 IP 核的快速定制，而后通过 VDMA IP 核将处理后的视频数据传输至 DDR3 内存芯片中存储，最后 PS 从 DDR3 内存芯片中读取经帧缓冲的图像数据，进一步对视频特征信息进行处理和计算，处理结果不仅可以通千兆以太网进行远传，而且可以通过 VDMA IP 核、VGA 接口控制 IP 核在显示器上进行实时显示。

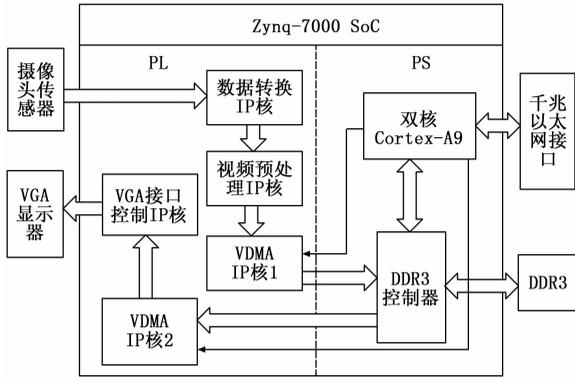


图 1 系统原理框图

1.1 摄像头数据转换模块

摄像头模块采用 OmniVision 公司的 OV5640 摄像头模块，具有高帧频、可配置、低功耗、低成本等优点，该摄像头模块 CMOS 阵列大小为 2592×1944 ，能够采集多种分辨率的图像，最高可支持 500 万像素分辨率，在最高分辨率下帧率可达 15fps，在 1080p 时帧率可达 30fps。同时，可通过 SPI 口配置 OV5640 片上控制寄存器，实现对摄像头时序、信号极性等功能灵活配置。

OV5640 摄像头使用 Bayer 颜色格式，即 CMOS 芯片的感光阵列中，每个单元都只含有红、绿、蓝三者之一的滤镜。为了得到 RGB 像素，需要通过相应的算法将 Bayer 颜色格式转换为 RGB 格式，即首先根据摄像头输出的同步信号以及数据有效信号，采集摄像头原始数据；然后运用双线性插值法将这些原始数据进行处理，最终得到 RGB 像素。该算法通过在 PL 内封装摄像头数据转换 IP 核实现，以提高数据的处理速度。

1.2 视频预处理模块

视频预处理模块用于实现对视频图像的预处理功能，如灰度化、二值化、滤波、边缘化等。本文利用 Xilinx 公司的 HLS 工具，将图像预处理算法通过 C 语言代码综合、仿真生成高效的 RTL 电路，并打包生成 IP 核，在 PL 中实现了图像预处理算法的并行计算，通过这种算法的硬件加速模式使视频图像处理的实时性得到极大提高。下文利用 HLS 工具对 Sobel 边缘检测算子的硬件加速过程进行了详细介绍。

1.2.1 Sobel 边缘检测

Sobel 边缘检测算子主要用于灰度图像的边缘检测，能够有效检测出物体的轮廓。Sobel 算子包含两组矩阵，大小为 3×3 ，如图 2 所示，分别为横向算子和纵向算子。在一

幅图像中，用算子对图像进行卷积运算，分别得到图像横向和纵向的亮度差分近似值。

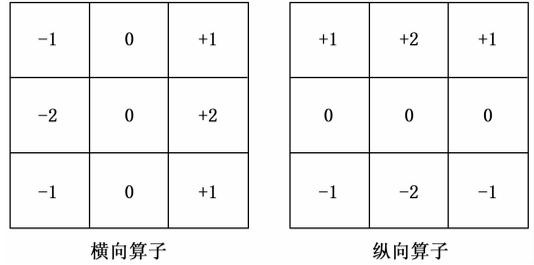


图 2 Sobel 算子

如果以 A 代表待处理的图像，以 G_x 和 G_y 分别代表经过横向、纵向算子卷积后的图像灰度值，那么公式如 (1)、(2) 所示：

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -2 & 0 & +2 \\ -1 & 0 & +1 \end{bmatrix} * A \quad (1)$$

$$G_y = \begin{bmatrix} +1 & +2 & +1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{bmatrix} * A \quad (2)$$

以 $f(x,y)$ 表示图像 A 中 (x,y) 点的灰度值，那么由式 (1)、(2) 展开得式 (3)、(4)：

$$G_x = [f(x+1,y-1) + 2 \times f(x+1,y) + f(x+1,y+1)] - [f(x-1,y-1) + 2 \times f(x-1,y) + f(x-1,y+1)] \quad (3)$$

$$G_y = [f(x-1,y-1) + 2 \times f(x,y-1) + f(x+1,y-1)] - [f(x-1,y+1) + 2 \times f(x,y+1) + f(x+1,y+1)] \quad (4)$$

图像中每一个像素的横向及纵向灰度值大小由式 (5) 计算得到。

$$G = \sqrt{G_x^2 + G_y^2} \quad (5)$$

为了在 FPGA 中提高运算效率，将式 (5) 近似为式 (6)。

$$G = |G_x| + |G_y| \quad (6)$$

1.2.2 HLS 实现 Sobel 算子

在 HLS 工具中，包含了一个专用于视频处理的 Vivado HLS 视频处理开源函数库，库中的函数和 OpenCV 函数具有相似的接口和算法，可用于实现很多基本的 OpenCV 函数功能，但它是针对 FPGA 架构实现的图像处理函数，与 OpenCV 函数又有着本质的区别。由于在 HLS 视频处理函数库中有 Sobel 函数，因此可以直接采用此函数通过 C 或 C++ 代码综合、仿真生成高效的 RTL 电路，而后打包生成功能 IP 核，从而大大提高了图像预处理算法开发效率。Sobel 算子 IP 核的开发设计流程如图 3 所示。

首先利用 HLS 工具自带约束指令将接口约束为 AXI4-Stream 总线，并利用 HLS 视频处理函数库中提供的 AXI4-Stream 与 hls::Mat 转换函数实现 Mat 类型的转换，定义 hls::Mat 类型的变量，用于存放处理过程中的临



图 3 基于 HLS 实现 Sobel 算子设计流程

时 Mat。

然后, 将 Mat 类型的图像由三通道的彩色图像转换成单通道的灰度图像:

```
RGB_IMAGE src(rows,cols);
GRAY_IMAGE gray(rows,cols);
GRAY_IMAGE sobel(rows,cols);
```

其中, RGB-IMAGE 与 GRAY-IMAGE 的区别在于通道数, RGB-IMAGE 有三通道, GRAY-IMAGE 有一个通道。每个 hls::Mat 的高度为 rows, 宽度为 cols。

而后通过调用 HLS 函数库中的 Sobel 算法对灰度化图像进行边缘化处理, 并将处理后的 Mat 类型图像转换成视频流的格式输出, 核心函数为:

```
# program HLS dataflow
hls::AXIvideo2Mat(input,src);
hls::CvtColor<HLS_RGB2GRAY>(src,gray);
hls::Sobel<1,0,3>(gray,sobel);
hls::Mat2AXIvideo(sobel,output);
```

最后进行代码综合, 综合完毕后, 需要对 HLS 的 RTL 进行仿真。HLS 工具可以通过调用 hls_opencv.h 头文件, 调用 OpenCV 函数, 对生成的模块进行功能仿真, 最终打包生成 sobel 算子 IP 核。在打包生成 IP 核同时也生成了一些头文件和 C 文件, 这些文件中包含 IP 核的寄存器定义和偏移地址, 以及 IP 核的驱动函数 API 等。

1.3 VDMA 模块

存储器直接访问 (Direct Memory Access, DMA) 技术是用于数据快速交换的一种重要技术, 它具有独立于 CPU 的后台批量数据传输能力, 能够满足实时图像处理中高速数据传输要求, 利用 PS 上的 AXI_HP 高速接口完成把经预处理过的图像经过 VDMA (视频直接内存存取) 直接缓存在由设备驱动程序预设的 DDR3 内存中, 从而大大提高可编程逻辑部分与处理器部分图像传输速度, 为视频数据高速传输提供了保障。

在本系统中, VDMA IP 核将 AXI4-Stream 数据转换成 AXI4 总线, 实现视频数据的 DDR3 存储; 同样也将 AXI4 总线转换成 AXI4-Stream 数据流, 实现存储器数据的读取; 具体的读写地址、读写数据量的大小等由 PS 端通过 AXI4-Lite 总线进行配置。VDMA IP 核实质是一个总

线转换 IP, 实现 AXI4-Stream 与 AXI4 总线间数据的高速转换。本文调用了 Vivado 中自带的 VDMA IP 核, 其结构如图 4 所示。

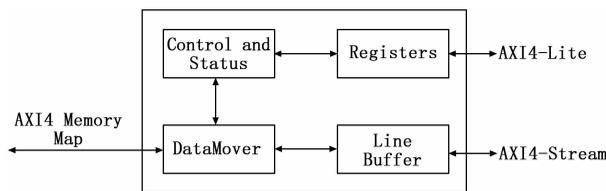


图 4 VDMA IP 核结构框图

1.4 VGA 接口控制模块

该模块实现将 VDMA 的 AXI4-Stream 格式的输出信号转换成 VGA 时序信号, 以便能够和 VGA 接口显示器相连。FPGA 并行计算的优势, 满足了 VGA 数据实时更新与显示的要求。VGA 接口控制 IP 核的结构如图 5 所示, 主要由异步 FIFO、FIFO 的写逻辑、输出同步模块以及数据格式转换器等组成。AXI4-Stream 的 Valid 信号控制 FIFO 的写使能, 而 Ready 信号则由 FIFO 的满信号取反得到, 输出同步模块根据 FIFO 的状态参数 (如当前 FIFO 内数据个数等)、eol、sof 等参数信号, 读取 FIFO, 其功能是将 video 时序信号与 FIFO 读取出的 AXI4-Stream 的数据进行同步。通过 Verilog 语言编写的逻辑程序, 数据格式转换器将输出视频信号的行场同步数据, 数据有效信号等转换成 VGA 接口需要的 RGB 数据, 行场同步以及 VGA 时钟。其中, 转换出的 24 位 RGB 数据信号分别为 8 位的 R 信号, 8 位的 G 信号, 8 位的 B 信号。不同分辨率下, VGA 接口控制模块的像素时钟不同, 像素时钟根据需求由可配置时钟模块产生。

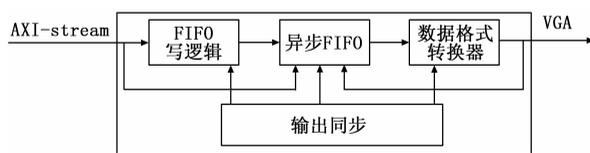


图 5 VGA 接口控制 IP 核

2 系统软件设计

系统硬件工程在 Vivado 综合完毕后, 在生成 PL 硬件 Bit 流的同时, 会生成一个 BSP 板级支持包, 在 PL 内部通过 AXI4-Lite 总线与 PS 相连的各功能 IP 核的物理地址信息都包含在这个 BSP 板级支持包里。系统驱动软件基于 BSP 包内地址信息实现各 IP 核初始化配置, 通信控制等功能。

系统软件基于 Vivado 自带的 SDK 开发平台进行设计, 采用 C 语言编程, 系统软件流程图如图 6 所示。首先, 系统上电后, PS 先启动, 经过硬件平台初始化, IO 输入输出接口 (GPIO) 初始化, 摄像头参数配置, 基于 BSP 包的各 IP 核配置以及 VDMA 配置等一系列配置操作后, PL 部分的 IP 核开始进入正常工作模式。配置结束后, 软件进入主

循环, 分配 VDMA 的读写缓冲区, 分配完后从缓冲区中读取、处理图像, 并写入 DDR3 相应地址。每一次循环都需要重新分配缓冲区的地址, 最后将处理完毕的图像通过千兆以太网进行远传或者在显示器上进行实时显示。

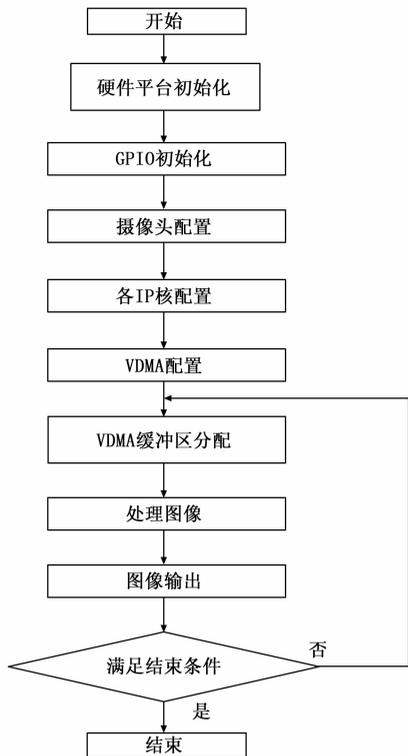


图 6 系统软件流程图

3 系统功能及性能测试

系统功能和性能在 SnowLeo 开发平台上进行测试, 该平台大小为 80 cm×60 cm, 板载 Zynq-7020SoC 芯片, 外设主要由 CMOS 摄像头、VGA 显示器、上位机组成。上位机通过仿真器与 SnowLeo 平台连接, 将系统软件烧写到芯片中, SnowLeo 平台通过 VGA 接口与显示屏 VGA 接口相连, 用于显示视频处理结果。SoC 视频处理系统功能测试连接关系如图 7 所示, 图 8 为系统功能的验证结果, 图 8 (a) 所示为视频图像原始信息, 图 8 (b) 为图 8 (a) 经 Sobel 算子加速后得到的处理结果, 可见系统功能正常, 能够正确检测并清晰显示图像的边缘信息。



图 7 系统测试连接关系

为了测试本文提出的视频处理系统的性能, 利用 Opencv 在 PS 部分应用层软件也实现了 Sobel 边缘检测算法, 然后对图像处理的帧率进行了比较测试。

基于 Opencv 的 Sobel 图像处理函数的 API 定义如下:



图 8 系统功能测试结果

```
void sobel (char * rgb_data_in, char * rgb_data_out, int height, int width, int stride)
```

其中, * rgb_data_in 为指向输入端某一帧帧缓存图像初始地址 rgb_data_in 的指针。* rgb_data_out 为指向输出端某一帧帧缓存图像初始地址 rgb_data_out 的指针。形参中还包括 height, width 与 stride 三个参数, 表示了一帧图像的高度、宽度与步长。

对于本文提出的基于 PL 硬件实现 Sobel 边缘检测, 由于没有 PS 参与处理, 因此通过示波器测量图像处理模块 IP 核的中断信号测试帧率。对于基于 Opencv 软件实现 Sobel 边缘检测算法, 每一帧处理完毕都会产生一个中断信号, 因此只需测量相邻两个中断信号之间的时间, 即可计算出帧率。表 1 为基于 PL 硬件实现 Sobel 边缘检测和基于 Opencv 软件实现 Sobel 边缘检测两种情况下帧率的测试结果, 为了提高测试精度, 各测试 3 次, 每次测 20 帧图像数据, 然后求平均时间。测试摄像头分辨率配置成 640x480, 帧率为 30 fps。

表 1 性能测试结果对比

测试/次	基于 PL 硬件实现 Sobel/秒·20 帧	基于 Opencv 软件实现 Sobel/秒·20 帧
1	0.667	10.216
2	0.666	10.189
3	0.668	10.187
平均时间	0.667	10.197
帧率/fps	30	2

可见, 将基于 PL 硬件实现 Sobel 边缘检测平均时间换算成帧率, 仍为摄像头的帧率, 这是因为硬件中, 窗口数据的处理为实时的流处理, 只要满足时序约束, 图像处理的帧率即和摄像头输入帧率保持一致。而基于 Opencv 软件实现 Sobel 边缘检测由于采取的是纯软件串行处理的模式, 帧率只有摄像头输入帧率的 1/15 倍, 可见本文提出的系统视频图像信息处理的快速性和实时性较好。

4 结束语

本文基于 Xilinx 公司高性能 Zynq-7000 SoC 芯片, 提出了一种小型集成化通用视频采集处理系统设计方法, 利用 HLS 工具将图像预处理算法快速打包生成 IP 核, 在 PL 中实现了图像预处理算法的硬件加速, 与传统设计方案相比, 视频图像处理的快速性和实时性得到了极大提高, 而且

(下转第 205 页)