

机内测试技术与虚警抑制策略研究综述

蒋超利, 吴旭升, 高 巍, 孙 盼, 孙 军

(海军工程大学 电气工程学院, 武汉 430033)

摘要: 机内测试是指系统或设备内部提供的检测和隔离故障的自动测试能力, 是一种能显著提高系统测试性和诊断能力的重要技术; 机内测试具有检测效率高, 测试成本低, 可以对系统、模块、元器件分层进行检测的优异特性, 在航空航天、电子设备、武器装备等领域具有广泛的应用前景; 通过对机内测试在国内外的研究和发展现状进行分析和总结, 介绍了机内测试技术的多种结构原理及其优缺点, 对机内测试虚警抑制策略进行了全面综述, 总结了机内测试系统的特性, 讨论了其未来的发展趋势。

关键词: 机内测试; 测试性; 虚警; 发展综述

An Overview Review of Built-in Test Technologies and False Alarm Reducing Strategies

Jiang Chaoli, Wu Xusheng, Gao Wei, Sun Pan, Sun Jun

(College of Electrical Engineering, Naval University of Engineering, Wuhan 430033, China)

Abstract: Built-in Test (BIT) is that the systems or equipment have the ability to detect and isolate faults automatically by themselves, and it is an important technology that can significantly improve the testability and diagnostic capability of the system. BIT has the advantages of high detection efficiency, low cost and that it can test the system, modules and components hierarchically, which makes it has wide application prospect in areas such as aerospace, electronic equipment, weaponry and so on. In this paper, the worldwide research and development of BIT were analyzed and summarized firstly, and then various structure principles, advantages and disadvantages were analyzed. Meanwhile, the false alarm reducing strategies of BIT were overviewed. Finally, the characteristics of BIT were summarized, and its future trends were also discussed.

Keywords: built-in test; testability; false alarm; development overview

0 引言

进入 21 世纪, 科技飞速发展, 大量高新技术不断涌入军事领域, 武器性能大幅度提高, 系统的结构越来越复杂的同时对武器装备故障检测和维修保障需求急剧增加, 极大的促进了机内测试 (built-in test, BIT) 技术的发展, 也对机内测试系统的可靠性、安全性、稳定性以及故障检测与诊断能力提出了更高的要求。国防工业、电子设备、航空航天等测试性设计领域同样面临上述共性问题, 而先进的测试性技术又是解决问题的关键。

系统的测试性 (Testability) 是指系统或设备本身所具有的便于监控其状态和进行故障诊断的一种设计特性, 根据测试的位置不同, 可将测试性设计主要分为外部自动测试 (ATE) 和机内测试两种, ATE 主要是指通过外部测试仪器、工具等对系统进行故障检测和隔离, 具有测试成本高, 噪声干扰大缺点。机内测试又叫嵌入式测试, 是指系统或设备能够完自己成对系统、组件或功能模块的状态检测、故障诊断以及性能测试^[1-2]。具有检测效率高, 诊断

成本低, 便于对复杂系统进行整体设计或分系统设计等优点, 是针对军用装备等安全关键系统的状态检测、故障诊断与隔离的一种重要技术手段。

BIT 技术发展大致经历了 3 个阶段, 第一阶段主要是根据相关经验、设计指南等, 按照电路系统的相关要求, 通过在电路内部增加一定的测试电路实现 BIT; 第二阶段主要是针对高度集成的电路板、芯片、计算机等, 提出了 BIT 体系结构设计技术和边界扫描技术, 例如国外洛克希德·马丁公司提出了一种多层次 BIT 体系结构, 已成为目前 BIT 结构设计的主流; 第三阶段智能 BIT 成为发展趋势。针对 BIT 技术在应用中存在诊断能力较差、虚警率较高的问题, 美国科学家于 20 世纪 80 年代后期将神经网络、专家系统、模糊逻辑等智能理论和方法应用于 BIT 故障诊断中, 以解决 BIT 虚警问题并取得了一定的成果。我国 BIT 技术虽然起步较晚, 但也取得了一定的研究成果。国防科技大学在“九五”期间深入研究了边界扫描机内测试技术, 建立了智能 BIT 的理论框架和体系结构, 提出了基于边界扫描的智能 BIT 结构和故障诊断方法; 电子科技大学提出了基于 CAN 总线的复杂电子系统 BIT 技术方案, 对 BIT 和 ATE 相结合的综合测试系统进行了预先研究; 航天测控开发技术有限公司提出了基于边界扫描和 BIST (Built-In Self-Test) 相结合的电路板测试方法, 研究了边界扫描技术在电路板测试性设计中的应用等。当前, 我国已将测试

收稿日期: 2018-04-11; 修回日期: 2018-05-10。

作者简介: 蒋超利(1993-), 男, 湖南邵阳人, 硕士研究生, 主要从事测试性设计技术方向的研究。

吴旭升(1976-), 男, 浙江浦江人, 教授, 博士生导师, 主要从事测试性设计技术及无线电能传输技术方向的研究。

性设计作为武器装备研发过程中必不可少的一个环节,随着国家的重视和研究的深入,BIT 技术在不同领域的应用研究必将引起国内外学者的广泛关注。

本文在对 BIT 技术国内外研究现状总结归纳的基础上,介绍了 BIT 的定义及其优点。对几种典型的 BIT 技术的原理进行了详细论述,包括边界扫描 BIT 技术、模拟 BIT 技术、环绕 BIT 技术和冗余 BIT 技术。总结了 BIT 虚警抑制策略当前的研究热点和关键技术,讨论了 BIT 未来的发展趋势,期望能为 BIT 技术和虚警抑制策略的深入研究提供一定的参考。

1 典型 BIT 技术

BIT 技术具有多种分类方法,根据实现手段的不同,主要可以分为边界扫描 BIT 技术、模拟 BIT 技术、环绕 BIT 技术以及冗余 BIT 技术等。按照被测对象的不同又可以分为 RAM 测试技术、ROM 测试技术、CPU 测试技术、A/D 和 D/A 测试技术等。

1.1 边界扫描 BIT 技术

边界扫描技术是一种扩展 BIT 技术,通过减少外部测试电路的要求来改善测试性。其原理结构如图 1 所示。在 CUT 输入和输出端添加触发器 FF,并由这个触发器构成一个移位寄存器。在测试控制电路的控制下对输入数据 TDI,时钟信号 TCK,复位信号 TRST,测试方式 TMS 以及输出数据 TDO 进行状态监控,故障诊断和隔离等,完成对被测对象的 BIT 测试。由于 BIT 电路位于芯片内部,因此不需要额外的硬件,通过寄存器移位控制,可以将测试数据施加到芯片的输入端,实现对芯片核心的逻辑测试。除此之外可以将系统中所有边界扫描链连接成一个系统级的扫描链,大大降低测试端口的数量,提高系统的稳定性。但是随着扫描链的增加,测试模式也愈加复杂,需要编写复杂的程序控制边界扫描 BIT 的运行。

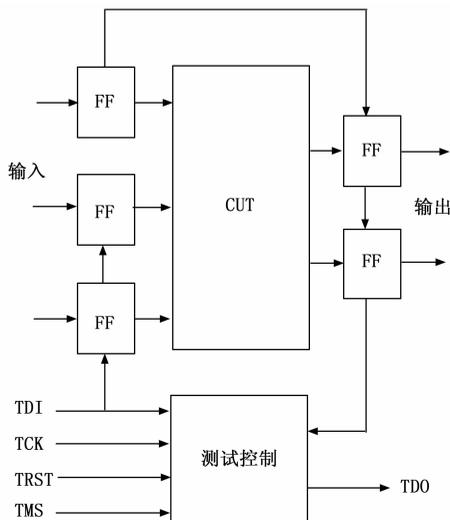


图 1 边界扫描 BIT 原理图

1.2 模拟 BIT 技术

根据比较器输入信号的不同,模拟 BIT 可以分为比较

器法和电压求和法。比较器法是指将输出电压经放大器放大后与参考信号比较,根据比较器输出的信号生成触发信号,控制开关的通断,该方法比较适用于检测单个电压信号。电压求和法是指用运算放大器将多个电平叠加起来,然后将求和的结果反馈到窗口比较器与参考信号进行比较,再根据比较器的输出生成触发信号,该方法比较适合与监测一组电源的供电电压。其原理结构图如图 2 所示。当求和后的电压超出窗口电压范围,比较器输出低电平,触发器不通过信号;当求和后的电压在窗口电压范围之内,比较器输出高电平,触发器处于导通状态。

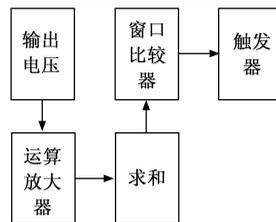


图 2 模拟 BIT 原理结构图

模拟 BIT 是一种并行测试技术,它的优点在于不占用系统的运行时间,并且在正常操作的任何时刻都可以进行故障检测,同时大大降低了 BIT 电路对 CUT 负载的影响。但由于采用电压求和监控,对单个电压是否符合规范要求的检验能力有所降低,随着测试电压通道的增多,所需要测试精度也越高。

1.3 环绕 BIT 技术

根据输入检测信号的不同,环绕 BIT 可以采用数字环绕、模拟环绕、数字模拟环绕 3 种不同的方法实现,其典型电路原理结构如图 3 所示。

数字环绕 BIT 是一种非并行 BIT 技术,除了本身具有的硬件和软件外,还特别需要被测电路提供微处理器、数字输入、数字输出等器件。由图 3 (a) 可以看出在被测电路的总线上增加了输入缓存、输出缓存和相应的数字开关。微处理器从总线上接受测试初始化信号,同时断开输入输出缓存。并从输出器件中读取相应的数据与存储器中保存的期望数据相比较,如果不匹配,则测试不通过。数字环绕 BIT 只需要很少的硬件就可以进行测试,因此很方便实现,此外,该技术还可以和微处理器联合使用。但该技术只能测试数字信号,不能对模拟信号进行测试,如果接口复杂,则需要大量的 ROM 保存测试数据。当输入信号是模拟信号时,可以将数字开关换成模拟开关,在模拟开关和微处理器之间分别连接一个 A/D 和 D/A 转换器,如图 3 (b) 所示。由于在模拟开关与微处理器之间增加了 A/D、D/A 模块,因此可以对模拟信号进行测试,但由于被测系统包含了许多 A/D/D/A 模块,增加了硬件的成本和对 ROM 存储容量的需求。为了能够同时测试数字信号和模拟信号,工程技术人员提出了如图 3 (c) 所示的模拟数字混合环绕 BIT 技术,通过在微处理器上增加 I/O 借口,实在对数字、模拟信号的同时测试,减少了存储测试固件的数

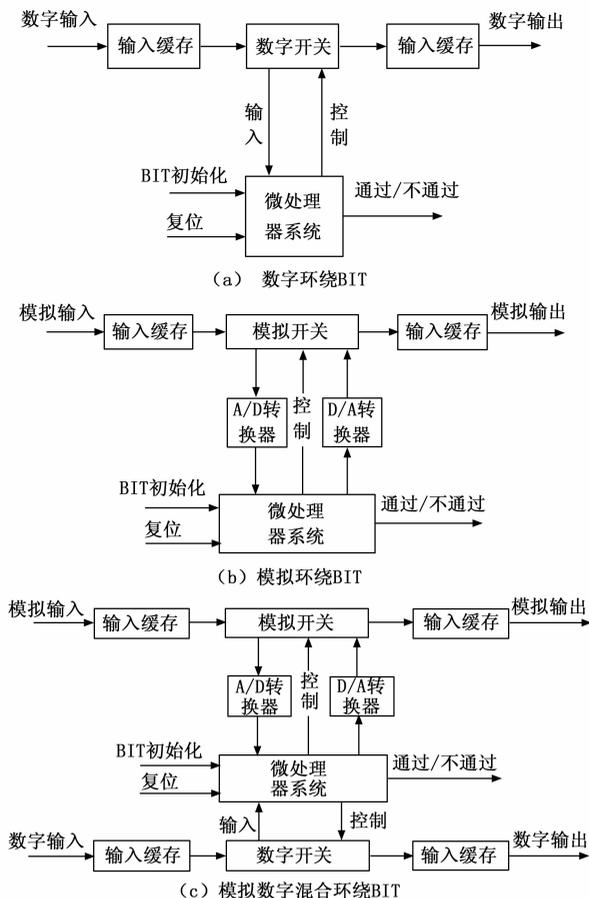


图 3 基于不同输入的典型拓扑结构

量, 提高了测试效率, 因此在集成电路测试领域备受关注。

1.4 冗余 BIT 技术

冗余 BIT 系统通过对各个冗余信号进行比较, 实现对冗余通道的故障在线监测。根据监测冗余通道的个数, 冗余 BIT 可以分为四冗余 BIT 系统、三冗余 BIT 系统和二冗余 BIT 系统。不同冗余度的 BIT 系统具有不同的比较表决策策略, 如表 1 所示。

表 1 二冗余度比较表决策策略

双通道比较 $ S1 - S2 $	故障情况
$> \epsilon$	存在故障
$< \epsilon$	无故障

在二冗余度 BIT 系统中, 如表 1 所示, 采用双通道比较实现故障检测, 通过做差与门限值 ϵ 进行比较, 确定系统是否存在故障, 进一步测试可以将故障定位到 S1 和 S2。

在三冗余度 BIT 系统中, 如表 2 所示, S1 代表最大值, S2 代表中值, S3 代表最小值, 采用中值比较可以实现故障检测, 将故障定位到 S1, S2, S3。

在四冗余度系统 BIT 系统中, 如表 3 所示, S1 代表最大值, S2 代表次大值, S3 代表次小值, S4 代表最小值, 通过两两差值与门限值 ϵ 进行比较, 可以将故障定位到 S1, S2, S3 和 S4 上。

表 2 三冗余度比较表决策策略

最大-中值 $ S1 - S2 $	中值-最小 $ S2 - S3 $	故障情况
$> \epsilon$	$< \epsilon$	S1 故障
	$> \epsilon$	全部故障
$< \epsilon$	$< \epsilon$	无故障
	$> \epsilon$	S3 故障

表 3 四冗余度比较表决策策略

S2 - S3	S1 - S2	S3 - S4	故障情况
$> \epsilon$	$< \epsilon$	$< \epsilon$	不能定位故障
		$> \epsilon$	S3, S4 故障
	$> \epsilon$	$< \epsilon$	S1, S2 故障
		$> \epsilon$	全部故障
$< \epsilon$	$< \epsilon$	$< \epsilon$	无故障
		$> \epsilon$	S4 故障
	$> \epsilon$	$< \epsilon$	S1 故障
		$> \epsilon$	S1, S4 故障

2 BIT 虚警

在 BIT 发展过程中, 虚警始终困扰着其发展和应用。根据美军的统计数据显示, 美军装备 BIT 在使用过程中最突出的问题就是虚警率高, 故障检测率低。虚警问题大大降低了士兵对装备 BIT 信心, 造成了人力、物力的损失, 严重影响了战时装备的完好性、可用性和安全性, 直接阻碍了 BIT 的应用和推广。

根据美军标 MIL-STD-2165, 虚警的定义为 BIT 或其他测试模块指示被测单元有故障, 而实际上该单元不存在故障的情况; 我国 GJB3385-98 定义虚警为机内测试 (BIT) 或其他监测电路指示有故障而实际不存在故障的现象。按照虚警的故障类型, 可以将 BIT 虚警分为两类, BIT 虚警可以分为 I 类虚警和 II 类虚警, 所谓 I 类虚警是指检测有故障但指出了错误的故障单元, 所谓 II 类虚警是指无故障报有故障。

综合分析当前国内外虚警研究现状, 在系统 BIT 的设计、生产和运行阶段均有可能导致虚警, 其中又以设计阶段为主, 主要体现在: 随着系统复杂度和集成度的提高, 装备系统各模块之间的关联和耦合程度越来越高, 一个模块出现故障时, 与其耦合的模块也表现出相似的故障征兆, 导致判断错误, 进而产生虚警。

2.1 BIT 设计阶段产生虚警

测试性设计的一般流程如图 4 所示, 首先根据被测对象的维修方案、故障模式及影响分析、BIT 设计指标等结果对被测对象进行测试性层次划分, 使故障能够定位到现场可更换单元, 通过建立测试性模型, 采用 TEAMS 或 EXPRESS 等测试工具对被测对象进行测试点的选择, 最后分析判断所选取的测试点和测试信号的类型是否满足测试性指标要求, 如不满足, 则从新进行测试性设计。

因此, 从装备 BIT 整个设计过程来看, 在对被测设备

或系统进行测试性设计时有很多因素均可能导致虚警产生，例如系统维修方案不合理；系统的故障模式及影响分析结果不准确；系统的测试性指标设置不恰当等，这些都会导致对系统的层次划分出现问题，造成故障定位错误，产生 I 类虚警，同时还会严重影响测试信号类型和测试点的选取，对状态监测、故障诊断等过程提供错误的信息，造成 II 类虚警的产生。常规 BIT 设计中往往采用基于硬件实现的固定阈值瞬态判决算法，阈值的选取设计不恰当，故障诊断算法不合适等均可能在被测对象出现间歇性瞬态故障时出现虚警。

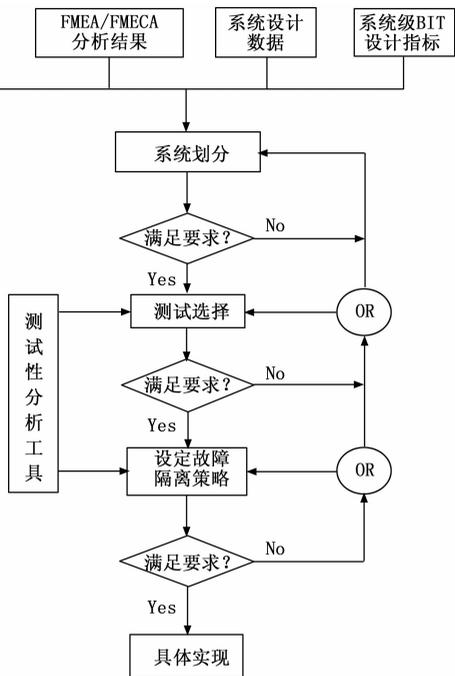


图 4 BIT 一般设计流程图

2.2 BIT 生产阶段产生虚警

选取的元器件质量不高、生产工艺存在缺陷、不同批次原材料性能不统一等情况，往往导致设备使用过程中的间歇故障留下安全隐患，出现虚警。

2.3 BIT 运行阶段产生虚警

BIT 运行过程中产生虚警的主要因素包括外部环境干扰和人为操作原因。

现代武器装备性能越来越强，体积越来越小，这与采用了先进的电力电子技术密切相关，大量电力电子器件的集成应用组成了一个极其复杂的系统，在运行过程中极易受到外部或 BIT 自身电磁环境的干扰导致虚警。例如文献 [3] 在研究多电机 BIT 系统虚警问题时发现感性负载在开路时会在回路中产生虚假高频信号，导致 BIT 检测设备输出异常，产生虚警。文献 [4] 指出温度、湿度、振动等时间应力等对武器装备或 BIT 系统的性能影响，使被测对象容易出现间歇性故障导致虚警。

除此之外，操作人员不按照 BIT 规定的操作流程进行测试和运行，也是导致虚警的一个重要因素。

3 BIT 虚警抑制策略

3.1 常规 BIT 虚警抑制策略

以往国内测试性设计的研究热点主要集中在如何实现被测对象的 BIT 设计，而较少的关注因 BIT 设计不合理导致的虚警问题。导致最后设计的 BIT 系统可靠度不高，难以应用到武器装备中去。进入 21 世纪，国内外研究人员逐渐意识到虚警的危害性和抑制虚警的重要性，开始在 BIT 设计阶段就考虑测试系统的虚警抑制问题，取得了一定的研究成果。例如针对测试性容差值难以准确确定的问题，通过加入延时门限值和自适应门限值的方式降低虚警率；针对故障指示与报警不准导致的虚警，通过采用重复测试法或延时表决法等来降低虚警率。文献 [5] 建立了系统 BIT 虚警的概率模型，该模型能在一定程度上识别间歇故障导致的系统级 BIT 虚警。文献 [6] 指出 BIT 虚警抑制技术主要围绕系统建模与仿真、BIT 软件设计、BIT 硬件设计、智能 BIT 等几个方面展开研究。

常规系统 BIT 虚警抑制技术主要是从 BIT 检测、BIT 诊断和 BIT 决策 3 个角度进行系统 BIT 虚警抑制设计，具有原理简单，容易实现，普遍适用等优势，但也存在着测试性容差门限值难以确定，处理短时瞬态故障以及系统间歇性故障效果不明显等缺点。

3.2 基于信息处理的 BIT 三层虚警抑制策略

机电系统具有工况多变、工作环境复杂、状态信息获取困难、故障模式具有较大的模糊性和不确定性等特点，使系统 BIT 虚警问题更加复杂困难。为了解决复杂系统 BIT 虚警问题，根据 BIT 信息处理流程，国防科技大学从基于故障征兆的角度，提出了基于信息处理流程的三层虚警抑制技术；从基于系统模型的监控诊断的角度，提出了基于鲁棒故障诊断 BIT 虚警抑制的原理和方法；从基于时间应力的角度，提出了基于时间应力分析的虚警抑制原理和技术方法。复杂系统 BIT 信息处理和建模过程如图 5 所示。

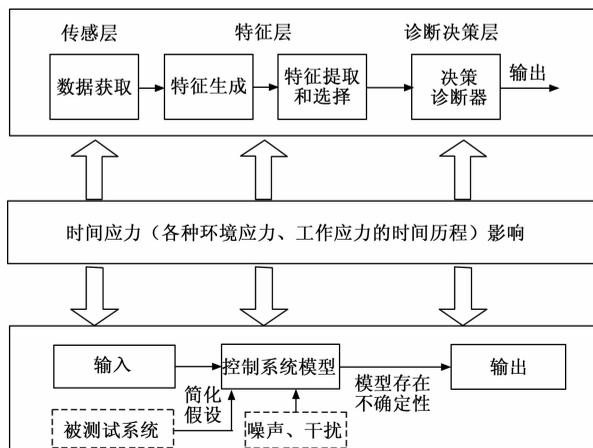


图 5 BIT 信息处理及建模流程

3.2.1 传感层虚警抑制策略

传感器技术是机电系统测试性设计的基础，是机电数据获取的源头，直接决定了获取数据的准确度。因此如果

传感层出现了问题, 必将导致后续的特征提取和故障诊断出现错误, 从而导致虚警。文献 [7] 对导致传感层 BIT 产生虚警的机理进行了深入分析, 总结出传感层出现虚警的主要原因有: 传感器的选型和布局不合理, 外部环境对传感器的数据采集产生干扰, 传感器的性能降低等。具体表现为: 信号畸变、信号缺失、信号干扰等。

针对上述传感层导致机电系统 BIT 虚警的原因, 文献 [8] 提出采用传感器数据证实技术和传感器优化设计技术来解决传感层工作异常、传感器布局不合理等问题。根据冗余模型构建方法的不同, 可将传感器数据证实技术分为基于直接冗余的证实方法和基于分析冗余的证实方法。基于直接冗余的数据证实方法是利用多个传感器对同一变量进行检测, 并将测试值进行比较, 但由于该方法使用了较多的硬件, 其成本较高。基于分析冗余的方法则是通过动态微分方程或数据经验构建多个变量之间的关联模型, 通过关联模型分析传感器数据的准确性, 该技术的主要难点在于模型的构建。传感器优化设计技术则首先根据被测系统的模型, 确定测试变量的类型和测试点的位置, 然后在充分了解各个厂家传感器性能结构的前提下, 对备选传感器的性能、成本、可靠性等进行综合考虑, 传感器的一般优选流程如图 6 所示。

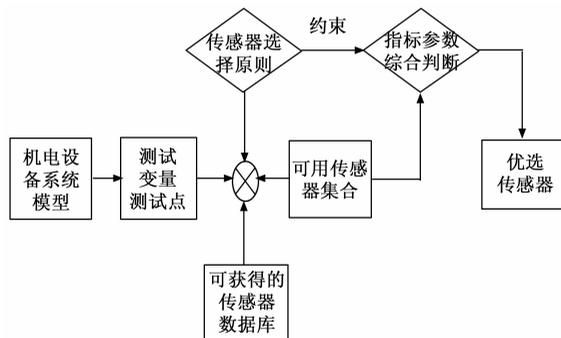


图 6 机电 BIT 传感器优选一般流程

3.2.2 特征层虚警抑制策略

机电 BIT 特征层的主要作用是生成故障特征量, 提供给诊断决策层进行故障诊断。一般来说要求故障特征量与故障状态具有强关联性, 相关性越强, 则故障诊断精度越高。若系统特征量的生成和选择不准确, 则会导致虚警的产生, 具体表现为特征量与故障状态关联性不强, 不能一一对应、噪声干扰和不灵敏等。文献 [9] 通过深入的分析, 对特征层 BIT 虚警抑制策略进行了归纳总结。通过采用滤波的方式解决噪声干扰产生的虚警; 通过采取高阶统计量、小波变换等数学工具解决特征信号提取不准的问题; 通过采用特征选择技术选择出对状态灵敏的特征量; 通过采用统计特征值进行状态判断解决信号瞬态变化产生的虚警问题。这些方法和技术手段经过实践检验表明, 在降低特征层虚警方面具有一定的效果。

3.2.3 诊断决策层虚警抑制策略

机电 BIT 诊断决策层主要利用设备状态的特征信息,

对系统的运行状态进行辨识, 并对故障模式、故障位置、故障发生时间和故障幅度进行决策。目前常用的决策层 BIT 诊断方法有基于信号阈值的诊断方法和基于模型的诊断方法。对于基于信号阈值的诊断分析方法, 阈值的确定决定了该方法的诊断能力; 而对于基于模型的诊断方法, 其诊断能力主要体现在所构建诊断模型的精确性上。文献 [10] 对导致诊断决策层 BIT 虚警的原因进行了分析, 总结出虚警主要来源于两个方面: (1) 从传感层和特征层传递过来的数据问题; (2) 在诊断决策过程中, 由于决策模型与使用工况不匹配、决策方法不当、间歇、瞬态的存在及影响等原因, 造成决策失误, 从而产生虚警。针对 BIT 诊断能力不住导致的虚警, 可以根据机电系统 FMEA 分析 (测试重要度和危害度) 确定测试容差, 采用延迟判决或两次表决的诊断方式, 在一定程度上可以减少虚警。针对间歇性故障导致的虚警, 可以采用智能诊断方法, 提高机电系统 BIT 的诊断能力。

3.3 基于鲁棒故障诊断虚警抑制策略

在电机控制领域, 通常采用基于模型的测试性设计方法。由于软件的理想性, 对被测试对象进行建模时往往忽略一些干扰和噪声, 难以建立精确地数学模型, 因此模型与实物之间不可避免的存在偏差, 进而导致虚警, 主要表现在鲁棒残差对故障不敏感。文献 [9] 经过深入的分析, 提出了鲁棒残差生成法和鲁棒诊断决策法两种虚警抑制策略。鲁棒残差生成法的主要思想是将各种不确定因素作为系统的未知输入, 采用具有鲁棒性能的观测器来生成系统残差, 该残差对各种不确定或干扰因素不敏感, 而对故障保持敏感。鲁棒诊断决策的主要思想是通过设置故障阈值等决策规则, 对残差进行合适的评价, 从而在不确定因素的影响下得到对故障状态的准确判断。

3.4 基于时间应力分析的虚警抑制策略

时间应力包括环境应力和工作应力两种, 主要是指设备在生成、运输、使用等过程中受到的各种应力的总和, 主要有温度应力、振动应力、湿度应力和电应力等。根据美国军对某型装备故障分析调查结果显示, 损坏或发生故障的设备中, 52% 由时间应力因素引起, 可见, 研究如何降低时间应力导致的虚警问题具有重要的研究意义。国防科学技术大学在总结国内外研究现状的基础上, 对时间应力的作用机理进行了深入分析, 取得了一定的研究成果。文献 [10] 通过分析时间应力诱发故障和 BIT 虚警的机理及规律, 建立时间应力与 BIT 虚警的关联模型, 提出了基于时间应力分析的虚警控制策略, 在一定程度上降低了虚警率。采用基于 SVM 的关联模型阈值优化选取法确定虚警应力边界和故障应力极限阈值, 进而可以识别由时间应力因素造成的虚警。但是该方法只考虑设备的瞬态时间应力信息, 容易在关联区域内造成故障漏检, 关联区域外虚警不能识别等问题。针对上述情况, 通过将核主元分析和模糊聚类分析方法结合引入, 构建基于 KPCCA-HMM 的虚警识别决策模型, 解决关联区域外虚警不易识别的问题。

基于时间应力分析的虚警总体技术路线如图 7 所示。

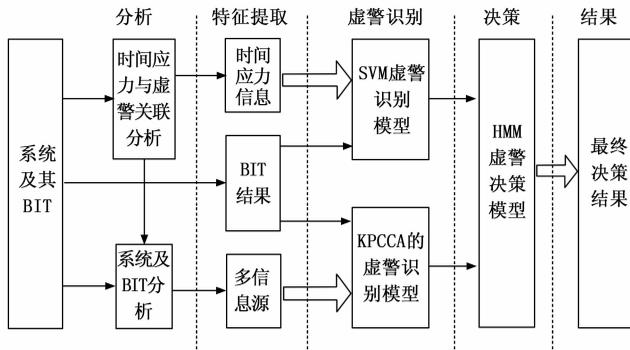


图 7 基于时间应力分析的虚警识别总体技术路线

4 研究展望

BIT 技术普遍存在故障检测率、故障隔离率不高，存在虚警，易受外界环境干扰等问题，严重阻碍了 BIT 技术的发展和应用，对如何提高 BIT 的可靠性，降低虚警，具有重要的研究意义，也具有非常广阔的研究空间和应用前景。

BIT 最初主要应用于集成度较高的电子技术领域和航空航天领域，将 BIT 引入机电领域提高了机电系统的可靠性和安全性，对怎样在不增大机电设备体积和效率的基础上将 BIT 系统嵌入其中，具有极大的工程意义，是需要长期努力的研究课题。

目前针对系统 BIT 虚警抑制技术研究主要来自于理论分析，而在工程实践中所应用的案例较少，因此针对系统 BIT 虚警机理还需要更加全面、深入地分析研究；某些方法不具有通用性，对一些特性系统效果不理想，值得进一步研究。虽然目前系统机内测试虚警抑制技术只处于初级阶段，还有很多理论和实际问题需要突破，但是该项研究已进入快速发展时期。随着智能理论的发展，相信在广大科技工作者的努力下，系统 BIT 虚警抑制技术必将拥有非常广阔的应用前景^[11-39]。

参考文献：

[1] 石君友, 田仲, 等. 测试性设计分析与验证 [M]. 北京: 国防工业出版社, 2011.

[2] 刘震, 林辉, 罗欣. 多电飞机电气系统 BIT 虚警分析及解决方案 [J]. 计算机测量与控制, 2005, 13 (5): 406-408.

[3] 刘震, 林辉, 罗欣. 多电飞机电气系统 BIT 虚警分析及解决方案 [J]. 计算机测量与控制, 2005, 38 (18): 91-93.

[4] 吕克洪. 基于时间应力分析的 BIT 虚警抑制与故障预测技术研究 [D]. 长沙: 国防科学技术大学, 2008.

[5] 王勇. 机内测试技术的发展与应用 [J]. 飞航导弹, 2011 (2): 24-27.

[6] Cheng Yanwei, Li Guangsheng, Xie Yongcheng. Study on false Alarm of the Armored Vehicles Electrical System BIT [A]. International Conference on Intelligent Computation Technology and Automation [C]. 2010: 512-514.

[7] 赵志熬. 系统级 BIT 防虚警技术研究 [D]. 长沙: 国防科学技

术大学, 2012.

[8] 杨光. 机电产品 BIT 系统传感层虚警抑制的理论与技术研究 [D]. 长沙: 国防科学技术大学, 2003.

[9] 王新峰. 机电系统 BIT 特征层虚警抑制技术研究 [D]. 长沙: 国防科学技术大学, 2005.

[10] 邱静, 刘冠军, 吕克洪. 机电系统机内测试虚警抑制技术 [M]. 北京: 科学出版社, 2009.

[11] 方子豪. 装备测试性建模与分析软件框架设计 [J]. 计算机科学与技术, 2013, 31 (4): 102-104.

[12] 尹园威, 尚朝轩, 马彦恒, 等. 装备测试性设计的层次诊断方法 [J]. 海军工程大学学报, 2014, 26 (1): 71-74.

[13] 曲伟. 基于 IEEE1149 标准的电子装备可测试性设计技术研究 [J]. 计算机测量与控制, 2010, 18 (12): 2710-2712.

[14] 冯广斌, 连光耀, 黄考利, 等. 一种基于多信号模型的测试性分析系统 [J]. 计算机测量与控制, 2011, 19 (9): 2102-2104.

[15] 孙萍, 魏清新, 王坤明. 飞航装备测试性设计分析及故障诊断实施策略工程应用研究 [J]. 计算机测量与控制, 2017, 25 (3): 11-14.

[16] 张琦, 丁剑, 贾爱梅. 大型设备测试技术研究分析 [J]. 机械制造, 2013, 4 (3): 9-12.

[17] 解庄. 飞行器控制系统 BIT 虚警问题分析研究 [J]. 测控技术, 2008, 27 (9): 30-32.

[18] 王志颖. 复杂装备智能机内测试技术研究 [D]. 成都: 电子科技大学, 2010.

[19] 曾天翔. 电子设备测试性及诊断技术 [M]. 北京: 航空工业出版社, 1995.

[20] 雷爱强. 某系列雷达自动测试系统研制 [D]. 哈尔滨: 哈尔滨工业大学, 2014.

[21] Press R E, Elerin L M. The application of neural network technology to built-in test false alarm filtering [J]. AIAA-93-4715-CP, 1990, 39 (4): 500-505.

[22] 邱静, 刘冠军, 吕克洪等. 机电系统机内测试虚警抑制技术 [M]. 北京: 科学出版社, 2009.

[23] 赵志傲. 系统级 BIT 防虚警技术研究 [D]. 长沙: 国防科学技术大学, 2012.

[24] 沈亲沐. 装备系统级测试性分配技术研究及应用 [D]. 长沙: 国防科学技术大学, 2007.

[25] 徐永成, 温熙森, 易晓山. 机内测试虚警原因的分析及其解决方案 [J]. 振动、测试与诊断, 2002, 1 (3): 37-42.

[26] 温熙森, 徐永成, 易晓山等. 智能机内测试理论与应用 [M]. 北京: 国防工业出版社, 2002.

[27] 陈希祥, 邱静, 刘冠军. 装备系统 BIT 权衡分析与选择技术研究 [J]. 仪器仪表学报, 2011, 32 (9): 2079-2086.

[28] 刘丽亚, 冯振勋. 系统级测试中 BIT 的应用及其验证技术 [A]. 第十七届全国测试与故障诊断技术研讨会 [C]. 2004: 200-206.

[29] Westervelt K. F/A-18D (RC) built-in-test false alarms [A]. Proceedings of the IEEE 2002 Aerospace Conference [C]. 2002, 6: 2961-2970.

(下转第 29 页)